

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-533950
(P2024-533950A)

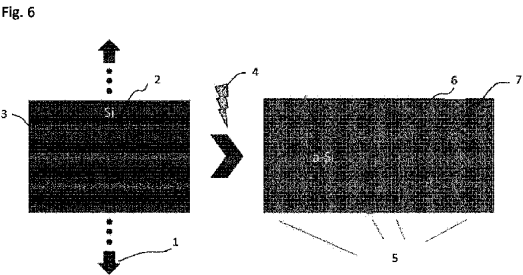
(43)公表日 令和6年9月18日(2024.9.18)

(51)国際特許分類		F I		テーマコード (参考)	
H 0 1 M	4/38 (2006.01)	H 0 1 M	4/38	Z	4 G 0 7 2
C 0 1 B	33/06 (2006.01)	C 0 1 B	33/06		5 H 0 1 7
H 0 1 M	4/134(2010.01)	H 0 1 M	4/134		5 H 0 5 0
H 0 1 M	4/66 (2006.01)	H 0 1 M	4/66	A	
H 0 1 M	4/36 (2006.01)	H 0 1 M	4/36	A	
審査請求 未請求 予備審査請求 未請求 (全15頁)					
(21)出願番号	特願2024-504509(P2024-504509)	(71)出願人	524003563		
(86)(22)出願日	令和4年8月9日(2022.8.9)		ノルクシ ゲーエムペーハー		
(85)翻訳文提出日	令和6年2月27日(2024.2.27)		ドイツ連邦共和国 0 6 1 2 0 ハレ (		
(86)国際出願番号	PCT/EP2022/072350		ザーレ)、ヴァインベルクヴェック 2 3		
(87)国際公開番号	WO2023/017034	(74)代理人	110000855		
(87)国際公開日	令和5年2月16日(2023.2.16)		弁理士法人浅村特許事務所		
(31)優先権主張番号	102021120615.4	(72)発明者	ライヒマン、ウドー		
(32)優先日	令和3年8月9日(2021.8.9)		ドイツ連邦共和国 0 1 7 2 3 ヴィルス		
(33)優先権主張国・地域又は機関	ドイツ(DE)		ドルッフ、アム シュタットパーク 2		
(31)優先権主張番号	102021120624.3	(72)発明者	ヌーベール、マルセル		
(32)優先日	令和3年8月9日(2021.8.9)		ドイツ連邦共和国 0 1 7 3 1 クライシ		
(33)優先権主張国・地域又は機関	ドイツ(DE)		ャ、ポストシュトラッセ 2アー		
(31)優先権主張番号	102021120635.9	(72)発明者	クラウゼ - バーダー、アンドレアス		
最終頁に続く			ドイツ連邦共和国 0 1 1 5 9 ドレスデ		
			ン、クララー - フィービッヒ - シュ	最終頁に続く	

(54)【発明の名称】 銅リッチ・シリサイド相を安定化するための方法、及びリチウム・イオン電池における同銅リッチ・シリサイド相の使用

(57)【要約】

本発明は、銅リッチ・シリサイド相を安定化するための方法に関し、この方法ではキャリア基材にシリコン層構造が適用される。特に、相分離及び微細構造形成の特性を制御された方法で変化させることができ、同時にそのプロセスを可能な限り簡潔、迅速、且つ効率的に実行可能にする方法を特定するという、本発明が対処する問題は、銅リッチ・シリサイド相を安定化するための方法であって、キャリア基材にシリコン層構造が適用され、少なくとも1種の金属とシリコンの混合物からのシリコン層構造の層が適用され、この混合物に続いて短時間のテンパリングが施され、短時間テンパリングにおける0.01~100msの範囲内のパルス持続時間及び/又は0.1~100J/cm²の範囲内のパルス・エネルギー量などのプロセス・パラメータの設定、4~200の範囲へのキャリア基材の予熱又は冷却、並びにシリコン層構造の層の適用される混合物の材料選択によって、適用される層の相分離が制御される、方法、によって解決される。



【特許請求の範囲】

【請求項 1】

キャリア基材にシリコン層構造 (1) が適用される、微細構造中の銅リッチ・シリサイド相を安定化するための方法であって、少なくとも 1 種の金属 (3) とシリコン (2) の混合物から成る前記シリコン層構造 (1) の層が適用され、続いて急速アニーリング (4) が施され、急速アニーリングにおける $0.01 \sim 100 \text{ ms}$ の範囲内のパルス持続時間及び / 又は $0.1 \sim 100 \text{ J/cm}^2$ の範囲内のパルス・エネルギーのような動作パラメータの設定、 $4 \sim 200$ の範囲内での前記キャリア基材の予熱又は冷却、並びに前記シリコン層構造 (1) の前記層の前記適用される混合物中の材料の選択によって、前記適用される層中の相分離 (5) が制御され、前記微細構造が成長することを特徴とする、方法。 10

【請求項 2】

前記相分離 (5) によって、ナノスケールのシリコン (7) が埋め込まれた金属又はシリサイドの導電性マトリックスが形成されていることを特徴とする、請求項 1 に記載の方法。

【請求項 3】

前記キャリア基材が主として銅で形成されていることを特徴とする、請求項 1 に記載の方法。

【請求項 4】

前記相分離 (5) によって、前記シリコン層構造 (1) の前記層に銅シリサイド・マトリックス (6) が形成されていることを特徴とする、請求項 1 又は 3 に記載の方法。 20

【請求項 5】

前記銅シリサイド・マトリックスは、熱平衡において存在する金属間化合物相 Cu_3Si 、 $\text{Cu}_{15}\text{Si}_4$ 、及び Cu_5Si から形成されるだけでなく、 Cu_7Si 及び Cu_9Si のような高温安定化された銅リッチ金属間化合物相からも形成され、前記銅リッチ金属間化合物相はまたシリコン・リッチ $\text{Si}-\text{Cu}$ 混合物中にも成長することを特徴とする、請求項 4 に記載の方法。

【請求項 6】

前記シリコン層構造 (1) の前記層は、ニッケル (Ni)、アルミニウム (Al)、スズ (Sn)、又はチタン (Ti) の元素のうちの 1 つ又は複数と混和されることを特徴とする、請求項 1 から 5 までのいずれか一項に記載の方法。 30

【請求項 7】

前記シリサイド・マトリックスのナノ構造化が前記急速アニーリングによって確立されることを特徴とする、請求項 1 から 6 までのいずれか一項に記載の方法。

【請求項 8】

前記銅シリサイド・マトリックス内で成長する前記相の形態及び分布が冷却速度によって確立されることを特徴とする、請求項 1 から 7 までのいずれか一項に記載の方法。

【請求項 9】

遅い冷却速度によって大きな微細構造を伴う相分離が確立され、速い冷却速度によって小粒子微細構造を伴う相分離が確立されることを特徴とする、請求項 8 に記載の方法。 40

【請求項 10】

形成される前記銅シリサイド・マトリックス中の、 Cu_5Si 、 Cu_7Si 、 Cu_9Si 、又は x, y を自然数とした Cu_xSi_y のような銅リッチ・シリサイドの割合は、シリサイド全体の割合の 50 % 超に達することを特徴とする、請求項 1 から 9 までのいずれか一項に記載の方法。

【請求項 11】

前記シリコン層構造 (1) の前記層は、物理気相成長、PVD、及び / 又は、化学気相成長、CVD のような、乾式の堆積工程によって適用されていることを特徴とする、請求項 1 から 10 までのいずれか一項に記載の方法。

【請求項 12】

リチウム・イオン電池内の、より詳細にはシリコン・アノード用の、高静電容量電極材料を製造するための、請求項 1 から 11 までに記載の銅リッチ・シリサイド相を安定化するための方法の使用。

【請求項 13】

請求項 1 から 11 までのいずれか一項に記載の方法によって製造された、電気化学セル、より詳細にはリチウム・イオン電池用のアノード材料。

【請求項 14】

請求項 13 に記載のアノード材料を含む電池セル、より詳細にはリチウム・イオン・セル。

【請求項 15】

請求項 14 に記載の少なくとも 1 つの電池セルを備える電池、より詳細にはリチウム・イオン電池。

【請求項 16】

銅製であるのが好ましい電流コレクタと、請求項 1 から 11 までに記載の方法によって製造可能な、前記電流コレクタ上に堆積されている多層構造とを備える、リチウム・イオン電池で使用するのに適したアノードであって、前記多層構造は少なくとも 2 つの層から形成され、1 つの層が、銅シリサイド・マトリックスを形成する、少なくとも 1 つの金属(3)とシリコン(2)の混合物から形成され、前記銅シリサイド・マトリックスは使用される前記金属に応じた金属間化合物相を含むことを特徴とする、アノード。

【請求項 17】

前記銅シリサイド・マトリックスは、前記多層構造の最終的な薄層厚さに規格化して 50% ~ 90% の横方向の拡張を示すことを特徴とする、請求項 16 に記載のアノード。

【請求項 18】

前記多層構造中に微細構造が成長し、前記微細構造は Cu_5Si 、 Cu_7Si 、及び Cu_9Si のような異なる金属間金属リッチ相を含み、形成される前記相の拡張は、前記微細構造中の前記多層構造の最終薄層厚さに正規化して少なくとも 50% に達し、純シリコンは 1 層当たり 1 μm の最大厚さを有することを特徴とする、請求項 16 に記載のアノード。

【請求項 19】

前記多層構造の全 Si 含有量に対して計算される、前記銅シリサイド・マトリックス内にインターカレートされたナノスケールのシリコンの体積パーセントでの合計割合が、40% ~ 95% であることを特徴とする、請求項 1 から 18 までのいずれか一項に記載のアノード。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、キャリア基材にシリコン層構造が適用される、銅リッチ・シリサイド相を安定化するための方法に関する。

【0002】

本発明は更に、リチウム・イオン電池内の、より詳細にはシリコン・アノード用の、高静電容量電極材料を製造するための本発明の方法の使用に、並びに電池セル及びリチウム・イオン電池におけるアノード材料及びその使用に、並びに本発明の方法で製造されたアノードに関する。

【背景技術】

【0003】

不特定の銅(Cu)-シリコン(Si)混合薄層(lamina)を高温に曝露した場合、銅及びシリコンのそれぞれの濃度が、固溶体と呼ばれる銅のシリサイド又は混合結晶の単相又は多相の形成を決定する。

【0004】

銅-シリコン混合薄層中に低温の平衡状態で存在する 3 つのシリサイドが、 Cu_3Si

10

20

30

40

50

、 $\text{Cu}_{15}\text{Si}_4$ 、 Cu_5Si である。ケイ素濃度が最も高い安定な金属間化合物相は Cu_3Si である（非特許文献1）。シリコンの割合が高くなると（過共晶相、 $\text{Cu}_3-\alpha\text{Si}$ （ $\alpha > 0$ ））、それに応じた（ Si ）と Cu_3Si 相の混合物になる。亜共晶濃度の $\text{Si}-\text{Cu}$ 混合物、つまりより銅の多い、すなわち銅リッチな混合物では、170を超え加熱で Cu_3Si 相が最初に形成され（非特許文献2）、より高い温度ではこの相は銅相 $\text{Cu}_{15}\text{Si}_4$ 及び Cu_5Si に移行する。微細構造が成長するが、そこでは各相はこれらの割合に従って形成される。この微細構造の形態と分布は、薄層に適用されるアニーリング処理の冷却速度によって決定される。遅い冷却速度及び／又は小さな温度勾配は大きな微細構造を有する成長した相分離を促し、一方、速い冷却速度及び／又は高い温度勾配は小粒子微細構造を有する相分離をもたらす。相分離は、薄層の構成元素と形成される金属間化合物相とに依存する。3つの金属間化合物相を有する $\text{Cu}-\text{Si}$ 及び5つの金属間化合物相を有する $\text{Ni}-\text{Si}$ などの二元系のほかに、共晶は存在するが金属間化合物相が形成されない $\text{Al}-\text{Si}$ のような系も存在する。 $\text{Cu}-\text{Si}$ （図1）、 $\text{Ni}-\text{Si}$ （図2）、 $\text{Al}-\text{Si}$ （図3）、 $\text{Ti}-\text{Si}$ （図4）の相図を参照。

10

【0005】

複数の異なる金属とシリコンの組合せを用いて、相分離及び微細構造形成の特性を更にカスタマイズすることができる。

【先行技術文献】

【非特許文献】

【0006】

20

【非特許文献1】Chromik, R. R., Neils, W. K. & Cotts, E. J. Thermodynamic and kinetic study of solid state reactions in the Cu-Si system. Journal of Applied Physics 86, 4273 (1999)

【非特許文献2】Russell, S. W., Li, J. & Mayer, J. W. In situ observation of fractal growth during a-Si crystallization in a Cu_3Si matrix. Journal of Applied Physics 70, 5153-5155 (1991)

【発明の概要】

【発明が解決しようとする課題】

【0007】

したがって、本発明の目的は、特に、相分離及び対応する微細構造形成の特性をカスタマイズし得る方法を特定することであり、これが意図するのは、このプロセスを最大限の簡潔性、迅速性、及び効率で実行できるようにすることである。

30

【課題を解決するための手段】

【0008】

この目的は独立請求項1に記載の方法によって達成される。キャリア基材にシリコン層構造が適用される、微細構造中の銅リッチ・シリサイド相を安定化するための方法では、少なくとも1種の金属とシリコンの混合物から成る前記シリコン層構造の層が適用され、続いて急速アニーリングが施され、急速アニーリングにおける0.01~100msの範囲内のパルス持続時間及び／又は0.1~100J/cm²の範囲内のパルス・エネルギーなどの動作パラメータの設定、4~200の範囲内でのキャリア基材の予熱又は冷却、並びにシリコン層構造の層の適用される混合物中の材料の選択によって、適用される層中の相分離が制御され、微細構造が成長する。

40

【0009】

急速アニーリングとは特に、フラッシュ・ランプ・アニーリング及び／又はレーザ・アニーリングを指す。フラッシュ・ランプ・アニーリングは、0.3~20msの範囲内のパルス持続時間又はアニーリング時間で、0.3~100J/cm²の範囲内のパルス・エネルギーで、行われる。レーザ・アニーリングの場合、0.01~100msのアニーリング時間が局所加熱部位の走査速度によって設定されて、0.1~100J/cm²のエネルギー密度が生じる。急速アニーリングで達成される加熱勾配は、この方法に必要な $10^4 - 10^7 \text{ K/s}$ の範囲内にある。この目的のためのフラッシュ・ランプ・アニ

50

ーリングでは、可視波長域内のスペクトルを使用するが、一方でレーザ・アニーリングでは、赤外（IR：infrared）から紫外（UV：ultraviolet）までのスペクトルの範囲内の離散波長を使用する。

【0010】

シリコン層構造とは、Si電極の薄層状構造又は薄層状スタックの様々な薄層を指す。薄層状スタックは少なくとも1つの層又は薄層を備え、層又は薄層は少なくとも1種の材料で、又は2種以上の材料の混合物で形成される。層及び薄層は同義で使用される用語である。

【0011】

本発明の方法では、スパッタリング工程で通常あるような真空遮断なしに、任意の所望の層構造又は薄層状スタックを多数の基材上に構築することができる。急速アニーリングの結果、アニーリング・ステップを迅速且つ効率的に実行できる。急速アニーリングでは、フラッシュ・ランプのエネルギー又はレーザのエネルギー、パルス持続時間、及び基材の予熱又は冷却など、動作設定のバリエーションが豊富である。

【0012】

これらの基本動作ステップによって、所望の用途に合わせてカスタム調整可能な膨大なパラメータのスペクトルが得られる。特に、急速アニーリングでは、標的を定めたエネルギー投入に起因して、決定的な利点が得られる。急速アニーリングを使用して、平衡状態に耐えられない高温相を安定化することができる。

【0013】

本発明の方法の一実施例では、相分離の結果、ナノスケールのシリコンが埋め込まれた、金属又はシリサイドの導電性マトリックスが形成される。

【0014】

ナノスケールのシリコンとは、アモルファスのシリコン、又は、少なくとも1つの次元が100nm未満の大きさで空間に存在している、ナノ結晶オーダーのシリコンを指す。結晶性Siの場合、100nmがリチウムのインターカレーションによる体積拡張の限界値と考えられており、この数値以下であれば、形態を破壊することなく、すなわちクラック、破砕などを生じさせることなく、応力を散逸させることができる。

【0015】

本発明の方法の別の実施例では、キャリア基材は主として銅で形成される。

【0016】

銅基材の使用及び選ばれた動作パラメータによる相分離への影響によって、純シリコンのアモルファス領域又はナノ結晶領域を含む銅シリサイド・マトリックスの形成がもたらされる。この結果、リチウムのインターカレーションのための容量をほとんど又は全く有さない導電性の領域と、高い貯蔵容量を有する実質的に純粋なSi（理想的にはアモルファス）を含む更なる領域とが存在する、不均質な構造が生じる。

【0017】

銅リッチ・シリサイド相はそのままの状態では、それよりも銅リッチでないシリサイド相よりも導電性が高い。Siの濃度が高いSi-Cu領域及び低いSi-Cu領域が不特定の混合物に形成されれば、このことは電池での使用にとって、及びその性能にとって有利である。急速アニーリングの結果、Cu₃Siではなくより高濃度の銅シリサイドが形成される場合、それに応じて純シリコンの領域がより多く残されることになる。この結果、シリサイド・マトリックスは高い導電性を達成し、存在する残りの（アモルファスの又はナノ結晶の）シリコンの利用度は高い。極端な場合、相分離の結果、シリコン層中に純粋な銅マトリックスが形成されることさえあることが明らかになっているが、これは対応するナノ構造の理想的なケースを表すものである。

【0018】

本発明の方法の一実施例では、相分離によって、シリコン層構造の層への銅シリサイド・マトリックスの形成がもたらされる。

【0019】

10

20

30

40

50

パルス長を変化させることで、ナノ構造化に対して標的を定めた影響を与えることができる。デンドライトによる導電性を有するマトリックスが成長し、これによりまた、低導電性シリコンの比較的厚い層の良好な導電性も実現される。デンドライトは樹木状又はブッシュ状の結晶構造である。同構造は、シリコン - 金属薄層にアルミニウムを混和することで、生じる範囲が大きくなる。

【0020】

本発明の方法の別の実施例では、銅シリサイド・マトリックスは、室温での熱力学的平衡状態で存在する安定な金属間化合物相（銅シリサイド相） Cu_3Si 、 $Cu_{15}Si_4$ 、及び Cu_5Si によってだけでなく、急速アニーリングの結果としての Cu_7Si 及び Cu_9Si などの高温安定化された銅リッチ金属間化合物相によっても形成／生成され、これら銅リッチ金属間化合物相はまた、シリコン・リッチ $Si-Cu$ 混合物中にも形成される。この混合物は、銅に対してシリコンの割合が高いにもかかわらず、すなわち亜共晶濃度で、成長する。

10

【0021】

本発明の方法の更なる実施例では、シリコン層構造の層は、ニッケル（ Ni ）、アルミニウム（ Al ）、スズ（ Sn ）、又はチタン（ Ti ）の元素のうちの、1つ又は複数と混和される。

【0022】

ニッケル - シリコンの二元系では5つの金属間化合物相が存在するが、 $Al-Si$ のような系では共晶のみが存在し、金属間化合物相は形成されない。アルミニウムは、例えば $Cu-Si$ 系におけるデンドライトの形成を促進するように作用し、シリコンの導電性を高める。銅とは対照的に、 Sn 及び Ti にはリチウム活性相が存在する。シリコンでは、これらの相は体積拡張時に、硬質の界面を生成することなく体積拡張を緩和することができる。

20

【0023】

本発明の方法の別の更なる実施例では、シリサイド・マトリックスのナノ構造化は急速アニーリングによって確立される。

【0024】

例えば、フラッシュ・ランプ・アニーリング又はレーザ・アニーリングにおいてフラッシュのパルス長を変更することによって、ナノ構造化を調整することが可能になる。

30

【0025】

本発明の方法の一実施例では、銅シリサイド・マトリックス内で成長する相の形態及び分布は、冷却速度によって確立される。

【0026】

有利には、遅い冷却速度によって、大きな微細構造を伴う相分離を確立することが可能であり、一方、速い冷却速度によって、小粒子微細構造を伴う相分離を確立することができる。

【0027】

本発明の方法の別の実施例では、形成される銅シリサイド・マトリックス中の、 Cu_5Si 、 Cu_7Si 、 Cu_9Si 、又は x 、 y を自然数とした Cu_xSi_y などの銅リッチ・シリサイドの割合は、シリサイド全体の割合の50%超に達する。有利には、十分な電池容量が確保されるように、薄層中のシリサイドの量を、銅シリサイド・マトリックス／シリコン層の合計容量が $2000mAh/cm^2$ を下回らないように設定すべきである。

40

【0028】

特徴的なのは、シリコン薄層中の本発明に従って製造された多層構造中に銅シリサイド・マトリックスとして成長した、 Cu_3Si 、 $Cu_{15}Si_4$ 、及び Cu_5Si などの形成された相の拡張が、厚さ $1\mu m$ のシリコン薄層中で目視で $200nm$ に達することである。個々の層をより細かく更に分割することにより、これをバッテリー動作が十分に安定化されるように、必要に応じて適合させることができる。目的はシリコンを安定化する銅シリサイド・マトリックスである。銅シリサイド（ $CuSi$ ）の割合は、純シリコンの安

50

定性限度を超えないような大きさでなければならない。

【 0 0 2 9 】

パルス持続時間、パルス・エネルギー、及び／又は予熱／冷却などの急速アニーリングのパラメータの任意の変更によって、多くの結果が得られる。大体積の拡張での安定した電池動作のためには、100nmのオーダーのアモルファス・シリコン領域が一般には理想的である。デンドライトによる導電性を有するマトリックスによって、低導電性シリコンの比較的厚い層の良好な電氣的接触も実現される。これらデンドライトは、Si金属層にアルミニウムを混和することによって、より広い範囲まで形成される。

【 0 0 3 0 】

シリコン層構造の層は有利には、スパッタリングに代表される物理気相成長 (PVD: physical vapor deposition)、及び／又は化学気相成長 (CVD: chemical vapor deposition) などの、乾式の堆積法によって適用される。 10

【 0 0 3 1 】

記載されている相分離は、多様な金属間化合物相の形成と、場合によっては同時に、また場合によっては連続的に、行われる。これらの金属間化合物相は異なる密度及び／又は格子定数を有する。したがって、最終状態又は最終段階に達する前に、比較的低い密度を有するか又はより大きな空間体積を占める界面の形成が可能である。その結果、工程終了時には、アモルファス・シリコンが埋め込まれた不均質なシリサイド・マトリックス中に空隙構造が分布した、フォーム構造が得られる。これらの空隙構造は更に、リチウムのインターカレーションによるシリコンの体積拡張を補償することができる。本発明の方法では材料の系の薄層厚さが5倍に増加したことが実証されているが、典型的な格子拡張と酸化物形成では、2倍又は3倍が現実的である。残りの厚さ又は体積の増加はしたがって、形成された空隙構造に起因するものである。 20

【 0 0 3 2 】

したがって、方法請求項に記載の銅リッチ・シリサイド相を安定化するための本発明の方法を、リチウム・イオン電池内の、より詳細にはシリコン・アノード用の、高静電容量電極材料を製造するために使用するのが有利である。

【 0 0 3 3 】

更に、電気化学セル、より詳細にはリチウム・イオン電池用のアノード材料を製造することが有利である。 30

【 0 0 3 4 】

このアノード材料は電池セルに採用することができ、そしてこの電池セルは少なくとも1つの電池セルを有する電池内に設置することができる。

【 0 0 3 5 】

本発明の方法の利点は、記載されている特性が複雑な操作によって得られるのではなく、代わりにそれらが急速アニーリングの標的を定めた使用によって、無理なくもたらされることである。このことは1回の操作ステップで達成され、拡張性が高いため、したがってコスト効率が極めて高い。他の方法ははるかに複雑であり、急速アニーリングよりもはるかに多くのエネルギーを必要とし、拡張性のある様式では適用できない。 40

【 0 0 3 6 】

本発明が基礎とする目的は、請求項16に記載のアノードによっても達成される。本発明のアノードはリチウム・イオン電池に使用するのに適しており、銅製であるのが好ましい電流コレクタと、請求項1から11までに記載の方法によって製造される、電流コレクタ上に堆積された多層構造と、を備える。多層構造は、1つの層が少なくとも1種の金属とシリコンの混合物で形成されている、少なくとも2つの層で形成され、これらが銅シリサイド・マトリックスを形成し、銅シリサイド・マトリックスには使用される金属に応じた(金属間化合物)相が含まれる。

【 0 0 3 7 】

本発明のアノードの一実施例では、銅シリサイド・マトリックスは、多層構造の最終的 50

な薄層厚さに規格化して50%~90%の横方向の拡張を示す。

【0038】

本発明のアノードの別の実施例では、多層構造中で微細構造が成長し、この微細構造は、 Cu_3Si 、 $\text{Cu}_{15}\text{Si}_4$ 、及び Cu_5Si や、高い割合の銅リッチ・シリサイド、例えば Cu_5Si 、 Cu_7Si 、及び Cu_9Si などの異なる金属間化合物相金属リッチ相を含み、形成される相の拡張は、微細構造における最終的な薄層厚さに規格化して少なくとも50%に達し、純シリコンは1層あたり1 μm の最大厚さを有する。例えば、厚さ1.5 μm の Cu-Si 層の場合、銅シリサイド・マトリックスの拡張は少なくとも0.5 μm に達するべきである。結晶性シリコンでは300nmの最大拡張、アモルファス・シリコンでは1 μm の最大拡張が、シリコン構造が粉碎されることのない、リチウムのイ

10

【0039】

本発明のアノードの更なる実施例では、多層構造の全Si含有量に対して計算される、銅シリサイド・マトリックス内にインターカレートされたナノスケールのシリコンの体積パーセントでの合計割合は、40%~95%であるが、このとき/この場合(s o t h a t / i n w h i c h c a s e)、安定性基準には達しない。

【0040】

本発明について、例示的な実施例を用いて以下でより詳細に説明する。

【図面の簡単な説明】

20

【0041】

【図1】銅・シリコン相図である。

【図2】ニッケル・シリコン相図である。

【図3】アルミニウム・(銅)・シリコン相図である。

【図4】チタン・(アルミニウム)・シリコン相図である。

【図5】 Cu-Si-Ti 相図である。

【図6】フラッシュ・ランプ・アニーリング後の層構造及び相分離の進行の概略図である。

【図7】本発明の方法で製造された、成長した銅シリサイド・マトリックス(デンドライト構造)を有する Si/Cu/Si の層全体のSEM顕微鏡写真である。

30

【図8】本発明の方法で製造した Cu-Si-Ni 系のSEM画像及び元素分析である。

【図9】 Cu-Si-Al 系のSEM顕微鏡写真である。

【発明を実施するための形態】

【0042】

図6は、シリコン薄層2と、銅薄層3及び/又は銅以外の材料の薄層とが交互に配された、製造されたシリコン層構造1の概略図である。急速アニーリング、より詳細にはフラッシュ・ランプ・アニーリング又はレーザ・アニーリング4の結果、相分離5によって不均質な混合層が形成される。描かれている事例では、製造されたシステムは、リチウムのインターカレーションのための高い貯蔵容量を有する、アモルファス・シリコン7の大きな領域を含む。また更に、急速アニーリングによって、銅がシリコンと相互成長し所望のデンドライトを成長させる領域の成長がもたらされるが、この領域は純銅マトリックスにまで銅シリサイド(CuSi_x)マトリックス6を成長させる可能性があり、したがって高い導電性を示す。図6は、層構造からの Cu/Si の混合物を示す。また原理的には、 SiCu ターゲットから直接、同時スパッタリング又はスパッタリングによって均質な SiCu 層を製造することも可能である。その後、急速アニーリングによって相分離が生じる。したがって、 Si/Cu 層を個別にスパッタリングするのではなく、混合層をスパッタリングすることも可能である。利点は、層を交互に適用する必要がなく、代わりに1回の動作ステップで済むことである。

40

【0043】

図7は、本発明の方法で実現され製造される、相分離による不均質な混合層のSEM顕

50

微鏡写真を示す。 $\text{Si} / \text{Cu} / \text{Si}$ の層全体は、各々が厚さ $1 \mu\text{m}$ である Si の2つの層を呈し、その間に厚さ 300nm の Cu がある。急速アニーリング後、 Cu は Si と相互成長し、所望のデンドライトが成長する。各 Si 層の約50%に Cu 又は CuSi_x のデンドライトが形成されている。より明るい領域は、シリコン（より暗い部分）中に不均質に分布する銅リッチ・シリサイド、又は銅である。

【0044】

本発明の方法で製造された $\text{Cu} - \text{Si}$ 系を用いて、過共晶系 $\text{Cu}_{(3-\alpha)}\text{Si}_{(\alpha>0)}$ においても銅リッチ相が形成できることが実証された。これを受けて、X線回折法により、低温安定な Cu_5Si 相だけでなく、 Cu_7Si 相、及び更には Cu_9Si 相も測定された。系にニッケルを混和すると、これら銅リッチ・シリサイド相の形成が更に促進される。銅リッチ・シリサイド相の形成は、急速アニーリングのプロセス中の限られた動態及び拡散によって誘導され、その場合、過共晶系であっても局所的に亜共晶濃度となる場所が存在し、この結果銅リッチ相が形成される。アルミニウムなど、シリコンと金属間化合物相を成長させない材料の添加は、このプロセスを更に支援する。

10

【0045】

図8には $\text{Cu} - \text{Si} - \text{Ni}$ 系（SEM画像及び元素分析）が示されており、 NiSi_x 層から銅及び/又は銅リッチ・シリサイドがシリコン中にデンドライトとして成長している（出発層は $\text{Si} / \text{Ni} / \text{CuSi}_x$ 構造）。

【0046】

図9には、デンドライト構造と、アルミニウムの混和によってシリコン中に凝集する粒子状構造としての銅インクルージョンとの両方を有する、 CuSi_x 層上の複雑な層構造が示されている。

20

【0047】

要約すれば、本発明の方法は、ナノスケールの Si が埋め込まれた、金属及びシリサイドの導電性マトリックスの形成を可能にする。特に、本発明の方法は、純銅マトリックスにまで及ぶ銅リッチ・シリサイド・マトリックスを形成することを可能にし、このことにより、混合層の不均質性の、及びひいては電池性能の、大幅な改善がもたらされる。急速アニーリングのパルス持続時間、パルス・エネルギー、及び予熱又は冷却などの動作パラメータを標的を定めて変化させることにより、周囲の導電性マトリックスの構造を確立することが可能である。用途に対して最適な構造を選択するための可能な選択しとしては、粒子状の埋め込み、ピラミッド状、サンゴ状、又は樹枝状の構造、及び更には柱状のピラー構造が挙げられる。本発明の方法は薄層状の層にフォーム構造を作り出すことを可能にし、この結果、シリコンへのリチウムのインターカレーションに対する応力補償が改善され、このことにより電池性能が改善される。

30

【符号の説明】

【0048】

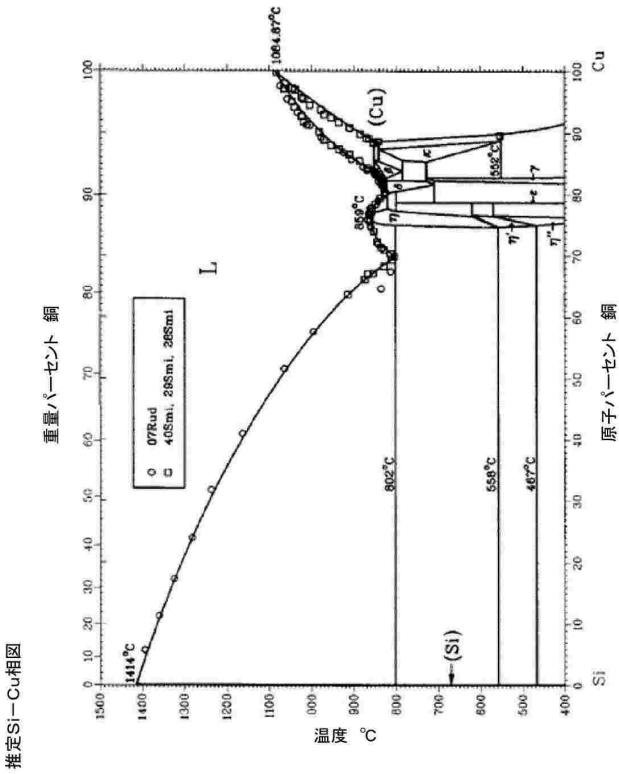
- 1 シリコン層構造
- 2 シリコン薄層/層
- 3 銅薄層/層
- 2 + 3 濃度調整可能な混合 Si / Cu 層
- 4 急速アニーリング、より詳細にはフラッシュ・ランプ・アニーリング・ステップ又はレーザ・アニーリング・ステップ
- 5 相分離、銅又は銅シリサイドのデンドライト
- 6 銅シリサイド・マトリックス/ Cu マトリックス
- 7 アモルファス・シリコン又はナノスケールのナノ結晶シリコン
- 5 + 6 + 7 導電性シリサイド・マトリックスに埋め込まれたナノスケールのシリコン

40

【 図 面 】

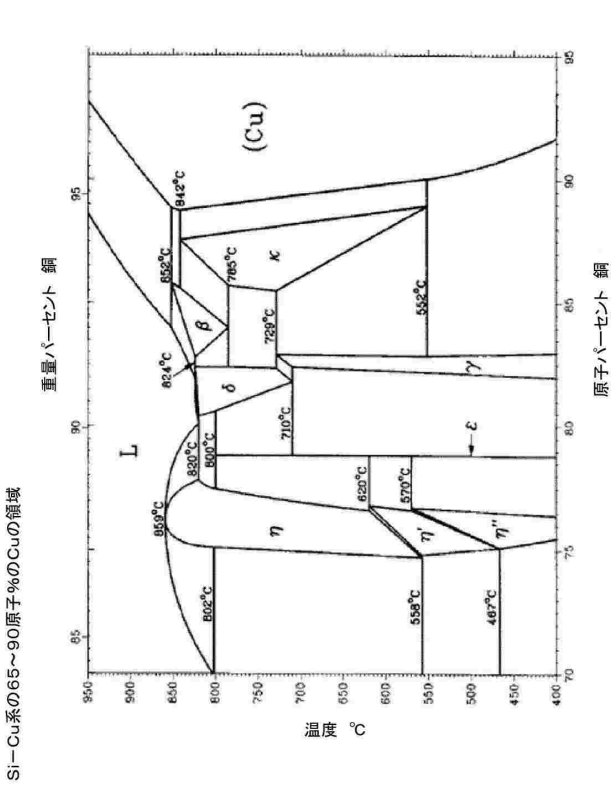
【 図 1 - 1 】

銅－シリコン相図



【 図 1 - 2 】

図1の続き



10

20

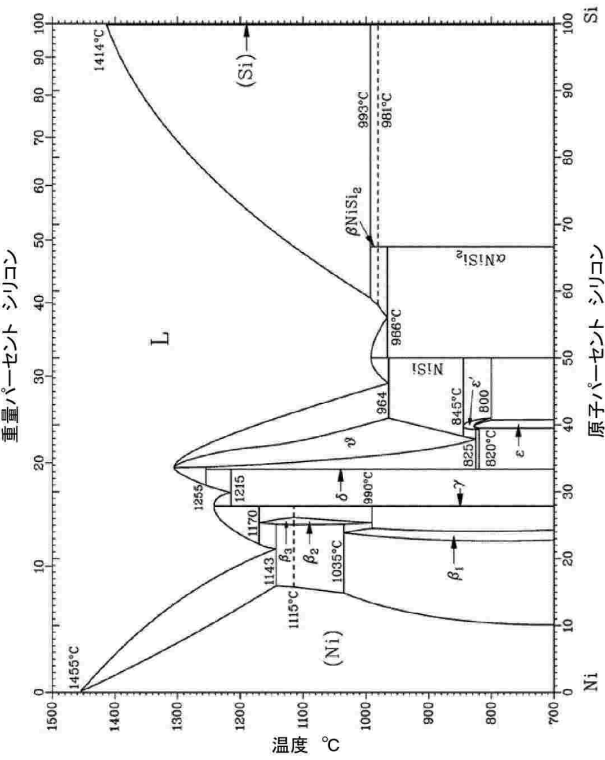
30

40

50

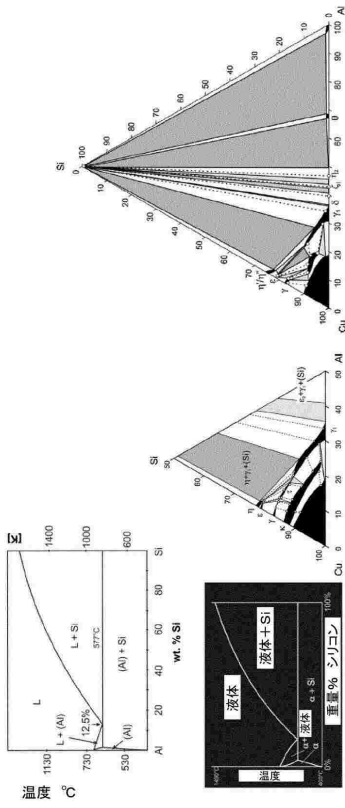
【図 2】

ニッケル-シリコン相図



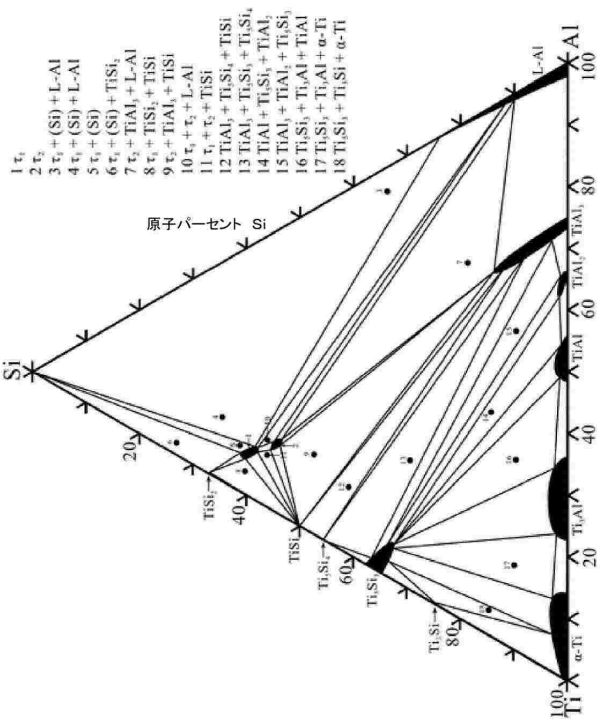
【図 3】

アルミニウム-（銅）-シリコン相図



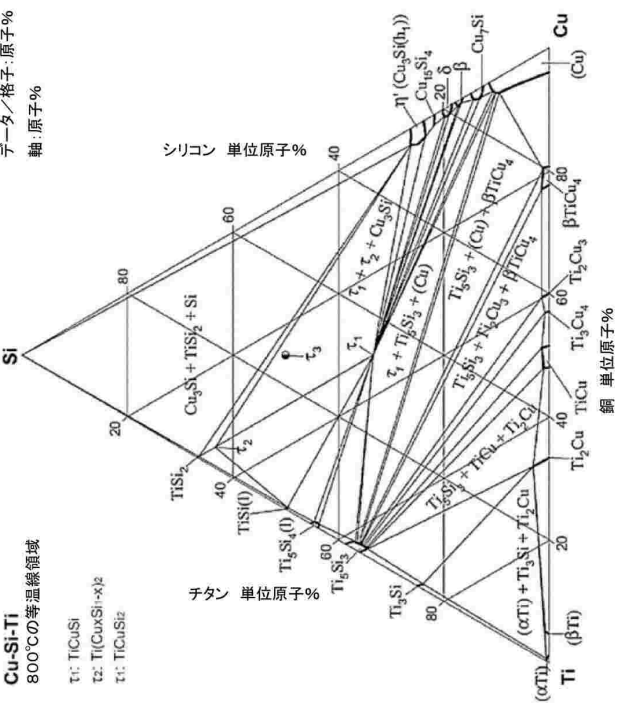
【図 4】

チタン-（アルミニウム）-シリコン相図



【図 5】

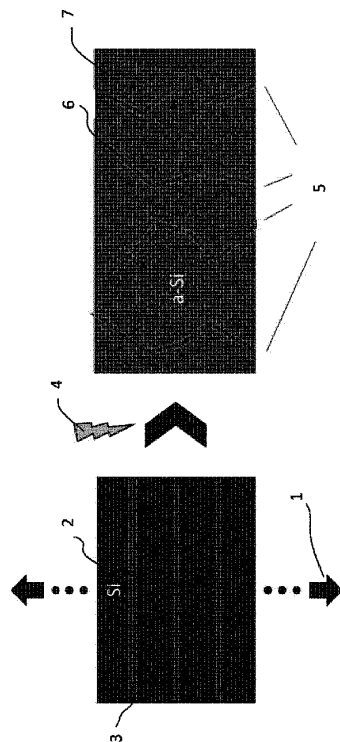
Cu-Si-Ti相図



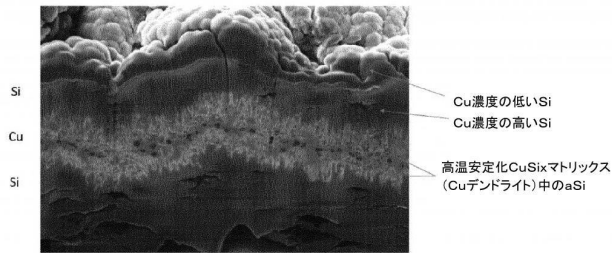
Li, Zb. al. 700 °C Isothermal Section of the Al-Ti-Si Ternary Phase Diagram. J. Phase Equilib. Diffus. 35, 564-574 (2014).

【 図 6 】

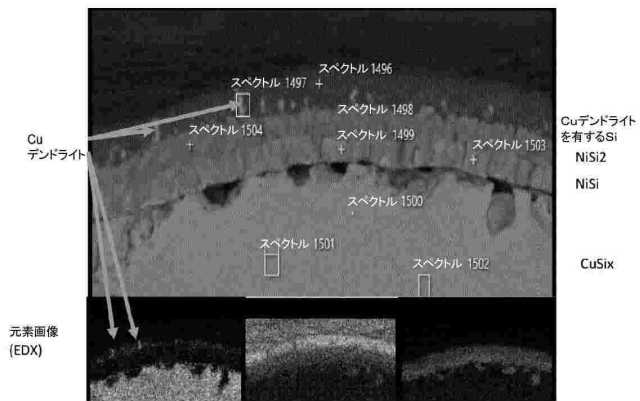
Fig. 6



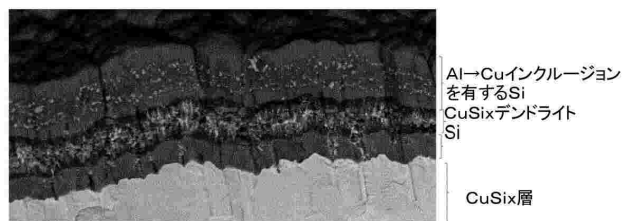
【 図 7 】



【 図 8 】



【 図 9 】



10

20

30

40

50

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/EP2022/072350									
A. CLASSIFICATION OF SUBJECT MATTER H01M 4/1395(2010.01)i According to International Patent Classification (IPC) or to both national classification and IPC											
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01M Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal											
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>POLAT B D ET AL. "Multi-layered Cu/Si nanorods and its use for lithium ion batteries" <i>JOURNAL OF ALLOYS AND COMPOUNDS, ELSEVIER SEQUOIA, LAUSANNE, CH</i>, Vol. 622, 24 October 2014 (2014-10-24), pages 418-425 DOI: 10.1016/J.JALLCOM.2014.10.028 ISSN: 0925-8388, XP029101221</td> <td>13-16</td> </tr> <tr> <td>A</td> <td>abstract; page 420 onwards: "2. Experimental", "3. Results and discussion" with figures 1, 2; page 421 onwards with figure 3a</td> <td>1-12, 17-19</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	POLAT B D ET AL. "Multi-layered Cu/Si nanorods and its use for lithium ion batteries" <i>JOURNAL OF ALLOYS AND COMPOUNDS, ELSEVIER SEQUOIA, LAUSANNE, CH</i> , Vol. 622, 24 October 2014 (2014-10-24), pages 418-425 DOI: 10.1016/J.JALLCOM.2014.10.028 ISSN: 0925-8388, XP029101221	13-16	A	abstract; page 420 onwards: "2. Experimental", "3. Results and discussion" with figures 1, 2; page 421 onwards with figure 3a	1-12, 17-19
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.									
X	POLAT B D ET AL. "Multi-layered Cu/Si nanorods and its use for lithium ion batteries" <i>JOURNAL OF ALLOYS AND COMPOUNDS, ELSEVIER SEQUOIA, LAUSANNE, CH</i> , Vol. 622, 24 October 2014 (2014-10-24), pages 418-425 DOI: 10.1016/J.JALLCOM.2014.10.028 ISSN: 0925-8388, XP029101221	13-16									
A	abstract; page 420 onwards: "2. Experimental", "3. Results and discussion" with figures 1, 2; page 421 onwards with figure 3a	1-12, 17-19									
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.											
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family											
Date of the actual completion of the international search 24 November 2022		Date of mailing of the international search report 02 December 2022									
Name and mailing address of the ISA/EP European Patent Office p.b. 5818, Patentlaan 2, 2280 HV Rijswijk Netherlands Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer Radeck, Stephanie Telephone No.									

Form PCT/ISA/210 (second sheet) (January 2015)

10

20

30

40

50

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2022/072350

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01M4/1395

ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01M

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	POIAT B D ET AL: "Multi-layered Cu/Si nanorods and its use for lithium ion batteries", JOURNAL OF ALLOYS AND COMPOUNDS, ELSEVIER SEQUOIA, LAUSANNE, CH, Bd. 622, 24. Oktober 2014 (2014-10-24), Seiten 418-425, XP029101221, ISSN: 0925-8388, DOI: 10.1016/J.JALLCOM.2014.10.028	13-16
A	Abstract; S. 420f: "2. Experimental", "3. Results and discussion" mit Fig. 1, 2; S. 421f mit Fig. 3a -----	1-12, 17-19

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☐ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung;; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung;; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

24. November 2022

Absenddatum des internationalen Recherchenberichts

02/12/2022

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Radeck, Stephanie

フロントページの続き

(32)優先日 令和3年8月9日(2021.8.9)
(33)優先権主張国・地域又は機関
ドイツ(DE)
(31)優先権主張番号 102021126493.6
(32)優先日 令和3年10月13日(2021.10.13)
(33)優先権主張国・地域又は機関
ドイツ(DE)
(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,T
J,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,
NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD
,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,D
E,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,
KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,
NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,T
M,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
トラーセ 5
F ターム (参考) 4G072 AA20 BB05 BB09 FF04 FF06 GG02 GG03 HH01 JJ09 MM36
NN03 NN11 RR11 UU30
5H017 AA03 AS02 EE01
5H050 AA07 AA19 BA16 CB11 DA03 DA07 FA02 GA02 HA02 HA04
HA07 HA20