

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月16日(16.08.2012)



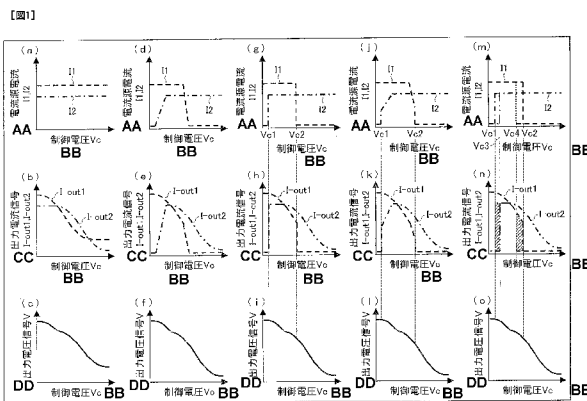
(10) 国際公開番号

WO 2012/108077 A1

- (51) 国際特許分類:
H03G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/071904
- (22) 国際出願日: 2011年9月26日(26.09.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-026402 2011年2月9日(09.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 天野 真司
(AMANO, Shinji).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);
〒5300041 大阪府大阪市北区天神橋2丁目北2
番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: VARIABLE GAIN AMPLIFIER AND RECEIVING DEVICE

(54) 発明の名称: 可変利得増幅器及び受信装置



AA Current source current I1, I2
BB Control voltage Vc
CC Output current signal I-out1, I-out2
DD Output voltage signal V

(57) Abstract: A first variable gain amplifier comprises a first variable conductance circuit that is a circuit having variable conductance as an entire circuit, and a second variable gain amplifier comprises a second variable conductance circuit. The maximum value of conductance of the first variable conductance circuit is higher than the maximum value of conductance of the second variable conductance circuit, and when the output current of the first variable conductance circuit is lower than the output current of the second variable conductance circuit, the current (I1) output from the first variable current source provided to the first variable conductance circuit is sharply reduced.

(57) 要約: 第1可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第1可変コンダクタンス回路を備え、第2可変利得増幅器は、第2可変コンダクタンス回路を備え、上記第1可変コンダクタンス回路のコンダクタンスの最大値は、上記第2可変コンダクタンス回路のコンダクタンスの最大値よりも高く、上記第1可変コンダクタンス回路の出力電流が、上記第2可変コンダクタンス回路の出力電流よりも小さい時に、上記第1可変コンダクタンス回路が備える第1可変電流源が出力する電流 (I1) を急峻に立ち下げる。

明 細 書

発明の名称：可変利得増幅器及び受信装置

技術分野

[0001] 本発明は可変利得増幅器に関するものであり、特に半導体集積回路上に集積されて利得を自動で制御することに使用される可変利得増幅器に関する。

背景技術

[0002] 半導体集積回路で用いられて、利得の制御が可能である可変利得増幅器は、例えば、デジタル衛星放送を受信する受信装置が備える半導体集積回路において用いられる。

[0003] 図5は、従来の受信装置101のブロック図である。受信装置101は、一般的なダイレクトコンバージョン型の受信装置であって、半導体を用いて集積回路化されている。

[0004] [受信装置101]

(受信装置101の構成)

図5の受信装置101は、受信信号の入力端子102と、出力端子109とが設けられている。また、受信装置101は、高周波可変利得増幅器103、周波数変換器（ミキサ）104、低周波可変利得増幅器105、ローパスフィルタ106、出力増幅器107、ローカル信号生成器（局所信号生成器）108を備えている。さらに、受信装置101は、出力信号レベル検出回路110、第1利得制御回路111、及び、第2利得制御回路112を備えている。

[0005] 図5の受信装置101において、受信装置101に接続されたアンテナ160の出力が、入力端子102を介して、高周波可変利得増幅器103の入力に接続されている。高周波可変利得増幅器103の出力は、周波数変換器104の第1入力に接続されている。ローカル信号生成器108の出力は、周波数変換器104の第2入力に接続されている。

[0006] 周波数変換器104の出力は、低周波可変利得増幅器105の入力に接続

されている。低周波可変利得増幅器 105 の出力は、ローパスフィルタ 106 の入力に接続されている。ローパスフィルタ 106 の出力は、出力増幅器 107 の入力へ接続されている。

[0007] 出力増幅器 107 の出力は、出力端子 109 と、出力信号レベル検出回路 110 の入力とに接続されている。出力信号レベル検出回路 110 の出力は、第 1 利得制御回路 111 の入力と、第 2 利得制御回路 112 の入力とに接続されている。

[0008] 第 1 利得制御回路 111 の第 1 出力は、高周波可変利得増幅器 103 の第 1 制御入力に接続されている。第 1 利得制御回路 111 の第 2 出力は、高周波可変利得増幅器 103 の第 2 制御入力に接続されている。第 2 利得制御回路 112 の第 1 出力は、低周波可変利得増幅器 105 の第 1 制御入力に接続されている。そして、第 2 利得制御回路 112 の第 2 出力は、低周波可変利得増幅器 105 の第 2 制御入力に接続されている。

[0009] 高周波可変利得増幅器 103 は、周波数変換器 104 によって周波数変換がなされる前の、周波数が比較的高い信号に対応する高周波可変利得増幅器である。

[0010] 低周波可変利得増幅器 105 は、周波数変換器 104 によって周波数変換がなされた後の、周波数が比較的低い信号に対応する低周波可変利得増幅器である。

[0011] 第 1 利得制御回路 111 は、高周波可変利得増幅器 103 が備える第 1 振り分け回路の FET のオン・オフを制御する信号である FET 制御信号 S_{c-1} を、高周波可変利得増幅器 103 の第 1 制御入力へ出力する。また、第 1 利得制御回路 111 は、高周波可変利得増幅器 103 が備える可変電流源の出力電流の大小を制御する電圧である制御電圧 V_c を、高周波可変利得増幅器 103 の第 2 制御入力へ出力する。FET 制御信号 S_{c-1} 及び制御電圧 V_c は、第 1 利得制御信号を構成する。

[0012] 第 2 利得制御回路 112 は、低周波可変利得増幅器 105 が備える第 1 振り分け回路の FET のオン・オフを制御する信号である FET 制御信号 S_c

− 2 を、低周波可変利得増幅器 105 の第 1 制御入力へ出力する。また、第 2 利得制御回路 112 は、低周波可変利得増幅器 105 が備える可変電流源の出力電流の大小を制御する電圧である制御電圧 V_c を、高周波可変利得増幅器 103 の第 2 制御入力へ出力する。FET 制御信号 S_{c-2} 及び制御電圧 V_c は、第 2 利得制御信号を構成する。

[0013] (受信装置 101 の動作)

図 5 の受信装置 101 では、アンテナ 160 が受信する信号であって、入力端子 102 を介して高周波可変利得増幅器 103 に入力される受信信号は、高周波可変利得増幅器 103 によって、増幅されるか、減衰される。

[0014] 高周波可変利得増幅器 103 の出力信号は、周波数変換器 104 の第 1 入力に入力される。周波数変換器 104 は、ローカル信号生成器 108 から出力されて周波数変換器 104 の第 2 入力に入力されるローカル信号（局所信号）により、第 1 入力に入力された信号に対して周波数変換を行う。周波数変換がなされた後の、周波数が比較的低い信号は、周波数変換器 104 の出力信号として、低周波可変利得増幅器 105 に入力される。

[0015] 低周波可変利得増幅器 105 は、第 2 利得制御回路 112 から出力される第 2 利得制御信号によって、利得が増減される。これにより、低周波可変利得増幅器 105 に入力される信号は、低周波可変利得増幅器 105 によって、増幅されるか、減衰される。従って、低周波可変利得増幅器 105 から出力される信号の信号レベルが、所定の第 1 レベルとなる。

[0016] 低周波可変利得増幅器 105 の出力信号は、ローパスフィルタ 106 に出力される。ローパスフィルタ 106 は、低周波可変利得増幅器 105 の出力信号における高周波成分を減衰して、高周波成分を減衰した後の信号を、出力増幅器 107 に出力する。

[0017] 出力増幅器 107 は、ローパスフィルタ 106 の出力信号を増幅して、出力増幅器 107 の出力信号を生成する。出力増幅器 107 の出力信号は、出力端子 109 を介して受信装置 101 の外部へ出力されるとともに、出力信号レベル検出回路 110 に出力される。

- [0018] 出力信号レベル検出回路 110 は、出力増幅器 107 の出力信号が入力されることにより、出力増幅器 107 の出力信号の信号レベルである所定の第 2 レベルを検出する。当該第 2 レベルは、出力増幅器 107 による増幅のために、低周波可変利得増幅器 105 の出力信号の信号レベルである上記第 1 レベルよりも高い。
- [0019] 出力信号レベル検出回路 110 は、第 2 レベルの検出後に、指示信号 *S-order* を第 1 利得制御回路 111 に出力する。指示信号 *S-order* は、第 2 レベルに応じた信号であって、高周波可変利得増幅器 103 の利得を制御するために必要である、信号及び電圧の生成を指示する信号である。
- [0020] また、出力信号レベル検出回路 110 は、第 2 レベルの検出後に、指示信号 *S-order* を第 2 利得制御回路 112 に出力する。指示信号 *S-order* は、第 2 レベルに応じた信号であって、低周波可変利得増幅器 105 の利得を制御するために必要である、信号及び電圧の生成を指示する信号である。
- [0021] 第 1 利得制御回路 111 には、出力信号レベル検出回路 110 から指示信号 *S-order* が入力される。これにより、第 1 利得制御回路 111 は、FET 制御信号 *Sc-1* を生成して高周波可変利得増幅器 103 の第 1 制御入力へ出力するとともに、制御電圧 *Vc* を生成して高周波可変利得増幅器 103 の第 2 制御入力へ出力する。これにより、高周波可変利得増幅器 103 の利得が制御される（増減される）。
- [0022] 同様に、第 2 利得制御回路 112 には、出力信号レベル検出回路 110 から指示信号 *S-order* が入力される。これにより、第 2 利得制御回路 112 は、FET 制御信号 *Sc-2* を生成して低周波可変利得増幅器 105 の第 1 制御入力へ出力するとともに、制御電圧 *Vc* を生成して低周波可変利得増幅器 105 の第 2 制御入力へ出力する。これにより、低周波可変利得増幅器 105 の利得が制御される（増減される）。
- [0023] 以上のように、図 5 の受信装置 101 では、出力信号レベル検出回路 110、第 1 利得制御回路 111、及び、第 2 利得制御回路 112 によって、高

周波可変利得増幅器 103 の利得と低周波可変利得増幅器 105 の利得とがフィードバック制御される。これにより、出力端子 109 を介して受信装置 101 の外部に出力される出力信号の信号レベルの最大レベルを、第 2 レベルにすることが出来る。

[0024] ここで、高周波可変利得増幅器 103 に入力される信号の信号レベルが低い場合を考える。この場合、図 5 の受信装置 101 全体として、低い NF (noise figure : 雑音指数) が必要となる。

[0025] 入力信号レベルが低い場合、即ち、高い利得が必要な場合には、高周波可変利得増幅器 103 の NF を低くすればよい。何故なら、受信装置 101 全体としての NF と、高周波可変利得増幅器 103 の NF とが略等しいので、高周波可変利得増幅器 103 の NF を定めれば、受信装置 101 全体としての NF が概ね決定されるためである。

[0026] また、入力信号レベルが高い場合には、図 5 の受信装置 101 全体として、高い線形性が必要となる。

[0027] 入力信号レベルが高い場合、即ち、低い利得が必要な場合には、高周波可変利得増幅器 103 の線形性を高くすればよい。何故なら、受信装置 101 全体としての線形性と、高周波可変利得増幅器 103 の線形性とが略等しいので、高周波可変利得増幅器 103 の線形性を定めれば、受信装置 101 全体としての線形性が概ね決定されるためである。

[0028] 上述したように、高周波可変利得増幅器 103 に入力される信号の信号レベルが低い場合と、高周波可変利得増幅器 103 に入力される信号の信号レベルが高い場合との両方に対応することが出来るように設計された場合を考える。この場合、高周波可変利得増幅器 103 には、利得が高い場合における低い NF と、利得が低い場合における高い線形性との両者が要求される。

[0029] さらに、フィードバック制御による安定した動作を実現するために、高周波可変利得増幅器 103 と低周波可変利得増幅器 105 との利得変化は、「単調かつ連続的」であること（または不連続を十分に小さくすること）が必要である。

[0030] ここで、単調かつ連続的な利得変化の例を3つ示す。

[0031] 第1例として、高周波可変利得増幅器103の入力信号の信号レベルと、高周波可変利得増幅器103の利得とが、比例する場合、または、反比例する場合、単調かつ連続的な利得変化であると言える。

[0032] 同様に、低周波可変利得増幅器105の入力信号の信号レベルと、低周波可変利得増幅器105の利得とが、比例する場合、または、反比例する場合、単調かつ連続的な利得変化であると言える。

[0033] 第2例として、高周波可変利得増幅器103の入力信号の信号レベルの変化に対して、高周波可変利得増幅器103の利得が、一次関数的に変化する場合、または、二次関数的に変化する場合、単調かつ連続的な利得変化であると言える。

[0034] 同様に、低周波可変利得増幅器105の入力信号の信号レベルの変化に対して、低周波可変利得増幅器105の利得が、一次関数的に変化する場合、または、二次関数的に変化する場合、単調かつ連続的な利得変化であると言える。

[0035] 但し、二次関数的に変化する場合は、変数の符号が変化しないことが求められる。

[0036] 第3例として、高周波可変利得増幅器103の入力信号の信号レベルの変化に対して、高周波可変利得増幅器103の利得が、指数関数的に変化する場合、または、対数関数的に変化する場合、単調かつ連続的な利得変化であると言える。

[0037] 同様に、低周波可変利得増幅器105の入力信号の信号レベルの変化に対して、低周波可変利得増幅器105の利得が、指数関数的に変化する場合、または、対数関数的に変化する場合、単調かつ連続的な利得変化であると言える。

[0038] 但し、本発明における「単調かつ連続的」とは、利得変化についての上記第1例～第3例に限定されない。なお、単純に数式化できない変化であっても、制御電圧 V_c の変化に対して出力電圧信号 V が逆転せずにアナログ的に

連続的な変化していれば、「単調かつ連続的」に変化しているものとする。

[0039] 上述した単純に数式化できない変化は、図7の(c)，(f)の出力電圧信号V、及び、図1の(c)，(f)，(i)，(l)，(o)の出力電圧信号Vに示される。図7及び図1については後述する。

[0040] 高周波可変利得増幅器（図5の高周波可変利得増幅器103）において、利得が高い場合における低いNF、利得が低い場合における高い線形性、及び、単調かつ連続的な利得変化を実現するものが、特許文献1に開示されている。特許文献1の可変利得増幅器では、可変利得増幅器を複数備え、複数の可変利得増幅器の利得を、段階的に制御することが開示されている。

[0041] また、特許文献1の可変利得増幅器では、可変Gm回路（可変コンダクタンス回路）を複数備え、複数の可変Gm回路のコンダクタンスを、段階的に制御することも開示されている。

先行技術文献

特許文献

[0042] 特許文献1：日本国公開特許公報「特開2002-252532号公報（2002年09月06日公開）」

発明の概要

発明が解決しようとする課題

[0043] 上述したように、特許文献1の可変利得増幅器では、可変Gm回路を複数備え、複数の可変Gm回路を並列接続して、複数の可変Gm回路のコンダクタンスを、段階的に制御する。これにより、利得が高い場合における低いNF、利得が低い場合における高い線形性、及び、単調かつ連続的な利得変化を実現することが出来る。

[0044] しかし、複数の可変Gm回路を常に動作させることは、消費電力の増大を招く。

[0045] そこで、複数の可変Gm回路の内、利得の決定に支配的でない可変Gm回路の動作を停止させて、消費電力の増大を抑制することが考えられる。

[0046] なお、利得の決定に支配的でない可変G_m回路に関して、当該可変G_m回路を用いて利得変化を行ったとしても、可変利得増幅器全体としての利得は、大きくは変化しない。

[0047] しかし、利得が切り替わる点において、可変G_m回路のバイアス電流をオン、オフすると、利得変化が単調ではなくなる場合がある（または利得変化が連続的ではなくなる場合がある）。

[0048] 利得変化が単調ではなくなることを、及び、利得変化が連続的ではなくなることを防ぐためには、可変G_m回路のバイアス電流を徐々に（なだらかに）変化させる。これにより、可変利得増幅器から外部に出力される電流を、徐々に減らしていく（または徐々に増やしていく）ことが考えられる。

[0049] しかし、CMOSトランジスタ（Complementary Metal-Oxide-Semiconductor transistor：相補性金属酸化膜半導体トランジスタ）を用いた可変G_m回路において、バイアス電流を徐々に変化させると、以下の問題が生じる。即ち、バイアス電流が小さい領域において、可変利得増幅器全体の線形性が悪化する。

[0050] 可変利得増幅器全体における線形性の悪化について、図6を用いて以下に説明する。図6は、2つの可変G_m回路を並列接続して構成された従来の可変利得増幅器113の回路図である。図5の受信装置101の高周波可変利得増幅器103は、図6の第1可変G_m回路144を備えている。同様に、図5の受信装置101の低周波可変利得増幅器105は、図6の第2可変G_m回路145を備えている。

[0051] [可変利得増幅器113]

（可変利得増幅器113の構成）

図6の可変利得増幅器113には、信号入力端子114、電源端子115、指示信号入力端子116、及び、電圧信号出力端子117が設けられている。

[0052] また、図6の可変利得増幅器113では、信号入力端子114は、一方の信号入力端子114aと他方の信号入力端子114bとから構成されている

。さらに、電圧信号出力端子 117 は、一方の電圧信号出力端子 117 a と他方の電圧信号出力端子 117 b とから構成されている。

[0053] さらに、可変利得増幅器 113 は、制御回路 118、FET (field-effect transistor: 電界効果トランジスタ) 119~130、可変電流源 131、132、及び、直流電圧源 150 を備えている。

[0054] さらに、負荷 133 は、一端が、一方の電圧信号出力端子 117 a に接続されており、他端が、直流電圧源 150 の出力に接続されている。同様に、負荷 134 は、一端が、他方の電圧信号出力端子 117 b に接続されており、他端が、直流電圧源 150 の出力に接続されている。

[0055] なお、FET 119、120 は、第 1 Gm 回路 136 を構成する。FET 125、126 は、第 2 Gm 回路 138 を構成する。FET 121~124 は、第 1 振り分け回路 137 を構成する。FET 127~130 は、第 2 振り分け回路 139 を構成する。

[0056] また、可変電流源 131、第 1 Gm 回路 136、及び、第 1 振り分け回路 137 は、第 1 可変 Gm 回路 144 を構成する。同様に、可変電流源 132、第 2 Gm 回路 138、及び、第 2 振り分け回路 139 は、第 2 可変 Gm 回路 145 を構成する。

[0057] 図 6 の可変利得増幅器 113 において、一方の信号入力端子 114 a は、FET 119 のゲートと、FET 125 のゲートとに接続されている。他方の信号入力端子 114 b は、FET 120 のゲートと、FET 126 のゲートとに接続されている。

[0058] FET 119 のソースと、FET 120 のソースとは、可変電流源 131 の入力に接続されている。FET 125 のソースと、FET 126 のソースとは、可変電流源 132 の入力に接続されている。

[0059] FET 119 のドレインは、FET 121 のソースと、FET 122 のソースとに接続されている。FET 120 のドレインは、FET 123 のソースと、FET 124 のソースとに接続されている。FET 125 のドレインは、FET 127 のソースと、FET 128 のソースとに接続されている。

FET 126のドレインは、FET 129のソースと、FET 130のソースとに接続されている。

[0060] FET 121のドレインは、FET 127のドレインと、一方の電圧信号出力端子117aと、負荷133の一端とに接続されている。FET 124のドレインは、FET 130のドレインと、他方の電圧信号出力端子117bと、負荷134の一端とに接続されている。

[0061] FET 122のドレイン、FET 123のドレイン、FET 128のドレイン、FET 129のドレイン、負荷133の他端、及び、負荷134の他端は、電源端子115を介して直流電圧源150の出力に接続されている。

[0062] 制御回路118の第1出力は、可変電流源131の制御入力に接続されている。制御回路118の第2出力は、可変電流源132の制御入力に接続されている。

[0063] 制御回路118の第3出力は、FET 121のゲートと、FET 124のゲートとに接続されている。制御回路118の第4出力は、FET 122のゲートと、FET 123のゲートとに接続されている。

[0064] 制御回路118の第5出力は、FET 127のゲートと、FET 130のゲートとに接続されている。制御回路118の第6出力は、FET 128のゲートと、FET 129のゲートとに接続されている。

[0065] そして、可変電流源131の出力、可変電流源132の出力、及び、直流電圧源150の入力は、電氣的に接地されている。

[0066] (可変利得増幅器113の動作)

図6の可変利得増幅器113では、指示信号S-orderが、制御回路118の指示信号入力端子116に入力される。指示信号S-orderは、高周波可変利得増幅器103の利得と低周波可変利得増幅器105の利得とを制御するために必要である、信号及び電圧の生成を指示する信号である。

[0067] 制御回路118は、以下の各制御信号を生成することにより、各制御信号が入力される対象に対して制御を行う。

- [0068] 第1に、制御回路118は、上記指示信号が入力されることにより、制御電圧 V_c を生成する。そして、制御回路118は、自身が生成した制御電圧 V_c を、可変電流源131の制御入力と、可変電流源132の制御入力とに出力する。
- [0069] 制御電圧 V_c の大小に応じて、可変電流源131が出力する電流であって、第1可変 G_m 回路144のバイアス電流である電流 I_1 の大小が制御される。同様に、制御電圧 V_c の大小に応じて、可変電流源132が出力する電流であって、第2可変 G_m 回路145のバイアス電流である電流 I_2 の大小が制御される。
- [0070] 第2に、制御回路118は、上記指示信号が入力されることにより、制御回路118の第3出力から、FET制御信号 S_{c-1a} を出力するとともに、制御回路118の第4出力から、FET制御信号 S_{c-1b} を出力する。FET制御信号 S_{c-1a} 及びFET制御信号 S_{c-1b} は、FET制御信号 S_{c-1} を構成する。
- [0071] 第3に、制御回路118は、上記指示信号が入力されることにより、制御回路118の第5出力から、FET制御信号 S_{c-2a} を出力するとともに、制御回路118の第6出力から、FET制御信号 S_{c-2b} を出力する。FET制御信号 S_{c-2a} 及びFET制御信号 S_{c-2b} は、FET制御信号 S_{c-2} を構成する。
- [0072] さらに、第1振り分け回路137では、FET制御信号 S_{c-1a} に応じて、FET121, 124がオン・オフされる。同様に、第1振り分け回路137では、FET制御信号 S_{c-1b} に応じて、FET122, 123がオン・オフされる。
- [0073] これにより、出力電流信号 I_{out1} , I_{out2} を、負荷133, 134を介して第1可変 G_m 回路144に流すか、出力電流信号 I_{out1} , I_{out2} を、負荷133, 134を介さずに第1可変 G_m 回路44に流すかが振り分けられる。
- [0074] 出力電流信号 I_{out1} 及び出力電流信号 I_{out2} を第1可変 G_m

回路 144 に流さない場合は、以下の経路で電流が流れる。即ち、直流電圧源 150 の出力→FET 122→FET 119→可変電流源 131→GND の経路と、直流電圧源 150 の出力→FET 123→FET 120→可変電流源 131→GND の経路とに電流が流れる。

[0075] さらに、第 2 振り分け回路 139 では、FET 制御信号 S_{c-2a} に応じて、FET 127, 130 がオン・オフされる。同様に、第 2 振り分け回路 139 では、FET 制御信号 S_{c-2b} に応じて、FET 128, 129 がオン・オフされる。

[0076] これにより、出力電流信号 I_{out1} , I_{out2} を、負荷 133, 134 を介して第 2 可変 Gm 回路 45 に流すに流すか、出力電流信号 I_{out1} , I_{out2} を、負荷 133, 134 を介さずに第 2 可変 Gm 回路 45 に流すかが振り分けられる。

[0077] 出力電流信号 I_{out1} 及び出力電流信号 I_{out2} を第 1 可変 Gm 回路 145 に流さない場合は、以下の経路で電流が流れる。即ち、直流電圧源 150 の出力→FET 128→FET 125→可変電流源 132→GND の経路と、直流電圧源 150 の出力→FET 129→FET 126→可変電流源 132→GND の経路とに電流が流れる。

[0078] さらに、図 6 の可変利得増幅器 113 では、一方の信号入力端子 114a と他方の信号入力端子 114b との間に、電圧信号である入力信号 V_{in} が入力される。入力信号 V_{in} により、第 1 Gm 回路 136 と第 2 Gm 回路 138 とが有する FET のオン・オフが制御される。

[0079] これにより、第 1 Gm 回路 136 に流れる電流の値と、第 2 Gm 回路 138 に流れる電流の値とが決定されるので、第 1 可変 Gm 回路 144 に流れる電流の値と、第 2 可変 Gm 回路 145 に流れる電流の値とが決定される。

[0080] ここで、第 1 可変 Gm 回路 144 の最大 Gm は、第 2 可変 Gm 回路 145 の最大 Gm よりも低くする。

[0081] このようにして構成された可変利得増幅器 113 の動作を、図 7 のグラフに基づいて説明する。

[0082] 図7は、従来の可変利得増幅器113の動作の説明図であり、(a)～(f)は、従来の可変利得増幅器113の動作を示すグラフである。

[0083] 図7の(a)、(d)は、可変電流源131、132の制御入力に入力される制御電圧 V_c に対する、可変電流源131、132が出力する電流 I_1 、 I_2 の変化を示すグラフである。

[0084] 図7の(b)、(e)は、可変電流源131、132の制御入力に入力される制御電圧 V_c に対する、出力電流信号 I_{out1} 及び出力電流信号 I_{out2} の変化を示すグラフである。図7の(b)、(e)において、破線は、負荷133に流れる電流である出力電流信号 I_{out1} を示し、一点鎖線は、負荷134に流れる電流である出力電流信号 I_{out2} を示す。

[0085] 図7の(c)、(f)は、可変電流源131、132の制御入力に入力される制御電圧 V_c に対する、可変利得増幅器113の出力電圧信号 V の変化を示すグラフである。出力電圧信号 V は、即ち、図6の電圧信号出力端子117から出力される信号である。

[0086] 図7の(b)は、図7の(a)に示されるように可変電流源131、132をオン・オフしない場合の、制御電圧 V_c に対する出力電流信号 I_{out1} 及び出力電流信号 I_{out2} の変化を示す。図7の(c)は、図7の(a)に示されるように可変電流源131、132をオン・オフしない場合の、制御電圧 V_c に対する出力電圧信号 V の変化を示す。

[0087] 従来の可変利得増幅器113が、図7の(a)～(c)に示す動作を行う場合を考える。この場合、利得の制御の過程で不連続な点が生じることは無い。よって、出力電圧信号 V は、単調かつ連続的に制御される。

[0088] しかし、可変電流源131、132は常にオンしているので、消費電力の増加を招く。

[0089] また、電源電圧（直流電圧源50の出力電圧）が十分に高くなく、負荷133、134として、抵抗のような直流電圧降下を発生する素子を使用している場合を考える。この場合、利得が最大である時（即ち、出力電圧信号 V

が最大である時)に、出力電流信号 I_{out1} 及び出力電流信号 I_{out2} が共に最大となり、動作点が不適切な動作点となる。

[0090] なお、出力電流信号 I_{out1} 及び出力電流信号 I_{out2} が共に最大である時は、即ち、第1可変Gm回路144及び第2可変Gm回路145の出力電流が共に最大である。

[0091] 次に、図7の(d)示されるように、電流 I_1 、 I_2 を徐々に変化させた場合を考える。この場合、制御電圧 V_c に対する出力電流信号 I_{out1} 及び出力電流信号 I_{out2} の変化は、図7の(e)で示され、制御電圧 V_c に対する出力電圧信号 V の変化は、図7の(f)で示される。

[0092] 電流 I_1 、 I_2 を徐々に変化させるので、可変電流源131、132が常にオンしていることはなくなり、消費電力の増加を防ぐことが出来る。また、利得が最大である時に、出力電流信号 I_{out1} 及び出力電流信号 I_{out2} が共に最大ではないので、動作点として適切な動作点が得られる。さらに、可変電流源131、132をオン・オフしない場合と比較して、最小利得を下げる事が出来る(即ち、出力電圧信号 V の最小値を小さくすることが出来る)。

[0093] しかし、電流 I_1 、 I_2 を徐々に変化させる過程で、電流 I_1 、 I_2 が最小値付近となるので、第1Gm回路136、及び、第2Gm回路138を、小さなバイアス電流で動作させる状況が発生する。これに伴い、第1Gm回路136と第2Gm回路138との間における相互変調歪み IM_3 、 IM_2 などで示される、可変利得増幅器113の線形性が悪化する。

[0094] なお、第1電流振り分け回路137における入力から出力への経路と、第2電流振り分け回路139における入力から出力への経路とが十分に分離されている場合を考える。この場合は、上述した相互変調歪み IM_3 、 IM_2 などで示される非線形成分は、電圧信号出力端子117には現れない。

[0095] しかし、第1電流振り分け回路137と第2電流振り分け回路139とにおいてCMOSトランジスタを用いた場合を考える。この場合に、第1電流振り分け回路137における入力から出力への経路と、第2電流振り分け回

路 1 3 9 における入力から出力への経路との間を、完全に分離することは困難である。

[0096] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器を提供することにある。

課題を解決するための手段

[0097] 本発明の可変利得増幅器は、上記課題を解決するために、第 1 及び第 2 可変利得増幅器と、上記第 1 可変利得増幅器の利得を制御する信号である第 1 利得制御信号を、上記第 1 可変利得増幅器に出力するとともに、上記第 2 可変利得増幅器の利得を制御する信号である第 2 利得制御信号を、上記第 2 可変利得増幅器に出力する制御回路とを備え、上記第 1 可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第 1 可変コンダクタンス回路を備え、上記第 2 可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第 2 可変コンダクタンス回路を備え、上記第 1 可変コンダクタンス回路のコンダクタンスの最大値は、上記第 2 可変コンダクタンス回路のコンダクタンスの最大値よりも高く、上記制御回路は、上記第 1 可変コンダクタンス回路の出力電流が、上記第 2 可変コンダクタンス回路の出力電流よりも十分に小さい時に、上記第 1 可変コンダクタンス回路が備える第 1 可変電流源の出力電流を急峻に立ち下げることとを特徴とする。

[0098] 上記発明によれば、上記第 1 可変コンダクタンス回路がオフする前の、上記第 2 可変コンダクタンス回路の出力電流は、上記第 1 可変コンダクタンス回路がオフするときの、上記第 1 可変コンダクタンス回路の出力電流に比べて小さい（好ましくは十分に小さい）。

[0099] この状態、即ち、上記第 2 可変コンダクタンス回路の出力電流が、上記第 1 可変コンダクタンス回路の出力電流に比べて小さい状態で、上記第 1 可変電流源をオフして、上記第 1 可変電流源の出力電流を急峻に立ち下げるとともに、上記第 1 可変コンダクタンス回路をオフする。

[0100] これにより、上記第 1 可変コンダクタンス回路が、小さいバイアス電流で

動作することはない。よって、線形性が悪化しない状態で、上記可変利得増幅器を動作させることが出来る。

[0101] また、上記第1可変電流源の出力電流を急峻に立ち下げる時における利得の不連続は、十分に小さい。よって、利得変化の不連続も、十分小さくすることができる。

[0102] さらに、上記第1可変電流源の出力電流が、適切なタイミングで急峻に立ち下げられる。よって、上記第1可変電流源を常に動作させることによる消費電力の増大も防ぐことが出来る。

[0103] 従って、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器を提供することが出来る。

発明の効果

[0104] 本発明の可変利得増幅器は、以上のように、第1及び第2可変利得増幅器と、上記第1可変利得増幅器の利得を制御する信号である第1利得制御信号を、上記第1可変利得増幅器に出力するとともに、上記第2可変利得増幅器の利得を制御する信号である第2利得制御信号を、上記第2可変利得増幅器に出力する制御回路とを備え、上記第1可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第1可変コンダクタンス回路を備え、上記第2可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第2可変コンダクタンス回路を備え、上記第1可変コンダクタンス回路のコンダクタンスの最大値は、上記第2可変コンダクタンス回路のコンダクタンスの最大値よりも高く、上記制御回路は、上記第1可変コンダクタンス回路の出力電流が、上記第2可変コンダクタンス回路の出力電流よりも十分に小さい時に、上記第1可変コンダクタンス回路が備える第1可変電流源の出力電流を急峻に立ち下げるものである。

[0105] それゆえ、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器を提供するという効果を奏する。

図面の簡単な説明

[0106] [図1]本発明の実施形態に係る可変利得増幅器の動作の説明図であり、(a)

～（f）は、従来の可変利得増幅器の動作を示すグラフであり、（g）～（o）は、本発明の実施形態に係る可変利得増幅器の動作を示すグラフである。

[図2]本発明の実施形態に係る受信装置のブロック図である。

[図3]本発明の実施形態に係る可変利得増幅器のブロック図である。

[図4]本発明の実施形態に係る可変利得増幅器の回路図である。

[図5]従来の受信装置のブロック図である。

[図6]従来の可変利得増幅器の回路図である。

[図7]従来の可変利得増幅器の動作の説明図であり、（a）～（f）は、従来の可変利得増幅器の動作を示すグラフである。

発明を実施するための形態

[0107] 本発明の一実施形態について図1～図4に基づいて説明すれば、以下の通りである。まずは、本実施形態に係る受信装置1について、図2を用いて説明する。図2は、本実施形態に係る受信装置1のブロック図である。受信装置1は、ダイレクトコンバージョン型の受信装置であって、半導体を用いて集積回路化されている。

[0108] [受信装置1]

（受信装置1の構成）

図2の受信装置1は、受信信号の入力端子2と、出力端子9とが設けられている。また、受信装置1は、高周波可変利得増幅器3、周波数変換器（ミキサ）4、低周波可変利得増幅器5、ローパスフィルタ6、出力増幅器7、ローカル信号生成器（局所信号生成器）8を備えている。さらに、受信装置1は、出力信号レベル検出回路10、第1利得制御回路11、及び、第2利得制御回路12を備えている。

[0109] 図2の受信装置1において、受信装置1に接続されたアンテナ60の出力が、入力端子2を介して、高周波可変利得増幅器3の入力に接続されている。高周波可変利得増幅器3の出力は、周波数変換器4の第1入力に接続されている。ローカル信号生成器8の出力は、周波数変換器4の第2入力に接続

されている。

[0110] 周波数変換器 4 の出力は、低周波可変利得増幅器 5 の入力に接続されている。低周波可変利得増幅器 5 の出力は、ローパスフィルタ 6 の入力に接続されている。ローパスフィルタ 6 の出力は、出力増幅器 7 の入力へ接続されている。

[0111] 出力増幅器 7 の出力は、出力端子 9 と、出力信号レベル検出回路 10 の入力とに接続されている。出力信号レベル検出回路 10 の出力は、第 1 利得制御回路 11 の入力と、第 2 利得制御回路 12 の入力とに接続されている。

[0112] 第 1 利得制御回路 11 の第 1 出力は、高周波可変利得増幅器 3 の第 1 制御入力に接続されている。第 1 利得制御回路 11 の第 2 出力は、高周波可変利得増幅器 3 の第 2 制御入力に接続されている。第 2 利得制御回路 12 の第 1 出力は、低周波可変利得増幅器 5 の第 1 制御入力に接続されている。そして、第 2 利得制御回路 12 の第 2 出力は、低周波可変利得増幅器 5 の第 2 制御入力に接続されている。

[0113] 高周波可変利得増幅器 3 は、周波数変換器 4 によって周波数変換がなされる前の、周波数が比較的高い信号に対応する高周波可変利得増幅器である。

[0114] 低周波可変利得増幅器 5 は、周波数変換器 4 によって周波数変換がなされた後の、周波数が比較的低い信号に対応する低周波可変利得増幅器である。

[0115] 第 1 利得制御回路 11 は、高周波可変利得増幅器 3 が備える第 1 振り分け回路の F E T のオン・オフを制御する信号である F E T 制御信号 S_{c-1} を、高周波可変利得増幅器 3 の第 1 制御入力へ出力する。また、第 1 利得制御回路 11 は、高周波可変利得増幅器 3 が備える可変電流源の出力電流の大きさを制御する電圧である制御電圧 V_c を高周波可変利得増幅器 3 の第 2 制御入力へ出力する。F E T 制御信号 S_{c-1} 及び制御電圧 V_c は、第 1 利得制御信号を構成する。

[0116] 第 2 利得制御回路 12 は、低周波可変利得増幅器 5 が備える第 1 振り分け回路の F E T のオン・オフを制御する信号である F E T 制御信号 S_{c-2} を、低周波可変利得増幅器 5 の第 1 制御入力へ出力する。また、第 2 利得制御

回路 12 は、低周波可変利得増幅器 5 が備える可変電流源の出力電流の大きさを制御する電圧である制御電圧 V_c を、低周波可変利得増幅器 5 の第 2 制御入力へ出力する。FET 制御信号 S_{c-2} 及び制御電圧 V_c は、第 2 利得制御信号を構成する。

[0117] (受信装置 1 の動作)

図 2 の受信装置 1 では、アンテナ 60 が受信する信号であって、入力端子 2 を介して高周波可変利得増幅器 3 に入力される受信信号は、高周波可変利得増幅器 3 によって、増幅されるか、減衰される。

[0118] 高周波可変利得増幅器 3 の出力信号は、周波数変換器 4 の第 1 入力に入力される。周波数変換器 4 は、ローカル信号生成器 8 から出力されて周波数変換器 4 の第 2 入力に入力されるローカル信号（局所信号）により、第 1 入力に入力された信号に対して周波数変換を行う。周波数変換がなされた後の、周波数が比較的低い信号は、周波数変換器 4 の出力信号として、低周波可変利得増幅器 5 に入力される。

[0119] 低周波可変利得増幅器 5 は、第 2 利得制御回路 12 から出力される第 2 利得制御信号によって、利得が増減される。これにより、低周波可変利得増幅器 5 に入力される信号は、低周波可変利得増幅器 5 によって、増幅されるか、減衰される。従って、低周波可変利得増幅器 5 から出力される信号の信号レベルが、所定の第 1 レベルとなる。

[0120] 低周波可変利得増幅器 5 の出力信号は、ローパスフィルタ 6 に出力される。ローパスフィルタ 6 は、低周波可変利得増幅器 5 の出力信号における高周波成分を減衰して、高周波成分を減衰した後の信号を、出力増幅器 7 に出力する。

[0121] 出力増幅器 7 は、ローパスフィルタ 6 の出力信号を増幅して、出力増幅器 7 の出力信号を生成する。出力増幅器 7 の出力信号は、出力端子 9 を介して受信装置 1 の外部へ出力されるとともに、出力信号レベル検出回路 10 に出力される。

[0122] 出力信号レベル検出回路 10 は、出力増幅器 7 の出力信号が入力されるこ

とにより、出力増幅器 7 の出力信号の信号レベルである所定の第 2 レベルを検出する。当該第 2 レベルは、出力増幅器 7 による増幅のために、低周波可変利得増幅器 5 の出力信号の信号レベルである上記第 1 レベルよりも高い。

[0123] 出力信号レベル検出回路 10 は、第 2 レベルの検出後に、第 2 レベルに応じた信号であって、高周波可変利得増幅器 3 の利得を制御するために必要である、信号及び電圧の生成を指示する信号である指示信号 *S-order* を、第 1 利得制御回路 11 に出力する。また、出力信号レベル検出回路 10 は、第 2 レベルの検出後に、第 2 レベルに応じた信号であって、低周波可変利得増幅器 5 の利得を制御するために必要である、信号及び電圧の生成を指示する信号である指示信号 *S-order* を、第 2 利得制御回路 12 に出力する。

[0124] 第 1 利得制御回路 11 には、出力信号レベル検出回路 10 から指示信号 *S-order* が入力される。これにより、第 1 利得制御回路 11 は、FET 制御信号 *Sc-1* を生成して高周波可変利得増幅器 3 の第 1 制御入力へ出力するとともに、制御電圧 *Vc* を生成して高周波可変利得増幅器 3 の第 2 制御入力へ出力する。これにより、高周波可変利得増幅器 3 の利得が制御される（増減される）。

[0125] 同様に、第 2 利得制御回路 12 には、出力信号レベル検出回路 10 から指示信号 *S-order* が入力される。これにより、第 2 利得制御回路 12 は、FET 制御信号 *Sc-2* を生成して低周波可変利得増幅器 5 の第 1 制御入力へ出力するとともに、制御電圧 *Vc* を生成して低周波可変利得増幅器 5 の第 2 制御入力へ出力する。これにより、低周波可変利得増幅器 5 の利得が制御される（増減される）。

[0126] 以上のように、図 2 の受信装置 1 では、出力信号レベル検出回路 10、第 1 利得制御回路 11、及び、第 2 利得制御回路 12 によって、高周波可変利得増幅器 3 の利得と低周波可変利得増幅器 5 の利得とがフィードバック制御される。これにより、出力端子 9 を介して受信装置 1 の外部に出力される出力信号の信号レベルの最大レベルを、第 2 レベルにすることが出来る。

[0127] 本実施形態における受信装置 1 は、下記いずれかの可変利得増幅器 1 3 を備えているので、線形性の悪化と、消費電力の増大とを防ぐことが出来る。

[0128] 〔可変利得増幅器 1 3〕

ここで、本実施形態における可変利得増幅器 1 3 について、図 1, 3, 4 を用いて以下に説明する。図 2 の受信装置 1 の高周波可変利得増幅器 3 (第 1 可変利得増幅器) は、図 3, 4 の第 1 可変 G m 回路 (第 1 可変コンダクタンス回路) 4 4 を備えている。同様に、図 2 の受信装置 1 の低周波可変利得増幅器 5 (第 2 可変利得増幅器) は、図 3, 4 の第 2 可変 G m 回路 (第 2 可変コンダクタンス回路) 4 5 を備えている。

[0129] 第 1 可変 G m 回路 4 4 及び第 2 可変 G m 回路 4 5 は、回路全体としての可変 G m (可変コンダクタンス) を有する回路である。本実施形態における G m は、トランスコンダクタンスを示す。

[0130] (可変利得増幅器 1 3 のブロック図)

図 3 は、本実施形態に係る可変利得増幅器 1 3 のブロック図である。図 3 の可変利得増幅器 1 3 には、信号入力端子 1 4、電源端子 1 5、指示信号入力端子 1 6、及び、電圧信号出力端子 1 7 が設けられている。

[0131] また、図 3 の可変利得増幅器 1 3 では、電圧信号出力端子 1 7 は、一方の電圧信号出力端子 1 7 a と他方の電圧信号出力端子 1 7 b とから構成されている。

[0132] さらに、可変利得増幅器 1 3 は、制御回路 1 8、可変電流源 3 1 (第 1 可変電流源)、可変電流源 3 2 (第 2 可変電流源) を備えている。さらに、可変利得増幅器 1 3 は、第 1 G m 回路 (第 1 コンダクタンス回路) 3 6、第 1 振り分け回路 3 7、第 2 G m 回路 (第 2 コンダクタンス回路) 3 8、第 2 振り分け回路 3 9、負荷回路 4 0、及び、直流電圧源 5 0 を備えている。

[0133] さらに、可変電流源 3 1、第 1 G m 回路 3 6、及び、第 1 振り分け回路 3 7 は、第 1 可変 G m 回路 4 4 を構成する。同様に、可変電流源 3 2、第 2 G m 回路 3 8、及び、第 2 振り分け回路 3 9 は、第 2 可変 G m 回路 4 5 を構成する。

- [0134] なお、図 3 の 2 つの矢印は、それぞれ、第 1 可変 G m 回路 4 4 の出力電流と第 2 可変 G m 回路 4 5 の出力電流とを示す。
- [0135] 図 3 の可変利得増幅器 1 3 において、信号入力端子 1 4 は、第 1 G m 回路 3 6 の制御入力と、第 2 G m 回路 3 8 の制御入力とに接続されている。
- [0136] 第 1 G m 回路 3 6 の出力は、可変電流源 3 1 の入力に接続されている。第 2 G m 回路 3 8 の出力は、可変電流源 3 2 の入力に接続されている。
- [0137] 第 1 振り分け回路 3 7 の出力は、第 1 G m 回路 3 6 の入力に接続されている。第 2 振り分け回路 3 9 の出力は、第 2 G m 回路 3 8 の入力に接続されている。
- [0138] 第 1 振り分け回路 3 7 の入力、負荷回路 4 0 の第 1 出力と、一方の電圧信号出力端子 1 7 a とに接続されている。第 2 振り分け回路 3 9 の入力、負荷回路 4 0 の第 2 出力と、他方の電圧信号出力端子 1 7 b とに接続されている。
- [0139] 負荷回路 4 0 の第 1 入力と、負荷回路 4 0 の第 1 入力とは、電源端子 1 5 を介して直流電圧源 5 0 の出力に接続されている。
- [0140] 制御回路 1 8 の第 1 出力は、可変電流源 3 1 の制御入力に接続されている。制御回路 1 8 の第 2 出力は、可変電流源 3 2 の制御入力に接続されている。
- [0141] 制御回路 1 8 の第 3 出力は、第 1 振り分け回路 3 7 の第 1 制御入力に接続されている。制御回路 1 8 の第 4 出力は、第 1 振り分け回路 3 7 の第 2 制御入力に接続されている。
- [0142] 制御回路 1 8 の第 5 出力は、第 2 振り分け回路 3 9 の第 1 制御入力に接続されている。制御回路 1 8 の第 6 出力は、第 2 振り分け回路 3 9 の第 2 制御入力に接続されている。
- [0143] そして、可変電流源 3 1 の出力、可変電流源 3 2 の出力、及び、直流電圧源 5 0 の入力、電気的に接地されている。
- [0144] (可変利得増幅器 1 3 の回路図)

図 4 は、本実施形態に係る可変利得増幅器 1 3 の回路図である。図 2 の受

信装置 1 の高周波可変利得増幅器 3 は、図 4 の第 1 可変 G m 回路 4 4 を備えている。同様に、図 2 の受信装置 1 の低周波可変利得増幅器 5 は、図 4 の第 2 可変 G m 回路 4 5 を備えている。

[0145] 図 4 の可変利得増幅器 1 3 には、信号入力端子 1 4、電源端子 1 5、指示信号入力端子 1 6、及び、電圧信号出力端子 1 7 が設けられている。

[0146] また、図 4 の可変利得増幅器 1 3 では、信号入力端子 1 4 は、一方の信号入力端子 1 4 a と他方の信号入力端子 1 4 b とから構成されている。さらに、電圧信号出力端子 1 7 は、一方の電圧信号出力端子 1 7 a と他方の電圧信号出力端子 1 7 b とから構成されている。

[0147] さらに、可変利得増幅器 1 3 は、制御回路 1 8、F E T (field-effect transistor : 電界効果トランジスタ、第 1 F E T ~ 第 1 2 F E T) 1 9 ~ 3 0、可変電流源 3 1、3 2、及び、直流電圧源 5 0 を備えている。

[0148] さらに、負荷 3 3 (第 1 負荷) は、一端が、一方の電圧信号出力端子 1 7 a に接続されており、他端が、直流電圧源 5 0 の出力に接続されている。同様に、負荷 3 4 (第 2 負荷) は、一端が、他方の電圧信号出力端子 1 7 b に接続されており、他端が、直流電圧源 5 0 の出力に接続されている。

[0149] 負荷 3 3、3 4 は差動対の負荷である。負荷 3 3、3 4 が抵抗である場合、負荷 3 3 の抵抗値と負荷 3 4 の抵抗値とは等しい。また、負荷 3 3、3 4 は、抵抗に限定されない。信号の高周波成分を考慮する場合は、負荷 3 3、3 4 として、(1) インダクタ、(2) インダクタと抵抗とを直列に接続したもの、または、(3) インダクタと抵抗とを並列に接続したものをを用いる。上記 (1) ~ (3) を負荷 3 3、3 4 として用いることにより、周波数特性を調整することが出来る。

[0150] なお、F E T 1 9、2 0 は、第 1 G m 回路 3 6 を構成する。F E T 2 5、2 6 は、第 2 G m 回路 3 8 を構成する。F E T 2 1 ~ 2 4 は、第 1 振り分け回路 3 7 を構成する。F E T 2 7 ~ 3 0 は、第 2 振り分け回路 3 9 を構成する。

[0151] また、可変電流源 3 1、第 1 G m 回路 3 6、及び、第 1 振り分け回路 3 7

は、第1可変G_m回路44を構成する。同様に、可変電流源32、第2G_m回路38、及び、第2振り分け回路39は、第2可変G_m回路45を構成する。

[0152] さらに、第1可変G_m回路44及び第2可変G_m回路45は、それぞれ、負荷33、34を共用している。但し、負荷33、34の共用は必須ではない。即ち、第1可変G_m回路44に対して1つの負荷が設けられ、第2可変G_m回路45に対して他の1つの負荷が設けられてもよい。これにより、図3に示されるように、第1可変G_m回路44の出力と、第2可変G_m回路45の出力とが、個別に負荷回路40に接続されてもよい。第1可変G_m回路44の出力と個別に負荷回路40との接続点、及び第2可変G_m回路45の出力と個別に負荷回路40との接続点が、それぞれ出力ノードとなる。

[0153] 図4の可変利得増幅器13において、一方の信号入力端子14aは、FET19のゲートと、FET25のゲートとに接続されている。他方の信号入力端子14bは、FET20のゲートと、FET26のゲートとに接続されている。

[0154] FET19のソースと、FET20のソースとは、可変電流源31の入力に接続されている。FET25のソースと、FET26のソースとは、可変電流源32の入力に接続されている。

[0155] FET19のドレインは、FET21のソースと、FET22のソースとに接続されている。FET20のドレインは、FET23のソースと、FET24のソースとに接続されている。FET25のドレインは、FET27のソースと、FET28のソースとに接続されている。FET26のドレインは、FET29のソースと、FET30のソースとに接続されている。

[0156] FET21のドレインは、FET27のドレインと、一方の電圧信号出力端子17aと、負荷33の一端とに接続されている。FET24のドレインは、FET30のドレインと、他方の電圧信号出力端子17bと、負荷34の一端とに接続されている。

[0157] FET22のドレイン、FET23のドレイン、FET28のドレイン、

F E T 2 9 のドレイン、負荷 3 3 の他端、及び、負荷 3 4 の他端は、電源端子 1 5 を介して直流電圧源 5 0 の出力に接続されている。

[0158] 制御回路 1 8 の第 1 出力は、可変電流源 3 1 の制御入力に接続されている。制御回路 1 8 の第 2 出力は、可変電流源 3 2 の制御入力に接続されている。

[0159] 制御回路 1 8 の第 3 出力は、F E T 2 1 のゲートと、F E T 2 4 のゲートとに接続されている。制御回路 1 8 の第 4 出力は、F E T 2 2 のゲートと、F E T 2 3 のゲートとに接続されている。

[0160] 制御回路 1 8 の第 5 出力は、F E T 2 7 のゲートと、F E T 3 0 のゲートとに接続されている。制御回路 1 8 の第 6 出力は、F E T 2 8 のゲートと、F E T 2 9 のゲートとに接続されている。

[0161] そして、可変電流源 3 1 の出力、可変電流源 3 2 の出力、及び、直流電圧源 5 0 の入力、電気的に接地されている。

[0162] (図 3 のブロック図と図 4 の回路図との対応関係)

本実施形態に係る可変利得増幅器 1 3 は、図 3 ではブロック図で示し、図 4 では回路図で示している。ここで、図 4 の回路図において、差動信号を扱う構成要素の一部、具体的には、第 1 G m 回路 3 6、第 2 G m 回路 3 8、第 1 振り分け回路 3 7、及び、第 2 振り分け回路 3 9 は、図 3 のブロック図ではシングルエンドの構成要素として記載している。シングルエンドの構成要素とは、差動信号を単一の信号として扱った構成要素を示す。また、図 3 の負荷回路 4 0 は、図 4 の負荷 3 3、3 4 を備える回路である。

[0163] (可変利得増幅器 1 3 の動作)

図 4 の可変利得増幅器 1 3 では、指示信号 S - o r d e r が、制御回路 1 8 の指示信号入力端子 1 6 に入力される。指示信号 S - o r d e r は、高周波可変利得増幅器 3 の利得と低周波可変利得増幅器 5 の利得とを制御するために必要である、信号及び電圧の生成を指示する信号である。

[0164] 制御回路 1 8 は、以下の各制御信号を生成することにより、各制御信号が入力される対象に対して制御を行う。

- [0165] 第1に、制御回路18は、上記指示信号が入力されることにより、制御電圧 V_c を生成する。そして、制御回路18は、自身が生成した制御電圧 V_c を、可変電流源31の制御入力と、可変電流源32の制御入力とに出力する。
- [0166] 制御電圧 V_c の大小に応じて、可変電流源31が出力する電流であって、第1可変 G_m 回路44のバイアス電流である電流 I_1 の大小が制御される。同様に、制御電圧 V_c の大小に応じて、可変電流源32が出力する電流であって、第2可変 G_m 回路45のバイアス電流である電流 I_2 の大小が制御される。
- [0167] 第2に、制御回路18は、指示信号が入力されることにより、制御回路18の第3出力から、FET制御信号 S_{c-1a} （第2FET制御信号）を出力するとともに、制御回路18の第4出力から、FET制御信号 S_{c-1b} （第3FET制御信号）を出力する。FET制御信号 S_{c-1a} 及びFET制御信号 S_{c-1b} は、FET制御信号 S_{c-1} （第1FET制御信号）を構成する。
- [0168] 第3に、制御回路18は、指示信号が入力されることにより、制御回路18の第5出力から、FET制御信号 S_{c-2a} （第5FET制御信号）を出力するとともに、制御回路18の第6出力から、FET制御信号 S_{c-2b} （第6FET制御信号）を出力する。FET制御信号 S_{c-2a} 及びFET制御信号 S_{c-2b} は、FET制御信号 S_{c-2} （第4FET制御信号）を構成する。
- [0169] さらに、第1振り分け回路37では、FET制御信号 S_{c-1a} に応じて、FET21, 24がオン・オフされる。同様に、第1振り分け回路37では、FET制御信号 S_{c-1b} に応じて、FET22, 23がオン・オフされる。
- [0170] これにより、出力電流信号 I_{out1} , I_{out2} を、負荷33, 34を介して第1可変 G_m 回路44に流すか、出力電流信号 I_{out1} , I_{out2} を、負荷33, 34を介さずに第1可変 G_m 回路44に流すかが

振り分けられる。

[0171] なお、出力電流信号 I_{out1} 、 I_{out2} は、差動電流である。また、出力電流信号 I_{out1} 、 I_{out2} の信号成分は、振幅が等しいが、位相は 180 度異なっている。さらに出力電流信号 I_{out1} 、 I_{out2} の直流成分は、同じ値となる。

[0172] 出力電流信号 I_{out1} 及び出力電流信号 I_{out2} を、負荷 33、34 を介して第 1 可変 Gm 回路 44 に流さない場合は、以下の経路で電流が流れる。即ち、直流電圧源 50 の出力 $\rightarrow$ FET 22 $\rightarrow$ FET 19 $\rightarrow$ 可変電流源 31 $\rightarrow$ GND の経路と、直流電圧源 50 の出力 $\rightarrow$ FET 23 $\rightarrow$ FET 20 $\rightarrow$ 可変電流源 31 $\rightarrow$ GND の経路とに電流が流れる。

[0173] さらに、第 2 振り分け回路 39 では、FET 制御信号 $Sc-2a$ に応じて、FET 27、30 がオン・オフされる。同様に、第 2 振り分け回路 39 では、FET 制御信号 $Sc-2b$ に応じて、FET 28、29 がオン・オフされる。

[0174] これにより、出力電流信号 I_{out1} 、 I_{out2} を、負荷 33、34 を介して第 2 可変 Gm 回路 45 に流すに流すか、出力電流信号 I_{out1} 、 I_{out2} を、負荷 33、34 を介さずに第 2 可変 Gm 回路 45 に流すかが振り分けられる。

[0175] 出力電流信号 I_{out1} 及び出力電流信号 I_{out2} を第 2 可変 Gm 回路 45 に流さない場合は、以下の経路で電流が流れる。即ち、直流電圧源 50 の出力 $\rightarrow$ FET 28 $\rightarrow$ FET 25 $\rightarrow$ 可変電流源 32 $\rightarrow$ GND の経路と、直流電圧源 50 の出力 $\rightarrow$ FET 29 $\rightarrow$ FET 26 $\rightarrow$ 可変電流源 32 $\rightarrow$ GND の経路とに電流が流れる。

[0176] さらに、図 6 の可変利得増幅器 113 では、一方の信号入力端子 14a と他方の信号入力端子 14b との間に、電圧信号である入力信号 V_{in} が入力される。入力信号 V_{in} により、第 1 Gm 回路 36 と第 2 Gm 回路 38 とが有する FET のオン・オフが制御される。

[0177] これにより、第 1 Gm 回路 36 に流れる電流の値と、第 2 Gm 回路 38 に

流れる電流の値とが決定されるので、第1可変G_m回路44に流れる電流の値と、第2可変G_m回路45に流れる電流の値とが決定される。

[0178] ここで、第1可変G_m回路44の最大G_m（コンダクタンスの最大値）は、第2可変G_m回路45の最大G_m（コンダクタンスの最大値）よりも高くする。

[0179] このように動作する可変利得増幅器13において、可変電流源31が出力する電流I₁を、第1可変G_m回路44の出力電流（FET21, 24のドレイン電流）が、第2可変G_m回路45の出力電流（FET27, 30のドレイン電流）よりも小さい時（好ましくは十分小さい時）に急峻に立ち下げる。即ち、可変電流源31が出力する電流I₁を、第1振り分け回路37の出力電流が、即ち、第2振り分け回路39の出力電流よりも小さい時（好ましくは十分小さい時）に急峻に立ち下げる。

[0180] これとともに、可変電流源31が出力する電流I₂を、第2可変G_m回路45の出力電流が、第1可変G_m回路44の出力電流よりも小さい時（好ましくは十分小さい時）に急峻に立ち上げる。

[0181] これにより、第1可変G_m回路44及び第2可変G_m回路45が、小さいバイアス電流で動作することはない。従って、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器13を提供することが出来る。

[0182] 本実施形態に係る可変利得増幅器13の動作の詳細について、図1のグラフに基づいて説明する。

[0183] 図1は、本実施形態に係る可変利得増幅器13の動作の説明図であり、（a）～（f）は、従来の可変利得増幅器113の動作を示すグラフであり、（g）～（o）は、本実施形態に係る可変利得増幅器13の動作を示すグラフである。

[0184] 図1の（a）～（f）は、それぞれ、図7の（a）～（f）と同一である。

[0185] 図1の（g），（j），（m）は、可変電流源31, 32の制御入力に入力される制御電圧V_cに対する、可変電流源31, 32が出力する電流I₁

， I_2 の変化を示すグラフである。

[0186] 図 1 の (h) , (k) , (n) は、可変電流源 31 , 32 の制御入力に入力される制御電圧 V_c に対する、出力電流信号 I_{out1} 及び出力電流信号 I_{out2} の変化を示すグラフである。図 1 の (h) , (k) , (n) において、破線は、負荷 33 に流れる電流である出力電流信号 I_{out1} を示し、一点鎖線は、負荷 34 に流れる電流である出力電流信号 I_{out2} を示す。二点鎖線については後述する。

[0187] 図 1 の (i) , (l) , (o) は、可変電流源 31 , 32 の制御入力に入力される制御電圧 V_c に対する、可変利得増幅器 13 の出力電圧信号 V の変化を示すグラフである。出力電圧信号 V は、即ち、図 3 , 4 の電圧信号出力端子 17 から出力される信号である。

[0188] 本実施形態に係る可変利得増幅器 13 では、可変電流源 31 が出力する電流 I_1 の制御を、従来の可変利得増幅器 113 の可変電流源 131 が出力する電流 I_1 の制御と異ならせている。

[0189] 同様に、本実施形態に係る可変利得増幅器 13 では、可変電流源 32 が出力する電流 I_2 の制御を、従来の可変利得増幅器 113 の可変電流源 132 が出力する電流 I_2 の制御と異ならせている。

[0190] これにより、従来の可変利得増幅器 113 における課題を解決することができる。本実施形態に係る可変利得増幅器 13 における制御について、図 1 の (g) ~ (o) を用いて、以下に説明する。

[0191] 図 1 の (g) に示されるように、可変電流源 31 が出力する電流 I_1 は、徐々に変化しない。即ち、可変電流源 31 が出力する電流 I_1 は、所定の制御電圧 V_c においてオフさせる（急峻に立ち下げる）。同様に、可変電流源 32 が出力する電流 I_2 は、徐々に変化しない。即ち、可変電流源 32 が出力する電流 I_2 は、所定の制御電圧 V_c においてオンさせる（急峻に立ち上げる）。

[0192] 図 1 の (h) は、図 1 の (g) に示されるように電流 I_1 , I_2 を制御した時の、制御電圧 V_c に対する出力電流信号 I_{out1} 及び出力電流信号

l - o u t 2 の変化を示すグラフである。また、図 1 の (i) は、図 1 の (g) に示されるように電流 I_1 、 I_2 を制御した時の、制御電圧 V_c に対する出力電圧信号 V の変化を示すグラフである。

[0193] この動作を制御電圧が低い側から高い側へ変化する時を考えて説明する。図 1 の (h) に示されるように、第 2 可変 G_m 回路 4 5 がオンする前に負荷 3 4 に流れる出力電流信号 l - o u t 2 は、第 2 可変 G_m 回路 4 5 がオンするときの制御電圧 V_{c1} において負荷 3 3 に流れる出力電流信号 l - o u t 1 に比べて十分に小さい。

[0194] この状態、即ち、出力電流信号 l - o u t 2 が、出力電流信号 l - o u t 1 に比べて十分に小さい状態で、可変電流源 3 2 をオンして電流 I_2 を急峻に立ち上げるとともに、第 2 可変 G_m 回路 4 5 をオンする。

[0195] 第 2 可変 G_m 回路 4 5 がオンするときの制御電圧 V_{c1} は、可変利得増幅器 1 3 全体としての G_m が、第 1 可変 G_m 回路 4 4 によって決定される制御電圧である。

[0196] 一方、第 1 可変 G_m 回路 4 4 がオフする前の出力電流信号 l - o u t 1 は、第 1 可変 G_m 回路 4 4 がオフするときの制御電圧 V_{c2} における第 2 可変 G_m 回路 4 5 の出力電流信号 l - o u t 2 に比べて十分に小さい。

[0197] この状態、即ち、出力電流信号 l - o u t 1 が、出力電流信号 l - o u t 2 に比べて十分に小さい状態で、可変電流源 3 1 をオフして電流 I_1 を急峻に立ち下げるとともに、第 1 可変 G_m 回路 4 4 をオフする。

[0198] 第 1 可変 G_m 回路 4 4 がオフするときの制御電圧 V_{c2} は、可変利得増幅器 1 3 全体としての G_m が、第 2 可変 G_m 回路 4 5 によって決定される制御電圧である。

[0199] このように、可変利得増幅器 1 3 全体としての G_m が、第 2 可変 G_m 回路 4 5 によって決定される制御電圧 V_{c2} である時に、可変電流源 3 1 をオフして電流 I_1 を急峻に立ち下げるとともに、第 1 可変 G_m 回路 4 4 をオフする。これにより、第 1 可変 G_m 回路 4 4 及び第 2 可変 G_m 回路 4 5 が、小さいバイアス電流で動作することはない。よって、線形性が悪化することはない。

く、制御電圧 V_c の全範囲において良好な線形性を維持した状態で、可変利得増幅器 13 を動作させることが出来る。

[0200] また、電流 I_1 のオフ時との電流 I_2 のオン時における利得の不連続は、十分に小さい。よって、利得変化の不連続も、十分小さくすることができる。

[0201] さらに、可変電流源 31 の電流 I_1 が、適切なタイミングでオフされるとともに、可変電流源 32 の電流 I_2 が、適切なタイミングでオンされる。よって、可変電流源 31, 32 を常に動作させることによる消費電力の増大も防ぐことが出来る。

[0202] 従って、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器 13 を提供することが出来る。

[0203] ここで、図 1 の (g) ~ (i) に示される制御では、電流 I_1 , I_2 は、徐々に変化しない。このため、電流 I_1 のオフ時、及び、電流 I_2 のオン時に、規模は小さいものの利得の不連続が発生する。

[0204] このような規模が小さい利得の不連続が許容されない場合は、図 1 の (j) に示すように電流 I_1 , I_2 を制御する。

[0205] 具体的には、可変電流源 31 が出力する電流 I_1 を、オフする前に徐々に変化させる。即ち、電流 I_1 をオフする前に、線形性が悪化しない程度の値まで徐々に減少させる。

[0206] 可変電流源 31 と同様に、可変電流源 32 が出力する電流 I_2 を、オンした後に徐々に変化させる。即ち、所定の制御電圧 V_c の時にオンすることにより、線形性が良好である電流まで増加し、オンした後で徐々に電流を増加させていく。

[0207] さらに、可変電流源 31 の電流 I_1 を、徐々に減少させた後に、適切なタイミングでオフされる。同様に、可変電流源 32 の電流 I_2 が、徐々に増加した後に、適切なタイミングでオンされる。よって、可変電流源 31, 32 を常に動作させることによる消費電力の増大も防ぐことが出来る。

[0208] このように、図 1 の (j) に示される電流 I_1 , I_2 の制御では、オン・

オフと徐々に変化させることを組み合わせている。これにより、利得の連続性を確保した上で良好な線形性が得られ、消費電力の増大が無い可変利得増幅器を実現することが出来る。

[0209] 図1の(g)～(i)に示される制御では、電流 I_1 は、制御電圧 V_{c2} においてオフし、徐々に変化しない。同様に、電流 I_2 は、制御電圧 V_{c1} においてオンし、徐々に変化しない。

[0210] 制御電圧 V_{c2} において電流 I_1 をオフする場合の利得と、異なる利得が必要である場合は、例えば図1の(m)に示されるように、電流 I_1 は、制御電圧 V_{c2} よりも低い制御電圧 V_{c4} においてオフする。即ち、可変電流源31が出力する電流 I_1 を急峻に立ち下げる時の制御電圧 V_c を、出力電流信号 I_{out1} が、出力電流信号 I_{out2} よりも小さい範囲内において異ならせる。

[0211] これにより、制御電圧 V_{c2} において電流 I_1 をオフする場合の利得と、異なる利得を得ることが出来る。また、制御電圧 V_{c2} よりも低い制御電圧 V_{c4} において電流 I_1 をオフする、即ち、電流 I_1 をオフするタイミングが、より早くなる。よって、図1の(n)の右側斜線部に対応した分だけ、消費電力をより小さくすることが出来る。

[0212] なお、制御電圧 V_{c4} は制御電圧 V_{c2} よりも低い、制御電圧 V_{c2} よりも高い制御電圧で電流 I_1 をオフしてもよい。これにより、制御電圧 V_{c2} 、 V_{c4} において電流 I_1 をオフする場合の利得と、異なる利得を得ることが出来る。

[0213] 電流 I_2 についても、電流 I_1 と同様の制御が可能である。制御電圧 V_{c1} において電流 I_2 をオフする場合の利得と、異なる利得が必要である場合は、例えば図1の(m)に示されるように、電流 I_2 は、制御電圧 V_{c1} よりも高い制御電圧 V_{c3} においてオンする。即ち、可変電流源32が出力する電流 I_2 を急峻に立ち上げる時の制御電圧 V_c を、出力電流信号 I_{out2} が、出力電流信号 I_{out1} よりも小さい範囲内において異ならせる。

[0214] これにより、制御電圧 V_{c1} において電流 I_2 をオンする場合の利得と、異なる利得を得ることが出来る。また、制御電圧 V_{c1} よりも高い制御電圧 V_{c3} において電流 I_2 をオンする、即ち、電流 I_2 をオンするタイミングが、より遅くなる。よって、図1の(n)の左側斜線部に対応した分だけ、消費電力をより小さくすることが出来る。

[0215] なお、制御電圧 V_{c3} は制御電圧 V_{c1} よりも高いが、制御電圧 V_{c1} よりも低い制御電圧で電流 I_2 をオンしてもよい。これにより、制御電圧 V_{c1} 、 V_{c3} において電流 I_2 をオンする場合の利得と、異なる利得を得ることが出来る。

[0216] [適用例]

図2の本実施形態に係る受信装置1は、本実施形態に係る可変利得増幅器13を備えることができる。図2の高周波可変利得増幅器3として、図3, 4の可変Gm回路44を備えて構成される第1可変利得増幅器を適用し、図2の低周波可変利得増幅器5として、図3, 4の可変Gm回路45を備えて構成される第2可変利得増幅器を適用すればよい。これにより、線形性の悪化と、消費電力の増大とを防ぐことが出来る。

[0217] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0218] 上記可変利得増幅器では、上記制御回路は、上記第2可変コンダクタンス回路の出力電流が、上記第1可変コンダクタンス回路の出力電流よりも小さい時に、上記第2可変コンダクタンス回路が備える第2可変電流源の出力電流を急峻に立ち上げてよい。

[0219] 上記第1可変コンダクタンス回路の出力電流が、上記第2可変コンダクタンス回路の出力電流に比べて小さい状態で、上記第2可変電流源をオンして、上記第2可変電流源の出力電流を急峻に立ち上げるとともに、上記第2可変コンダクタンス回路をオンする。

- [0220] これにより、上記第2可変コンダクタンス回路が、小さいバイアス電流で動作することはない。よって、線形性が悪化しない状態で、上記可変利得増幅器を動作させることが出来る。
- [0221] また、上記第2可変電流源の出力電流を急峻に立ち上げる時における利得の不連続は、十分に小さい。よって、利得変化の不連続も、十分小さくすることができる。
- [0222] さらに、上記第2可変電流源の出力電流が、適切なタイミングで急峻に立ち上げられる。よって、上記第2可変電流源を常に動作させることによる消費電力の増大も防ぐことが出来る。
- [0223] 従って、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器を提供することが出来る。
- [0224] 上記いずれかの可変利得増幅器では、信号入力端子、電源端子、及び、電圧信号出力端子が設けられており、上記第1可変コンダクタンス回路は、上記制御回路から出力される制御電圧に応じて、出力する電圧の値を変える第1可変電流源と、上記第1可変電流源の出力電流に応じてバイアス電流が定まる第1コンダクタンス回路と、上記第1可変コンダクタンス回路の出力電流を、第1負荷及び第2負荷を介して流すか、上記第1可変コンダクタンス回路の出力電流を、上記第1負荷及び上記第2負荷を介さずに流すか振り分ける第1振り分け回路とをさらに備え、上記第2可変コンダクタンス回路は、上記制御回路から出力される制御電圧に応じて、出力する電流の値を変える第2可変電流源と、上記第2可変電流源の出力電流に応じてバイアス電流が定まる第2コンダクタンス回路と、上記第2可変コンダクタンス回路の出力電流を、上記第1負荷及び上記第2負荷を介して流すか、上記第2可変コンダクタンス回路の出力電流を、上記第1負荷及び上記第2負荷を介さずに流すか振り分ける第2振り分け回路とをさらに備え、上記信号入力端子は、一方の信号入力端子と他方の信号入力端子とから構成されており、上記電圧信号出力端子は、一方の電圧信号出力端子と他方の電圧信号出力端子とから構成されており、上記第1コンダクタンス回路は、第1FET及び第2FET

Tを有し、第2コンダクタンス回路は、第7 F E T及び第8 F E Tを有し、上記第1振り分け回路は、第3 F E T～第6 F E Tを有し、上記第2振り分け回路は、第9 F E T～第12 F E Tを有し、上記一方の信号入力端子は、上記第1 F E Tのゲートと、上記第2 F E Tのゲートとに接続され、上記他方の信号入力端子は、上記第7 F E Tのゲートと、上記第8 F E Tのゲートとに接続され、上記第1 F E Tのソースと、上記第2 F E Tのソースとは、上記第1可変電流源の入力に接続されており、上記第7 F E Tのソースと、上記第8 F E Tのソースとは、上記第2可変電流源の入力に接続されており、上記第1 F E Tのドレインは、上記第3 F E Tのソースと、上記第4 F E Tのソースとに接続されており、上記第2 F E Tのドレインは、上記第5 F E Tのソースと、上記第6 F E Tのソースとに接続されており、上記第7 F E T 25のドレインは、上記第9 F E Tのソースと、上記第10 F E Tのソースとに接続されており、上記第8 F E Tのドレインは、上記第11 F E Tのソースと、上記第12 F E Tのソースとに接続されており、上記第3 F E Tのドレインは、上記第9 F E Tのドレインと、上記一方の電圧信号出力端子と、第1負荷の一端とに接続されており、上記第6 F E Tのドレインは、上記第12 F E Tのドレインと、上記他方の電圧信号出力端子と、第2負荷の一端とに接続されており、上記第4 F E Tのドレイン、上記第5 F E Tのドレイン、上記第10 F E Tのドレイン、上記第11 F E Tのドレイン、上記第1負荷の他端、及び、上記第2負荷の他端は、上記電源端子を介して直流電圧源の出力に接続されており、上記制御回路の第1出力は、上記第1可変電流源の制御入力に接続されており、上記制御回路の第2出力は、上記第2可変電流源の制御入力に接続されており、上記制御回路の第3出力は、上記第3 F E Tのゲートと、上記第6 F E Tのゲートとに接続されており、上記制御回路の第4出力は、上記第4 F E Tのゲートと、上記第5 F E Tのゲートとに接続されており、上記制御回路の第5出力は、上記第9 F E Tのゲートと、上記第12 F E Tのゲートとに接続されており、上記制御回路の第6出力は、上記第10 F E Tのゲートと、上記第11 F E Tのゲートとに接

続されており、上記第 1 可変電流源の出力、上記第 2 可変電流源の出力、及び、上記直流電圧源の入力は、電氣的に接地されていてもよい。

[0225] 上記可変利得増幅器では、上記第 1 可変利得増幅器の利得と上記第 2 可変利得増幅器の利得の利得とを制御するために必要である、信号及び電圧の生成を指示する信号である指示信号が、上記制御回路の上記指示信号入力端子に入力される。

[0226] 上記制御回路は、以下の各制御信号を生成することにより、各制御信号が入力される対象に対して制御を行う。

[0227] 第 1 に、上記制御回路は、上記指示信号が入力されることにより、上記制御電圧を生成する。そして、上記制御回路は、自身が生成した上記制御電圧を、上記第 1 可変電流源の制御入力と、上記第 2 可変電流源の制御入力とに出力する。

[0228] 上記制御電圧の大小に応じて、上記第 1 可変電流源の出力電流の大小が制御される。同様に、上記制御電圧の大小に応じて、上記第 2 可変電流源の出力電流の大小が制御される。

[0229] 第 2 に、上記制御回路は、上記指示信号が入力されることにより、上記制御回路の第 3 出力から、第 2 F E T 制御信号を出力するとともに、上記制御回路の第 4 出力から、第 2 F E T 制御信号を出力する。上記第 2 F E T 制御信号及び上記第 3 F E T 制御信号は、第 1 F E T 制御信号を構成する。

[0230] 第 3 に、上記制御回路は、上記指示信号が入力されることにより、上記制御回路の第 5 出力から、第 5 F E T 制御信号を出力するとともに、上記制御回路の第 6 出力から、第 6 F E T 制御信号を出力する。上記第 5 F E T 制御信号及び上記第 6 F E T 制御信号は、第 4 F E T 制御信号を構成する。

[0231] さらに、上記第 1 振り分け回路では、上記第 2 F E T 制御信号に応じて、上記第 3 F E T 及び上記第 6 F E T がオン・オフされる。同様に、上記第 1 振り分け回路では、上記第 3 F E T 制御信号に応じて、上記第 4 F E T 及び上記第 5 F E T がオン・オフされる。

[0232] これにより、上記第 1 可変コンダクタンス回路の出力電流を、上記第 1 及

び第2負荷を介して上記第1可変コンダクタンス回路に流すか、上記第1可変コンダクタンス回路の出力電流を、上記第1及び第2負荷を介さずに上記第1可変コンダクタンス回路に流すかが振り分けられる。

[0233] 上記第1可変コンダクタンス回路の出力電流を上記第1可変コンダクタンス回路に流さない場合は、以下の経路で電流が流れる。即ち、上記直流電圧源の出力→上記第4 F E T→上記第1 F E T→上記第1可変電流源→G N Dの経路と、上記直流電圧源の出力→上記第5 F E T→上記第2 F E T→上記第1可変電流源→G N Dの経路とに電流が流れる。

[0234] さらに、上記第2振り分け回路では、上記第5 F E T制御信号に応じて、上記第9 F E T及び上記第12 F E Tがオン・オフされる。同様に、上記第2振り分け回路では、上記第6 F E T制御信号に応じて、上記第10 F E T及び上記第11 F E Tがオン・オフされる。

[0235] これにより、上記第2可変コンダクタンス回路の出力電流を、上記第1及び第2負荷を介して上記第2可変コンダクタンス回路に流すか、上記第2可変コンダクタンス回路の出力電流を、上記第1及び第2負荷を介さずに上記第2可変コンダクタンス回路に流すかが振り分けられる。

[0236] 上記第2可変コンダクタンス回路の出力電流を上記第2可変コンダクタンス回路に流さない場合は、以下の経路で電流が流れる。即ち、上記直流電圧源の出力→上記第10 F E T→上記第7 F E T→上記第2可変電流源→G N Dの経路と、上記直流電圧源の出力→上記第11 F E T→上記第8 F E T→上記第2可変電流源→G N Dの経路とに電流が流れる。

[0237] さらに、上記可変利得増幅器では、上記一方の信号入力端子と上記他方の信号入力端子との間に、電圧信号である入力信号が入力される。上記入力信号により、上記第1コンダクタンス回路と上記第2コンダクタンス回路とが有するF E Tのオン・オフが制御される。

[0238] これにより、上記第1コンダクタンス回路に流れる電流の値と、上記第2コンダクタンス回路に流れる電流の値とが決定されるので、上記第1可変コンダクタンス回路に流れる電流の値と、上記第2可変コンダクタンス回路に

流れる電流の値とが決定される。

[0239] このように動作する上記可変利得増幅器において、上記第 1 可変電流源の出力電流を、上記第 1 可変コンダクタンス回路の出力電流が、上記第 2 可変コンダクタンス回路の出力電流よりも小さい時（好ましくは十分小さい時）に急峻に立ち下げる。即ち、上記第 1 可変電流源の出力電流を、上記第 1 振り分け回路の出力電流が、上記第 2 振り分け回路の出力電流よりも小さい時（好ましくは十分小さい時）に急峻に立ち下げる。

これとともに、上記第 2 可変電流源の出力電流を、上記第 2 可変コンダクタンス回路の出力電流が、上記第 1 可変コンダクタンス回路の出力電流よりも小さい時（好ましくは十分小さい時）に急峻に立ち上げる。

[0240] これにより、上記第 1 及び第 2 可変コンダクタンス回路が、小さいバイアス電流で動作することはない。従って、線形性の悪化と、消費電力の増大とを防ぐことが出来る可変利得増幅器を提供することが出来る。

[0241] 上記可変利得増幅器では、上記第 1 可変電流源の出力電流を急峻に立ち下げる時の上記制御電圧を、上記第 1 負荷を流れる電流が、上記第 2 負荷を流れる電流よりも小さい範囲内において異ならせてもよい。

[0242] これにより、上記制御電圧において上記第 1 可変電流源の出力電流を急峻に立ち下げる時の利得と、異なる利得が必要である場合は、上記第 1 可変電流源の出力電流を、上記制御電圧よりも高い制御電圧において急峻に立ち下げる。

[0243] これにより、上記制御電圧において上記第 1 可変電流源の出力電流を急峻に立ち下げる時の利得と、異なる利得を得ることが出来る。また、上記制御電圧よりも高い制御電圧において上記第 1 可変電流源の出力電流を急峻に立ち下げる、即ち上記第 1 可変電流源の出力電流を急峻に立ち下げるタイミングが、より早くなる。よって、消費電力をより小さくすることが出来る。

[0244] 上記可変利得増幅器では、上記第 2 可変電流源の出力電流を急峻に立ち上げる時の上記制御電圧を、上記第 2 負荷を流れる電流が、上記第 1 負荷を流れる電流よりも小さい範囲内において異ならせてもよい。

- [0245] これにより、上記制御電圧において上記第2可変電流源の出力電流を急峻に立ち上げる時の利得と、異なる利得が必要である場合は、上記第2可変電流源の出力電流を、上記制御電圧よりも低い制御電圧において急峻に立ち下げる。
- [0246] これにより、上記制御電圧において上記第2可変電流源の出力電流を急峻に立ち上げる時の利得と、異なる利得を得ることが出来る。また、上記制御電圧よりも低い制御電圧において上記第2可変電流源の出力電流を急峻に立ち上げる、即ち上記第2可変電流源の出力電流を急峻に立ち上げるタイミングが、より早くなる。よって、消費電力をより小さくすることが出来る。
- [0247] 上記可変利得増幅器では、上記第1可変電流源の出力電流を急峻に立ち下げる前に、上記第1可変電流源の出力電流を徐々に減少させてもよい。
- [0248] また、上記可変利得増幅器では、上記第2可変電流源の出力電流を急峻に立ち上げた後に、上記第2可変電流源の出力電流を徐々に増加させてもよい。
- [0249] 急峻に立ち下げるだけの時に生じる小さい利得の不連続が許容されない場合は、急峻に立ち下げることと徐々に減少させることとを組み合わせる。同様に、急峻に立ち上げるだけの時に生じる小さい利得の不連続が許容されない場合は、急峻に立ち上げることと徐々に増加させることとを組み合わせる。
- [0250] これにより、利得の連続性を確保した上で良好な線形性が得られ、消費電力の増大が無い可変利得増幅器を実現することが出来る。
- [0251] 上記可変利得増幅器では、上記制御回路は、上記第1可変利得増幅器の利得と上記第2可変利得増幅器の利得の利得とを制御するために必要である、信号及び電圧の生成を指示する信号である指示信号が、上記制御回路の指示信号入力端子に入力されると、第1利得制御信号を、上記第1可変利得増幅器に出力するとともに、上記第2可変利得増幅器の利得を制御する信号である第2利得制御信号を、上記第2可変利得増幅器に出力してもよい。
- [0252] これにより、上記制御回路は、上記第1及び第2可変利得増幅器の利得を

制御することが出来る。

[0253] 本発明の受信装置は、上記いずれかの可変利得増幅器を備えているので、線形性の悪化と、消費電力の増大とを防ぐことが出来る。

産業上の利用可能性

[0254] 本発明の可変利得増幅器は、受信装置に適用することが出来る。特に、デジタル衛星放送を受信する受信装置に好適に用いることが出来る。

符号の説明

- [0255]
- 1 受信装置
 - 2 入力端子
 - 3 高周波可変利得増幅器（第1可変利得増幅器）
 - 4 周波数変換器
 - 5 低周波可変利得増幅器（第2可変利得増幅器）
 - 6 ローパスフィルタ
 - 7 出力増幅器
 - 8 ローカル信号生成器
 - 9 出力端子
 - 10 出力信号レベル検出回路
 - 11 第1利得制御回路
 - 12 第2利得制御回路
 - 13 可変利得増幅器
 - 14 信号入力端子
 - 14 a 信号入力端子
 - 14 b 信号入力端子
 - 15 電源端子
 - 16 指示信号入力端子
 - 17 電圧信号出力端子
 - 17 a 電圧信号出力端子
 - 17 b 電圧信号出力端子

1 8 制御回路

1 9 ~ 3 0 F E T (第 1 F E T ~ 第 1 2 F E T)

3 1 可変電流源 (第 1 可変電流源)

3 2 可変電流源 (第 2 可変電流源)

3 3 負荷 (第 1 負荷)

3 4 負荷 (第 2 負荷)

3 6 第 1 G m 回路 (第 1 コンダクタンス回路)

3 7 第 1 振り分け回路

3 8 第 2 G m 回路 (第 2 コンダクタンス回路)

3 9 第 2 振り分け回路

4 0 負荷回路

4 4 第 1 可変 G m 回路 (第 1 可変コンダクタンス回路)

4 5 第 2 可変 G m 回路 (第 2 可変コンダクタンス回路)

5 0 直流電圧源

6 0 アンテナ

I - o u t 1 出力電流信号

I - o u t 2 出力電流信号

I 1 電流

I 2 電流

S - o r d e r 指示信号

S c - 1 F E T 制御信号 (第 1 F E T 制御信号)

S c - 1 a F E T 制御信号 (第 2 F E T 制御信号)

S c - 1 b F E T 制御信号 (第 3 F E T 制御信号)

S c - 2 F E T 制御信号 (第 4 F E T 制御信号)

S c - 2 a F E T 制御信号 (第 5 F E T 制御信号)

S c - 2 b F E T 制御信号 (第 6 F E T 制御信号)

V 出力電圧信号

V c 制御電圧

$V_{c1} \sim V_{c4}$ 制御電圧

V_{in} 入力信号

請求の範囲

[請求項1]

第1及び第2可変利得増幅器と、

上記第1可変利得増幅器の利得を制御する信号である第1利得制御信号を、上記第1可変利得増幅器に出力するとともに、上記第2可変利得増幅器の利得を制御する信号である第2利得制御信号を、上記第2可変利得増幅器に出力する制御回路とを備え、

上記第1可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第1可変コンダクタンス回路を備え、

上記第2可変利得増幅器は、回路全体としての可変コンダクタンスを有する回路である第2可変コンダクタンス回路を備え、

上記第1可変コンダクタンス回路のコンダクタンスの最大値は、上記第2可変コンダクタンス回路のコンダクタンスの最大値よりも高く、

上記制御回路は、上記第1可変コンダクタンス回路の出力電流が、上記第2可変コンダクタンス回路の出力電流よりも十分に小さい時に、上記第1可変コンダクタンス回路が備える第1可変電流源の出力電流を急峻に立ち下げることの特徴とする可変利得増幅器。

[請求項2]

上記制御回路は、上記第2可変コンダクタンス回路の出力電流が、上記第1可変コンダクタンス回路の出力電流よりも小さい時に、上記第2可変コンダクタンス回路が備える第2可変電流源の出力電流を急峻に立ち上げることの特徴とする請求項1に記載の可変利得増幅器。

[請求項3]

信号入力端子、電源端子、及び、電圧信号出力端子が設けられており、

上記第1可変コンダクタンス回路は、上記制御回路から出力される制御電圧に応じて、出力する電圧の値を変える第1可変電流源と、上記第1可変電流源の出力電流に応じてバイアス電流が定まる第1コンダクタンス回路と、上記第1可変コンダクタンス回路の出力電流を、第1負荷及び第2負荷を介して流すか、上記第1可変コンダクタンス

回路の出力電流を、上記第 1 負荷及び上記第 2 負荷を介さずに流すか振り分ける第 1 振り分け回路とをさらに備え、

上記第 2 可変コンダクタンス回路は、上記制御回路から出力される制御電圧に応じて、出力する電流の値を変える第 2 可変電流源と、上記第 2 可変電流源の出力電流に応じてバイアス電流が定まる第 2 コンダクタンス回路と、上記第 2 可変コンダクタンス回路の出力電流を、上記第 1 負荷及び上記第 2 負荷を介して流すか、上記第 2 可変コンダクタンス回路の出力電流を、上記第 1 負荷及び上記第 2 負荷を介さずに流すか振り分ける第 2 振り分け回路とをさらに備え、

上記信号入力端子は、一方の信号入力端子と他方の信号入力端子とから構成されており、上記電圧信号出力端子は、一方の電圧信号出力端子と他方の電圧信号出力端子とから構成されており、

上記第 1 コンダクタンス回路は、第 1 F E T 及び第 2 F E T を有し、第 2 コンダクタンス回路は、第 7 F E T 及び第 8 F E T を有し、

上記第 1 振り分け回路は、第 3 F E T ～第 6 F E T を有し、上記第 2 振り分け回路は、第 9 F E T ～第 1 2 F E T を有し、

上記一方の信号入力端子は、上記第 1 F E T のゲートと、上記第 2 F E T のゲートとに接続され、上記他方の信号入力端子は、上記第 7 F E T のゲートと、上記第 8 F E T のゲートとに接続され、

上記第 1 F E T のソースと、上記第 2 F E T のソースとは、上記第 1 可変電流源の入力に接続されており、上記第 7 F E T のソースと、上記第 8 F E T のソースとは、上記第 2 可変電流源の入力に接続されており、

上記第 1 F E T のドレインは、上記第 3 F E T のソースと、上記第 4 F E T のソースとに接続されており、上記第 2 F E T のドレインは、上記第 5 F E T のソースと、上記第 6 F E T のソースとに接続されており、上記第 7 F E T のドレインは、上記第 9 F E T のソースと、上記第 1 0 F E T のソースとに接続されており、上記第 8 F E T のド

レインは、上記第 11 F E T のソースと、上記第 12 F E T のソースとに接続されており、

上記第 3 F E T のドレインは、上記第 9 F E T のドレインと、上記一方の電圧信号出力端子と、第 1 負荷の一端とに接続されており、上記第 6 F E T のドレインは、上記第 12 F E T のドレインと、上記他方の電圧信号出力端子と、第 2 負荷の一端とに接続されており、

上記第 4 F E T のドレイン、上記第 5 F E T のドレイン、上記第 10 F E T のドレイン、上記第 11 F E T のドレイン、上記第 1 負荷の他端、及び、上記第 2 負荷の他端は、上記電源端子を介して直流電圧源の出力に接続されており、

上記制御回路の第 1 出力は、上記第 1 可変電流源の制御入力に接続されており、上記制御回路の第 2 出力は、上記第 2 可変電流源の制御入力に接続されており、

上記制御回路の第 3 出力は、上記第 3 F E T のゲートと、上記第 6 F E T のゲートとに接続されており、上記制御回路の第 4 出力は、上記第 4 F E T のゲートと、上記第 5 F E T のゲートとに接続されており、

上記制御回路の第 5 出力は、上記第 9 F E T のゲートと、上記第 12 F E T のゲートとに接続されており、上記制御回路の第 6 出力は、上記第 10 F E T のゲートと、上記第 11 F E T のゲートとに接続されており、

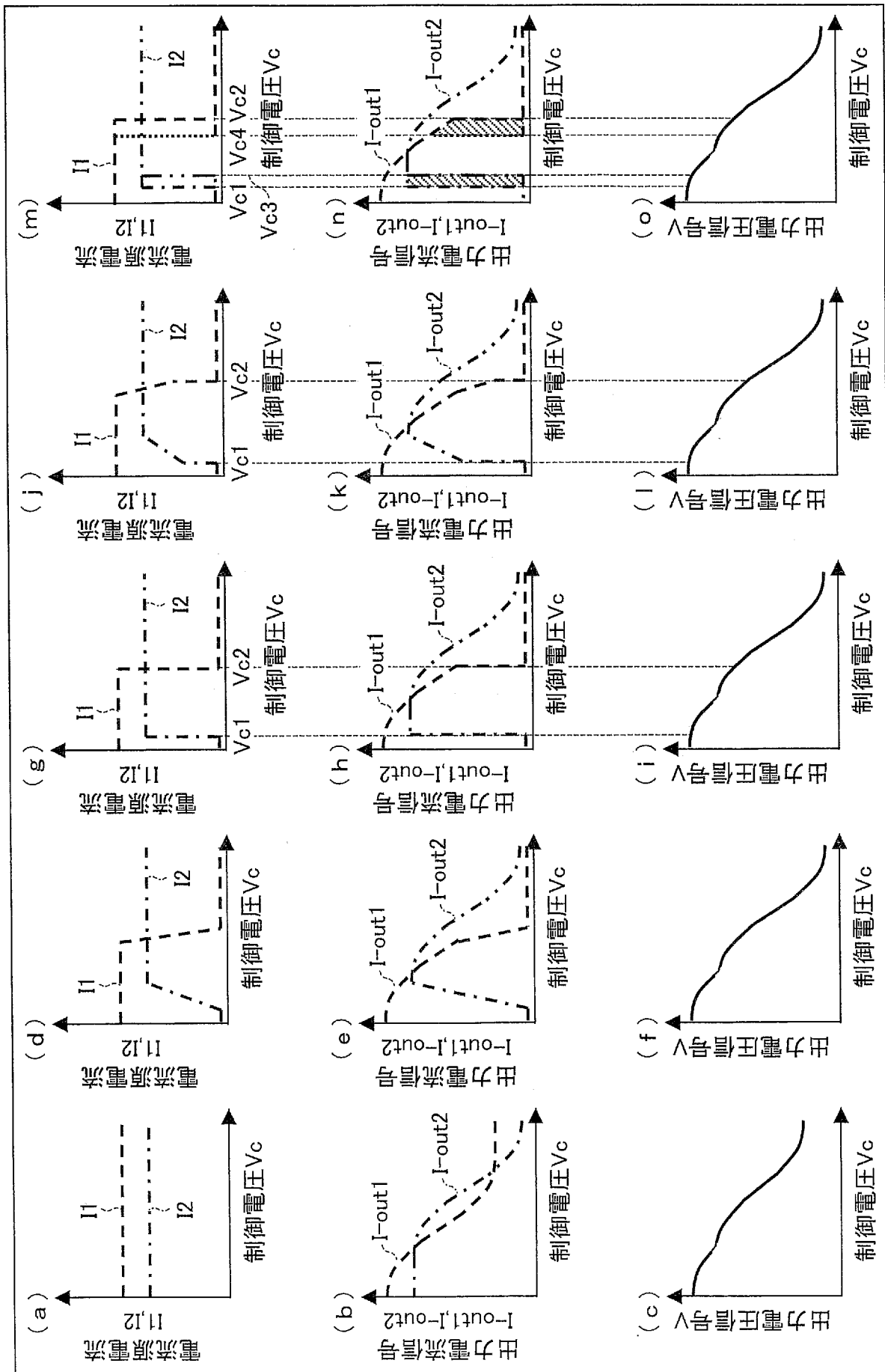
上記第 1 可変電流源の出力、上記第 2 可変電流源の出力、及び、上記直流電圧源の入力は、電氣的に接地されていることを特徴とする請求項 1 または 2 に記載の可変利得増幅器。

[請求項 4]

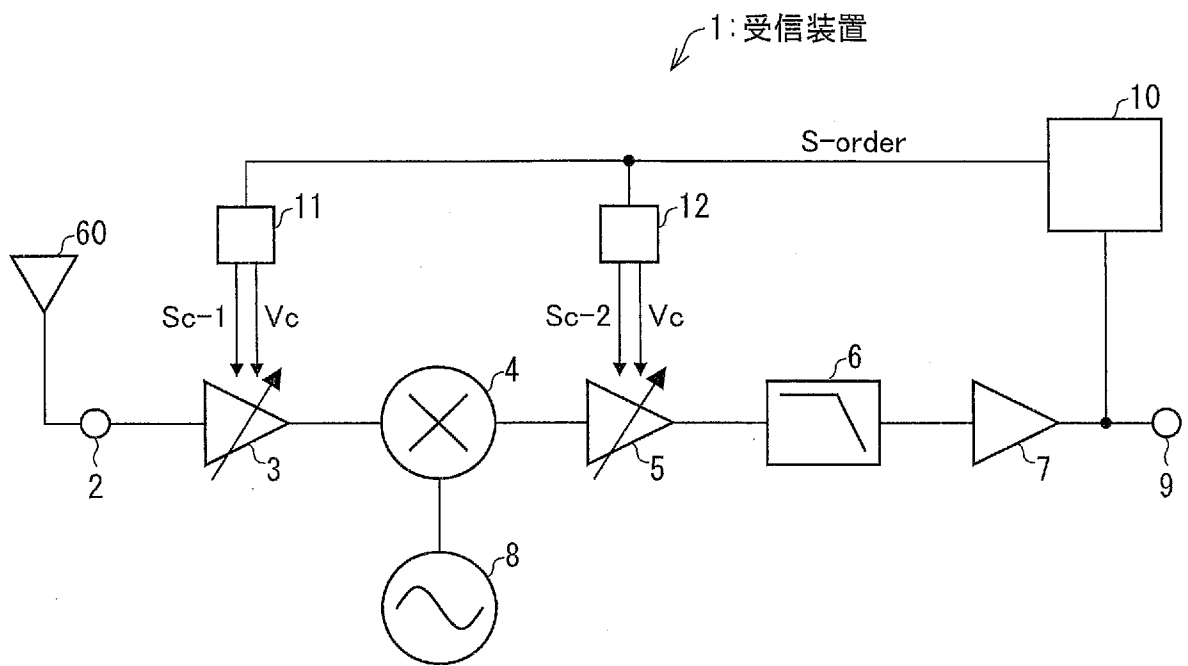
上記第 1 可変電流源の出力電流を急峻に立ち下げる時の上記制御電圧を、上記第 1 負荷を流れる電流が、上記第 2 負荷を流れる電流よりも小さい範囲内において異ならせることを特徴とする請求項 3 に記載の可変利得増幅器。

- [請求項5] 上記第2可変電流源の出力電流を急峻に立ち上げる時の上記制御電圧を、上記第2負荷を流れる電流が、上記第1負荷を流れる電流よりも小さい範囲内において異ならせることを特徴とする請求項3に記載の可変利得増幅器。
- [請求項6] 上記第1可変電流源の出力電流を急峻に立ち下げる前に、上記第1可変電流源の出力電流を徐々に減少させることを特徴とする請求項1～5のいずれか1項に記載の可変利得増幅器。
- [請求項7] 上記第2可変電流源の出力電流を急峻に立ち上げた後に、上記第2可変電流源の出力電流を徐々に増加させることを特徴とする請求項2～5のいずれか1項に記載の可変利得増幅器。
- [請求項8] 上記制御回路は、上記第1可変利得増幅器の利得と上記第2可変利得増幅器の利得の利得とを制御するために必要である、信号及び電圧の生成を指示する信号である指示信号が、上記制御回路の指示信号入力端子に入力されると、
- 第1利得制御信号を、上記第1可変利得増幅器に出力するとともに、
- 上記第2可変利得増幅器の利得を制御する信号である第2利得制御信号を、上記第2可変利得増幅器に出力することを特徴とする請求項1～7のいずれか1項に記載の可変利得増幅器。
- [請求項9] 請求項1～8のいずれか1項に記載の可変利得増幅器を備えることを特徴とする受信装置。

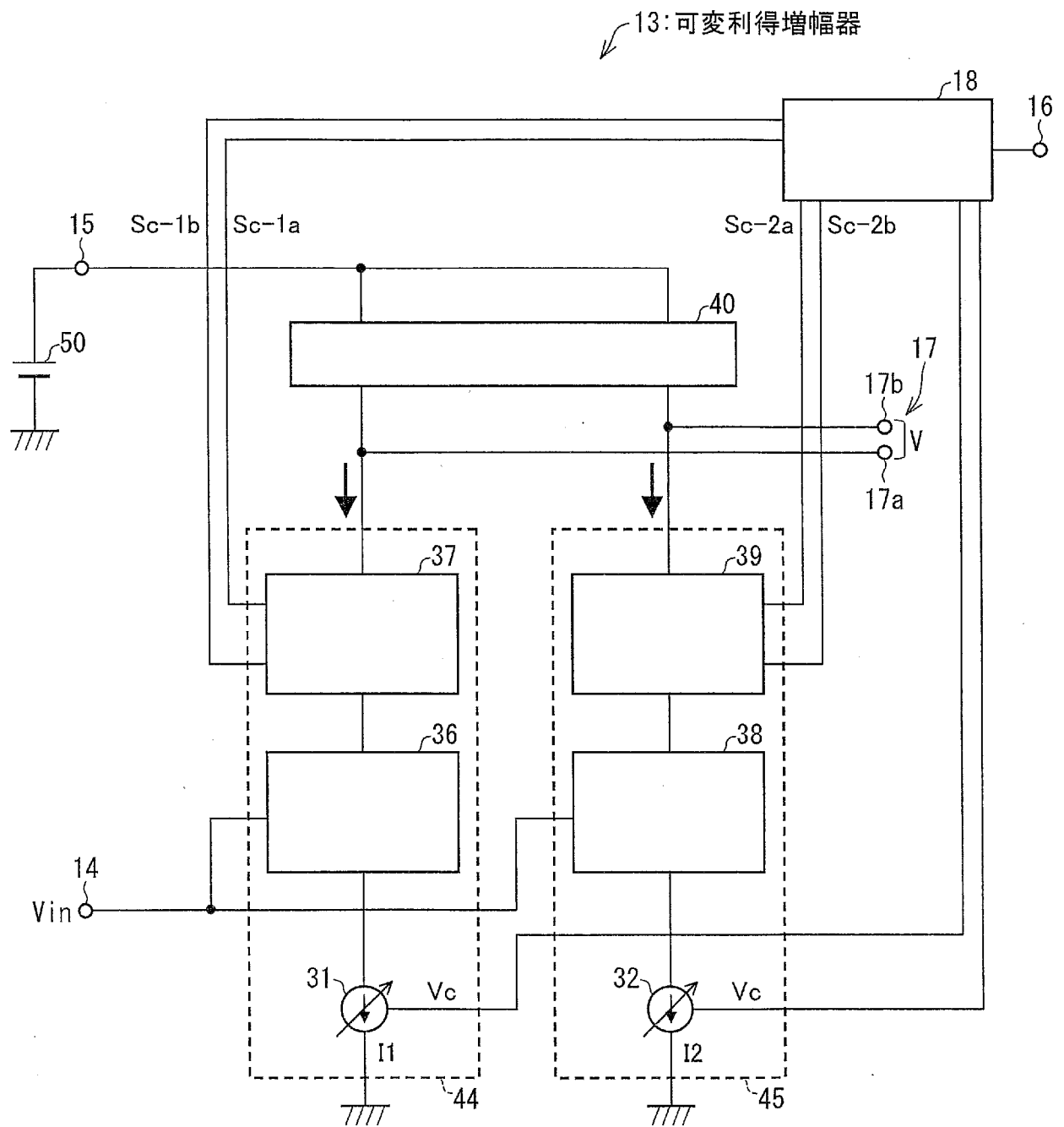
[図1]



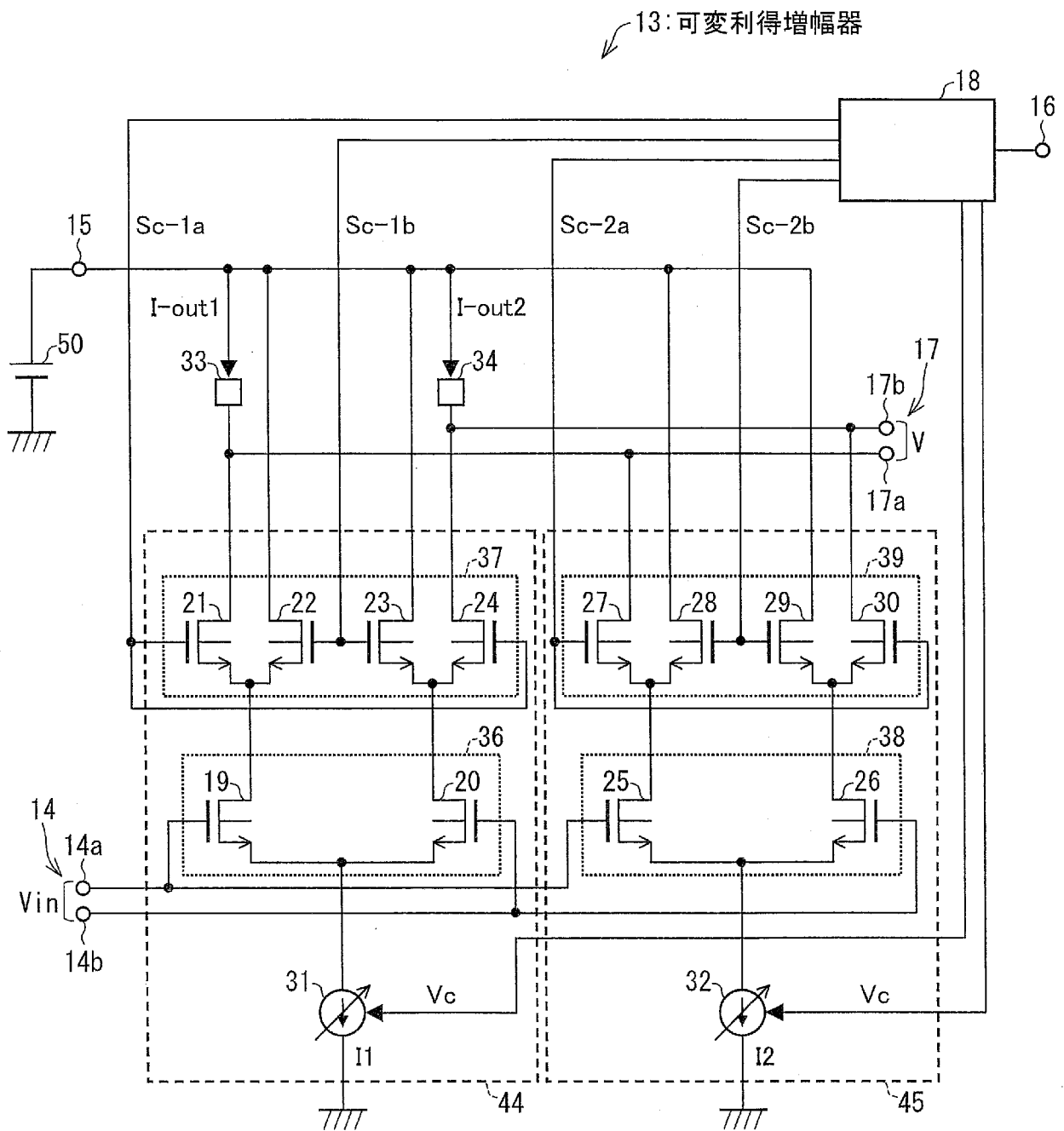
[図2]



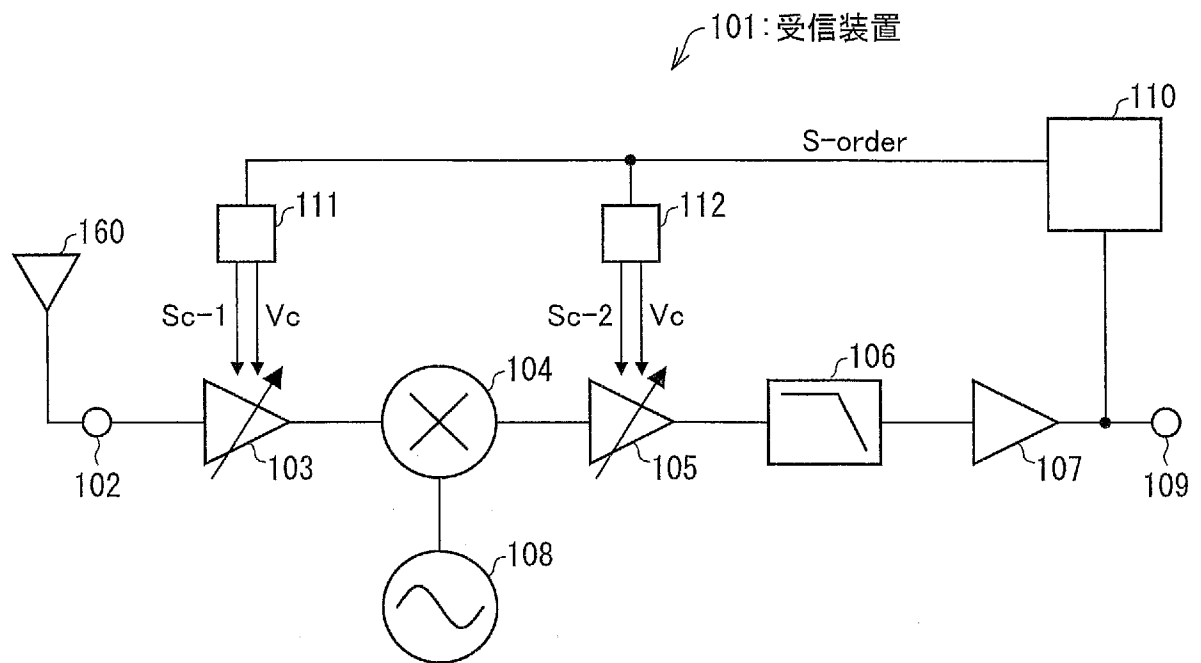
[図3]



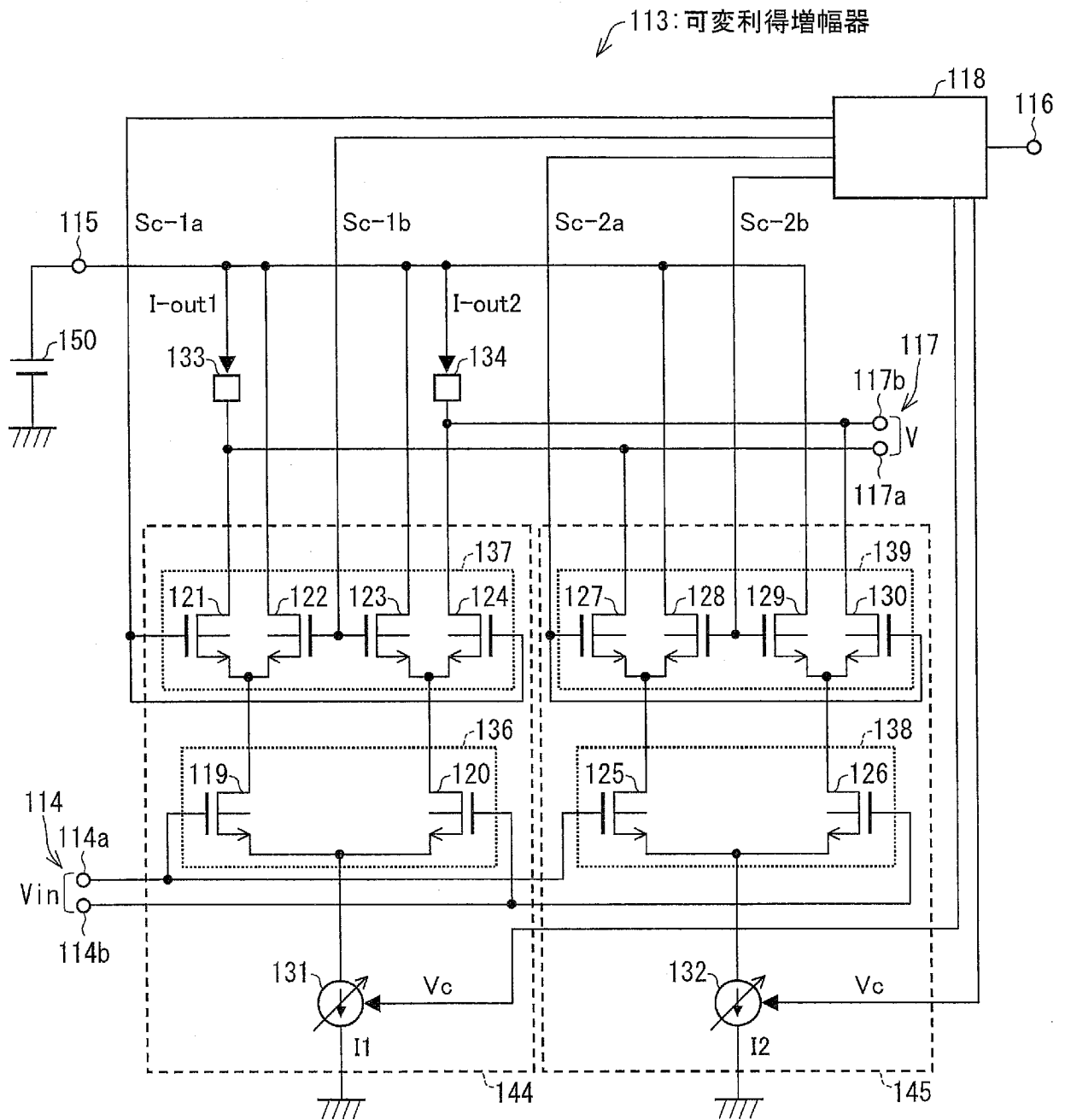
[図4]



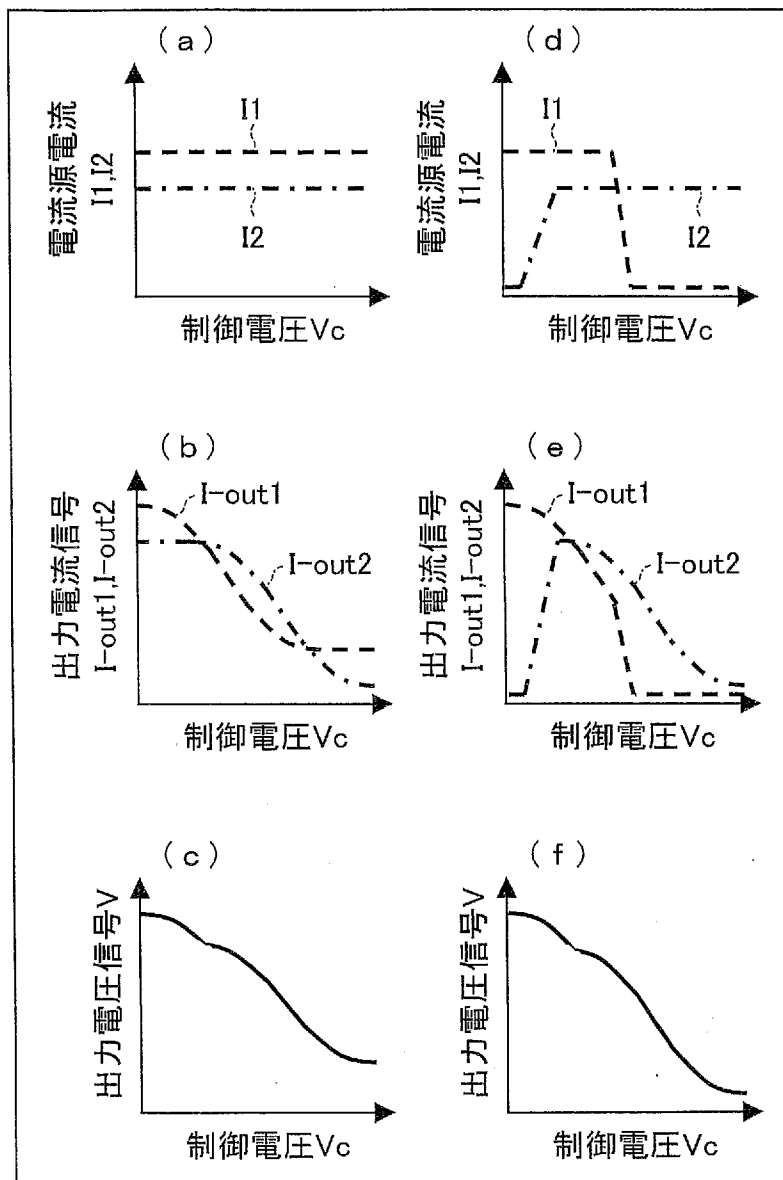
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/071904

A. CLASSIFICATION OF SUBJECT MATTER

H03G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-60457 A (Sharp Corp.), 28 February 2003 (28.02.2003), paragraphs [0037] to [0048]; fig. 1, 2 & US 2003/0038677 A1	1-8 9
Y	JP 2006-157141 A (Sharp Corp.), 15 June 2006 (15.06.2006), paragraphs [0038] to [0042]; fig. 1 (Family: none)	9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06 October, 2011 (06.10.11)

Date of mailing of the international search report
18 October, 2011 (18.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2003-60457 A（シャープ株式会社）2003.02.28, 段落【0037】 －【0048】, 図1, 2 & US 2003/0038677 A1	1－8 9
Y	JP 2006-157141 A（シャープ株式会社）2006.06.15, 段落【0038】 －【0042】, 図1（ファミリーなし）	9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 1 1

国際調査報告の発送日

1 8 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

高橋 義昭

電話番号 03-3581-1101 内線 3568

5 T

4 7 7 6