República Federativa do Brasil
Ministério do Desenvolvimento, Indústria
e do Comércio Exterior
Instituto Nacional da Propriedade Industrial.

(11) **PI 9916202-4 B1**

BRPI9916202B1

(22) Data de Depósito: 14/12/1999
(45) Data da Concessão: 11/12/2012
(RPI 2188)

(51) Int.Cl.:
H03H 17/02

(54) Título: **FILTRO DIGITAL PROGRAMÁVEL DE BAIXA POTÊNCIA.**

(30) Prioridade Unionista: 14/12/1998 US 09/211,990

(73) Titular(es): Qualcomm Incorporated

(72) Inventor(es): Lennart Mathe

"FILTRO DIGITAL PROGRAMÁVEL DE BAIXA POTÊNCIA"

HISTÓRICO DA INVENÇÃO

I. Campo da Invenção

A presente invenção está relacionada a circuitos digitais. Especificamente, a presente invenção está relacionada a filtros digitais programáveis para uso em sistemas de telecomunicações.

II. Descrição da Técnica Correlacionada

Os filtros digitais são usados em uma diversidade de aplicações essenciais, variando de sistemas de controle eletrônicos a sistemas celulares de telecomunicações. Tais aplicações amiúde requerem filtros digitais programáveis que consumam um mínimo de energia.

A capacidade de programação e baixo consumo de energia do filtro digital são particularmente importantes em sistemas digitais celulares de telecomunicações, tais como sistemas de múltiplo acesso por divisão de código (CDMA). Um típico sistema celular CDMA de telecomunicações é particularizado por uma pluralidade de transceptores móveis em comunicação com uma ou mais estações base. Os sinais transmitidos pelos transceptores móveis são recebidos por uma estação base e amiúde repassados para um centro de comutação móvel (MSC). O MSC por sua vez direciona o sinal para outra estação base, uma rede de telefonia pública comutada (PSTN) ou para outro transceptor móvel. De forma similar, a rede de telefonia pública comutada pode transmitir um sinal para uma unidade móvel através de uma estação base e um centro de comutação móvel.

É amiúde vantajoso o emprego de diferentes taxas de amostragem dentro do transceptor móvel, da estação base e/ou do MSC. Para acomodar diferentes taxas de amostragem, os filtros digitais localizados no interior do transceptor móvel, estação base e/ou MSC são amiúde programáveis. A capacidade de programação dos filtros também reduz a

necessidade de substituir hardware custoso quando mudam as especificações dos transceptores móveis.

Em um típico filtro digital programável, vários registradores ou circuitos de retardo estão conectados em série. As saídas dos registradores estão conectadas a circuitos paralelos de ganho programável possuindo ganhos relacionados a coeficientes de funções de transferência do filtro. As saídas dos circuitos de ganho são alimentadas a multiplicadores conectados em série. O projeto dos filtros amiúde requer vários multiplicadores digitais custosos, que consomem um excesso de energia e ocupam valioso espaço da placa de circuitos. Os multiplicadores digitais resultam em grande consumo de energia pelo filtro e menor vida útil da bateria do transceptor móvel.

Portanto existe uma demanda na área por um filtro digital programável de baixo consumo de energia, eficiente em termos de espaço, que possa acomodar uma gama de frequências de entrada ou taxas de amostragem. Existe também uma demanda por um transceptor eficiente em termos de energia, incorporando um filtro digital programável de baixa potência.

SUMÁRIO DA INVENÇÃO

A demanda na área é atendida pelo filtro digital programável da presente invenção. Na modalidade ilustrativa, o filtro da invenção está adaptado para uso com um transceptor e inclui uma primeira seção de filtro de resposta finita ao impulso (FIR) para recepção de um sinal de entrada. A primeira seção de filtro de resposta finita ao impulso (FIR) possui uma primeira função de transferência. Uma seção de filtro de resposta infinita ao impulso (IIR) está conectada à primeira seção de filtro de resposta finita ao impulso (FIR) e possui uma segunda função de transferência. Uma segunda seção de filtro de resposta finita ao impulso (FIR) está conectada à seção de filtro de resposta infinita ao impulso (IIR) e emite um

sinal de saída filtrado em resposta à recepção do sinal de entrada pelo filtro digital programável. A segunda seção de filtro de resposta finita ao impulso (FIR) possui uma terceira função de transferência. Um coeficiente programável é provido nas primeira, segunda, e/ou terceira funções de transferência.

Em uma modalidade específica, a primeira função de transferência possui um primeiro coeficiente programável. A segunda função de transferência possui um segundo coeficiente programável e a terceira função de transferência possui um terceiro coeficiente programável. O filtro digital programável inclui ainda um processador para prover um sinal de controle. Uma memória provê os primeiro, segundo e/ou terceiro coeficientes programáveis em resposta ao sinal de controle. Uma seção de filtro passa-altas provê uma entrada à primeira seção de filtro de resposta finita ao impulso (FIR). Um multiplexador desabilita (*bypass*) seletivamente o filtro passa-altas em resposta a um sinal de controle de *bypass* proveniente do processador. O processador gera o sinal de controle de *bypass* em resposta a offsets CC, isto é, polarizações ocorrendo no sinal de entrada.

Na modalidade ilustrativa, a primeira seção de filtro de resposta finita ao impulso (FIR) inclui um primeiro filtro de interferência (jammer), um segundo filtro de interferência e um terceiro filtro de interferência para remover sinais de interferência de telecomunicações no sinal de entrada. Os primeiro, segundo e terceiro filtros de interferência possuem primeira, segunda e terceira funções de transferência de filtro de interferência com o primeiro coeficiente programável, um quarto coeficiente programável e um quinto coeficiente programável, respectivamente. A seção de filtro de resposta finita ao impulso (FIR) compreende também um primeiro circuito de truncamento de bits, um segundo circuito de

truncamento de bits e um terceiro circuito de truncamento de bits nas saídas dos primeiro, segundo e terceiro filtros de interferência, respectivamente. Em uma modalidade exemplar da invenção, os primeiro, segundo e terceiro circuitos de truncamento de bits removem os três bits mais significativos e os três bits menos significativos de uma palavra código de entrada. O primeiro circuito de truncamento de bits está conectado em série em uma saída do primeiro filtro de interferência. O segundo circuito de truncamento de bits está conectado em série entre o primeiro filtro de interferência e o segundo filtro de interferência. O terceiro circuito de truncamento de bits está conectado em série entre o segundo filtro de interferência e o terceiro filtro de interferência.

A seção de filtro de resposta infinita ao impulso (IIR) inclui um primeiro filtro de equalização e um segundo filtro de equalização. Uma entrada do primeiro filtro de equalização está conectada a uma saída da primeira seção de filtro de resposta finita ao impulso (FIR). O primeiro filtro de equalização possui dois coeficientes programáveis e o segundo filtro de equalização possui um coeficiente programável. Um circuito de correção de polarização e ganho remove qualquer polarização no sinal de saída e ajusta o ganho do sinal de saída.

O circuito de correção de polarização e ganho inclui um subtrator para subtrair uma polarização do sinal de saída e prover um sinal compensado em offset em resposta ao mesmo. O circuito de correção de polarização e ganho remove um número predeterminado de bits menos significativos de uma palavra código no sinal compensado em offset e provê um sinal corrigido em bits em resposta ao mesmo. O circuito de correção de polarização e ganho compreende também um multiplicador para multiplicar o sinal corrigido em bits por um fator predeterminado e prover um sinal ajustado em ganho em resposta ao mesmo. O circuito de

correção de polarização e ganho remove um primeiro número predeterminado de bits menos significativos e um segundo número predeterminado de bits mais significativos de uma palavra código no sinal ajustado em ganho e provê um sinal de saída de filtro de saída digital programável em resposta ao mesmo.

Na modalidade ilustrativa, o filtro digital programável é implementado em um receptor do sistema de telecomunicações que inclui uma antena para recepção de um sinal de rádio possuindo uma primeira frequência. Um misturador mistura o sinal de rádio a um sinal de frequência intermediária. Um conversor delta sigma analógico/digital converte o sinal de frequência intermediária em um sinal digital de frequência intermediária. Um filtro digital inclui o filtro digital programável e converte o sinal digital de frequência intermediária em um sinal digital de banda base particularizado por uma taxa de amostragem de (taxa de chips)x8. Um processador de banda base processa o sinal digital de banda base na taxa de chips.

A nova estrutura da presente invenção é facilitada pela separação de funcionalidades do filtro digital programável em várias seções, tais como as seções de filtro de resposta infinita ao impulso (IIR) e as seções de filtro de resposta finita ao impulso (FIR). Ao separar a funcionalidade do filtro em vários blocos e prover coeficientes programáveis estratégicos para cada bloco, o controle sobre a função de transferência composta do filtro digital programável é maximizado, concomitantemente minimizando o consumo de energia do filtro digital programável.

BREVE DESCRIÇÃO DOS DESENHOS

A Figura 1 é um diagrama de blocos de um filtro digital programável montado de acordo com os ensinamentos da presente invenção.

A Figura 2 é um diagrama mais detalhado do filtro passa-altas da Figura 1.

A Figura 3 é um diagrama apresentando a estrutura dos filtros de interferência FIR da seção de filtro de interferência FIR e do filtro de equalização FIR da Figura 1.

A Figura 4 é um diagrama apresentando a estrutura dos filtros de equalização IIR da seção de filtro de equalização IIR da Figura 1.

A Figura 5 é um gráfico polar zero da função de transferência do filtro digital programável da Figura 1 não incluindo o filtro passa-altas.

A Figura 6 é um diagrama de um transceptor móvel empregando o filtro digital programável da Figura 1 e montado de acordo com os ensinamentos da presente invenção.

DESCRIÇÃO DETALHADA DAS MODALIDADES PREFERIDAS

Apesar da presente invenção ser aqui descrita com referência a modalidades ilustrativas para aplicações específicas, deve ficar claro que a invenção não está limitada às mesmas. Os técnicos na área com acesso aos ensinamentos aqui providos reconhecerão modificações, aplicações e modalidades adicionais dentro do escopo da mesma e campos adicionais em que a presente invenção seria de significativa utilidade.

A Figura 1 é um diagrama de blocos de um filtro digital programável 10 montado de acordo com os ensinamentos da presente invenção. O filtro digital programável 10 inclui um multiplexador de entrada 12, um filtro passa-altas 14, uma seção de filtro de interferência de resposta finita ao impulso (FIR) 16, uma seção de filtro de equalização de resposta infinita ao impulso (IIR) 18, um filtro de equalização FIR 20 e um circuito de subtração de offset de corrente contínua (CC) e correção de ganho 22. Vários parâmetros operacionais do filtro digital programável 10 são controlados através de um

microprocessador 24 e uma memória associada 26. Os parâmetros são armazenados na memória 26 que está conectada ao multiplexador de entrada 12, à seção de filtro de interferência FIR 16, à seção de filtro de equalização IIR 18, ao filtro de equalização 20 e ao circuito de subtração de offset CC e correção de ganho 22.

O multiplexador de entrada 12 recebe um sinal de entrada 28 contendo dados em fase (I) e/ou em quadratura (Q) provenientes de um circuito de escalonamento de ganho e filtros decimalizadores precedentes (tal como comentado mais completamente a seguir). Os técnicos na área irão notar que o filtro digital programável 10 pode ser precedido por outro tipo de circuito que não um circuito de escalonamento de ganho, sem que isto constitua um afastamento do escopo da presente invenção.

O multiplexador de entrada 12 desabilita seletivamente o filtro passa-altas 14 em resposta a um sinal de controle proveniente do microprocessador 24 e memória 26 associada. A memória do microprocessador 26 armazena informações preexistentes sobre se os dados alimentados ao multiplexador contêm offsets CC e/ou outros componentes de sinal que devem ser atenuados através do filtro passa-altas 14.

Na presente modalidade específica, a função de transferência do filtro passa-altas 14 é:

$$\left(1-z^{-1}\right)/\left(1-(1023-1024)z^{-1}\right) \qquad (1)$$

em que z é uma variável complexa no domínio z. A função de transferência (1) é projetada para remover offsets CC. Os offsets CC podem ter origem em um modulador delta sigma ($\Delta\Sigma$) precedente, ou outros componentes em uma extremidade frontal (fron end) de rádio frequência (RF) de um receptor no qual o filtro digital programável 10 é empregado (como será comentado mais completamente a seguir). O filtro passa-altas 14 é desabilitado através do multiplexador 12

para economizar energia no caso de nenhum offset CC estar presente no sinal de entrada 28.

A saída do filtro passa-altas 14 está conectada à entrada da seção de filtro de interferência FIR 16. A seção de filtro de interferência FIR 16 inclui, da esquerda para a direita, um terceiro filtro de interferência 30, um primeiro circuito de truncamento de bits 32, um segundo filtro de interferência 34, um segundo circuito de truncamento de bits 36, um primeiro filtro de interferência 38 e um terceiro circuito de truncamento de bits 40.

Em operação, a saída do filtro passa-altas 14 é alimentada ao terceiro filtro de interferência 30. O terceiro filtro de interferência 30 opera sobre a entrada de acordo com a seguinte função de transferência:

$$4 + b_3 z^{-1} + 4z^{-2} \qquad (2)$$

em que b_3 é um coeficiente programável que é provido pelo microprocessador 24 e a memória do microprocessador 26. Na presente modalidade, b_3 se encontra na faixa de 12 a 4 para sinais CDMA e é 6 para sinais de modulação em frequência (FM). Os primeiro e último coeficientes, isto é, 4 e 4, são potências de 2, tornando a implementação do filtro de interferência 30 barata e direta para implementação pelos técnicos na área.

Na presente modalidade específica, o sinal de saída proveniente do terceiro filtro de interferência 30 é alimentado ao primeiro circuito de truncamento de bits 32 onde três (3) bits mais significativos (MSBs) e três (3) bits menos significativos (LSBs) que são truncados do sinal, são saturados. O número de bits que são saturados é específico de aplicações e os técnicos na área podem facilmente ajustar o número de bits truncados para atender às necessidades de uma dada aplicação. O projeto e construção de circuitos de truncamento de bits são bem conhecidos pelos técnicos na área.

O sinal truncado resultante é alimentado ao segundo filtro de interferência 34. O segundo filtro de interferência 34 opera sobre o sinal truncado de acordo com a seguinte função de transferência:

$$8 + b_2 z^{-1} + 8z^{-2} \quad (3)$$

em que b_2 é um coeficiente programável que é provido pelo microprocessador 24 e memória do microprocessador 26. Na presente modalidade b_2 se encontra na faixa de 16 a 24 para sinais CDMA e é 7 para sinais FM. Os primeiro e último coeficientes, isto é, 8 e 8, são potências de 2, tornando a implementação do filtro de interferência 34 barata e direta para implementação pelos técnicos na área.

O sinal de saída proveniente do segundo filtro de interferência 34 é alimentado ao segundo circuito de truncamento de bits 36 onde três (3) MSBs e quatro (4) LSBs são truncados do sinal. O sinal truncado resultante é alimentado ao primeiro filtro de interferência 38. O primeiro filtro de interferência 38 opera sobre o sinal truncado de acordo com a seguinte função de transferência:

$$16 + b_1 z^{-1} + 16z^{-2} \quad (4)$$

em que b_1 é um coeficiente programável que é provido pelo microprocessador 24 e memória do microprocessador 26. Na presente modalidade b_1 se encontra na faixa de 22 a 2 para sinais CDMA e é cinco (5) para sinais FM. Os primeiro e último coeficientes, isto é, 16 e 16, são potências de dois (2), tornando a implementação do filtro de interferência 38 barata e direta para implementação pelos técnicos na área.

O sinal de saída proveniente do primeiro filtro de interferência 38 é alimentado ao terceiro circuito de truncamento de bits 40 onde 2 MSBs e 5 LSBs são truncados do sinal. O sinal truncado resultante é emitido a partir da seção de filtro de interferência FIR 16 para a seção de filtro de equalização IIR 18. A seção de filtro de equalização IIR 18 inclui, da esquerda para a direita, um

primeiro filtro de equalização IIR 42 e um segundo filtro de equalização IIR 44.

Após o sinal de entrada 28 ser processado pelo filtro passa-altas 14 e pela seção de filtro de interferência FIR 16, a banda de passagem é descaída, isto é, cai ou é reduzida na extremidade de frequência mais elevada da banda de passagem. A seção de filtro de equalização IIR 18 e o filtro de equalização FIR 20 seguintes removem o descaimento da banda de passagem e equalizam a resposta de fase.

O primeiro filtro de equalização IIR 42 opera sobre a saída da seção de filtro de interferência FIR 16 de acordo com a seguinte função de transferência:

$$64/\left(64 + a_{11}z^{-1} + a_{12}z^{-2}\right) \qquad (5)$$

em que a_{11} e a_{12} são coeficientes programáveis que são providos pelo microprocessador 24 e memória do microprocessador 26. Na presente modalidade, a_{11} se encontra na faixa de 15 a -42 para sinais CDMA e é 0 para sinais FM, enquanto que a_{12} se encontra na faixa de 40 a 54 para sinais CDMA e é 0 para sinais FM. Os coeficientes não programáveis, isto é 64, são potências de dois (2), tornando a implementação do primeiro filtro de equalização IIR 42 barata.

A saída do primeiro filtro de equalização IIR 42 é alimentada ao segundo filtro de equalização 44. O primeiro filtro de equalização IIR 42 opera sobre a saída da seção de filtro de interferência FIR 16 de acordo com a seguinte função de transferência:

$$32/\left(32 + a_{21}z^{-1} + 16z^{-2}\right) \qquad (6)$$

em que a_{21} é um coeficiente programável que é provido pelo microprocessador 24 e memória do microprocessador 26. Na presente modalidade, a_{21} se encontra na faixa de 2 a -22 para sinais CDMA e é -27 para sinais FM. Os coeficientes não programáveis, isto é 16 e 32, são potências de 2,

tornando a implementação do primeiro filtro de equalização IIR 42 barata.

A saída do segundo filtro de equalização IIR 44 é alimentada a partir da seção de equalização IIR 18 para o filtro de equalização FIR 20. O filtro de equalização FIR 20 opera sobre a saída da seção de filtro de equalização IIR 18 de acordo com a seguinte função de transferência:

$$-8 + b_4 z^{-1} - 8z^{-2} \qquad (7)$$

em que b_4 é um coeficiente programável que é provido pelo microprocessador 24 e memória do microprocessador 26. Na presente modalidade, b_4 se encontra na faixa de 32 a 44 para sinais CDMA e é 29 para sinais FM. Os coeficientes não programáveis, isto é -8, são potências de 2, tornando a implementação do filtro de equalização FIR 20 barata.

A saída do filtro de equalização FIR 20 é alimentada ao circuito de subtração de offset CC e correção de ganho 22. O circuito de subtração de offset CC e correção de ganho 22 inclui, da esquerda para a direita, um subtrator de offset CC 46, um quarto circuito de truncamento de bits 48, um multiplicador de correção de ganho 50 e um quinto circuito de truncamento de bits 52.

Em operação, o subtrator de offset CC 46 recebe a saída do filtro de equalização FIR 20 e subtrai um valor de offset CC provido pelo microprocessador 24 e memória associada 26. O microprocessador 24 mantém informações preexistentes sobre offsets CC ocorrendo na saída do filtro de equalização FIR 20 através da memória 26. A estrutura do microprocessador 24 e da memória 26 é bem conhecida pelos técnicos na área.

Uma vez que quaisquer offsets CC sejam subtraídos do sinal pelo subtrator de offset CC 46, seis LSBs são truncados do sinal pelo quarto circuito de truncamento de bits 48. O sinal truncado resultante é alimentado ao multiplicador de correção de ganho 50. O multiplicador de

correção de ganho 50 multiplica o sinal truncado por um fator de ganho armazenado na memória 26. Na presente modalidade, o fator de ganho se encontra na faixa de 1 a 8.

O sinal ajustado em ganho resultante é alimentado ao quinto circuito de truncamento de bits 52, em que 3 MSBs e 3 LSBs são truncados do sinal. O sinal truncado resultante é emitido a partir do circuito de subtração de offset CC e correção de ganho 22 e representa a saída do filtro digital programável 10. A saída do filtro digital programável é emitida a um conversor de taxa de amostragem (tal como será descrito em maiores detalhes a seguir).

O circuito de subtração de offset CC e correção de ganho 22 se destina a subtrair offsets CC introduzidos por truncamentos de bits por todo o filtro digital programável 10 e por todo o circuito no qual o filtro digital programável 10 é empregado. Devido ao fato de que os offsets CC introduzidos por diferentes seções de circuito possuirão diferentes características dependendo do ganho CC dos vários estágios, a subtração de offset CC implementada pelo subtrator de offset CC 46 é programável e controlada através do microprocessador 24.

A correção de ganho é implementada através do multiplicador de correção de ganho 50 que multiplica a saída do sinal filtrado de interferência a partir do quarto circuito de truncamento de bits 48 por uma constante variando de 1 a 8. Após os truncamentos de bits efetuados pelo quinto circuito de truncamento de bits 52, o ganho efetivo provido pelo multiplicador de correção de ganho 50 varia de 1/8 a 1. O ajuste de ganho torna o ganho do filtro digital programável 10 aproximadamente constante independentemente da frequência de amostragem do sinal de entrada 28. Além disso, o ganho programável facilita a otimização dos níveis de sinal no interior dos estágios programáveis 30, 34, 38, 42, 44 e 20, para minimizar o número de bits requeridos para cada estágio. Minimizar o

número de bits requeridos melhora ainda mais a eficiência energética do filtro digital programável 10.

A nova estrutura da presente invenção é facilitada pela separação da rejeição de interferências em três filtros de interferência 30, 34 e 38, possuindo cada um uma função de transferência com um coeficiente programável. Isto propicia controle sobre as características de filtragem do filtro digital programável 10, demandando um mínimo de energia.

O filtro digital programável 10 está adaptado para uso com um sistema de recepção de transceptor móvel (tal como descrito em maiores detalhes a seguir). As funções de transferência correspondentes às equações (2) a (7) são projetadas para atenuar interferências e outras perturbações. Para frequências acima de aproximadamente 900 kHz, as funções de transferência propiciam mais que 60 dB de atenuação. Além disso, as funções de transferência equalizam a fase do sinal de entrada 28 de forma a que o erro médio quadrático total quando combinado com a pré-distorção ("pre-warping") de fase da estação base não exceda um valor predeterminado. A banda de passagem é equalizada de forma a que a resposta de frequência total do filtro programável 10 seja aproximadamente plana na banda de passagem.

O sinal de entrada 28 possui uma taxa de amostragem de F $\Delta\Sigma$/24, em que F $\Delta\Sigma$ é a taxa de amostragem de um modulador $\Delta\Sigma$ precedente (tal como descrito mais completamente a seguir). F $\Delta\Sigma$/24 se encontra na faixa de 2,5 a 3,3 MHz. A banda de passagem desejada do sinal 28 é fixada em 0 a 630 kHz. A banda de corte compreende todas as frequências maiores que aproximadamente 900 kHz. A taxa de amostragem do sinal de entrada 28 varia com a localização das bordas da banda de passagem e da banda de corte. A capacidade de programação do filtro programável 10 facilita

a acomodação da taxa de amostragem variável. O filtro programável 10 maximiza o controle sobre a resposta de frequência do filtro dadas exigências restritas de consumo de energia. A implementação de coeficientes programáveis adicionais no filtro programável 10 requereria multiplicadores adicionais, que consomem energia adicional.

A Figura 2 é um diagrama mais detalhado do filtro passa-altas 14 da Figura 1. O filtro passa-altas 14 inclui um primeiro subtrator 60, cuja saída está conectada a um primeiro circuito de truncamento de k bits 62. A saída do primeiro circuito de truncamento de k bits 62 está conectada a um registrador de (N+k) bits 64. A saída do registrador de (N+k) bits está conectada à entrada de um segundo circuito de truncamento de k bits 66, um multiplicador 2^k 68 e uma entrada negativa do primeiro subtrator 60. A saída do multiplicador 2^k 68 é alimentada a uma entrada positiva do primeiro subtrator 60. Outra entrada positiva do primeiro subtrator 60 está conectada à saída de um segundo multiplicador 2^k 70 que recebe a entrada de N bits 28 como entrada.

A saída do segundo circuito de truncamento de k bits 66 está conectada a uma entrada negativa de um segundo subtrator 72. Uma primeira entrada positiva do segundo subtrator 72 está também conectada à entrada de N bits 70. Uma segunda entrada positiva do segundo subtrator 72 está conectada a um registrador -1 74 que fornece um -1 para o segundo subtrator 72 para subtrair a polarização de truncamento introduzida pelos circuitos de truncamento de k bits 62 e 66.

Os primeiro e segundo subtratores 60 e 72, respectivamente, subtraem os valores nas entradas negativas da soma dos valores nas entradas positivas. O primeiro circuito de truncamento de k bits 62 e o segundo circuito de truncamento de k bits truncam k LSBs do correspondente sinal de entrada, em que k é uma constante de projeto. O

primeiro multiplicador 2^k 68 e o segundo multiplicador 2^k 70 multiplicam seus respectivos sinais de entrada por 2^k e propiciam saídas correspondentes em resposta aos mesmos. Os multiplicadores 2^k 68 e 70 podem ser implementados com circuitos de desvio (shift) à esquerda simples.

O filtro passa-altas 14 remove qualquer componente CC no sinal de entrada 28 através de um polo com localização p, tal como expressado pela seguinte equação:

$$p = \left(2^{k-1} - 1\right)/\left(2^{k-1}\right) \qquad (8)$$

Para uma frequência a 1 dB de 1 kHz, com a taxa de amostragem do sinal de entrada 28 igual a F $\Delta\Sigma$/24, k = 10 e p = 1023/1024.

A Figura 3 é um diagrama mais detalhado do filtro de interferência FIR 38 da Figura 1. A estrutura do filtro de interferência FIR 38 é similar à estrutura dos filtros de interferência FIR 30 e 34 da seção de filtro de interferência FIR 16 e do filtro de equalização FIR 20 da Figura 1. O filtro de interferência FIR 38 inclui um primeiro registrador de N bits 82 para recepção de um sinal de entrada de N bits 84. Na presente modalidade, N é 11. Um segundo registrador de N bits 86 está conectado à saída do primeiro registrador de N bits 82. Um terceiro registrador de N bits 88 está conectado à saída do segundo registrador de N bits 86. Uma entrada de um primeiro adicionador 90 está conectada à saída do terceiro registrador de N bits 88. Uma segunda entrada do primeiro adicionador 90 está conectada à saída do primeiro registrador de N bits 82, que é também a entrada do segundo registrador de N bits 86. A saída do primeiro adicionador 90 está conectada a um circuito de deslocamento à esquerda 92 que desloca sinais de entrada por quatro bits. A saída do circuito de deslocamento à esquerda 92 está conectada a uma entrada de um segundo adicionador 94. Uma segunda entrada do segundo adicionador 94 está conectada à saída de um multiplicador

de coeficiente 96. Uma primeira entrada do multiplicador de coeficiente 96 recebe um valor de tomada (tap) programável a partir de um microprocessador através de um dispositivo de memória tal como um registrador (ver Figura 1). Uma segunda entrada do multiplicador de coeficiente está conectada à saída do segundo registrador de N bits 86, que é também a entrada do terceiro registrador de N bits 88.

O filtro de interferência FIR 38 implementa a função de transferência da equação (4). Os técnicos na área podem facilmente modificar o filtro de interferência FIR 38 para montar os outros filtros FIR 30, 34 e 20.

O ganho de baixa frequência do filtro de interferência FIR 38 é dependente do coeficiente programável b1. Na presente modalidade, o ganho varia de 32 a 64. Note-se que o número de bits cresce no interior do filtro de interferência FIR 38.

A Figura 4 é um diagrama mais detalhado do primeiro filtro de equalização IIR 42 da Figura 1. A estrutura do filtro de equalização IIR 42 é similar à estrutura do segundo filtro de equalização IIR 44 da Figura 1. O primeiro filtro de equalização IIR 42 recebe uma entrada de N bits 102 para um circuito adicionador de K LSB 100. A saída do circuito adicionador K LSB 100 é alimentada a um adicionador de (N+K) bits 104. A saída de um circuito de truncamento de 6 LSB 106 é também alimentada ao adicionador de (N+K) bits 104. A saída do adicionador de (N+K) bits 104 é conectada à entrada de um circuito de truncamento de K LSB 108 e a um primeiro registrador de (N+K) bits 110. A saída do circuito de truncamento de K LSB 108 provê a saída do primeiro filtro de equalização IIR 42. A saída do registrador de (N+K) bits 110 está conectada à entrada de um segundo registrador de (N+K) bits 112 e à entrada de um multiplicador de coeficiente a_{11} 114. Outra entrada do multiplicador de coeficiente a_{11} 114 recebe o coeficiente a_{11} proveniente da memória de microprocessador

26 da Figura 1. A saída do segundo registrador de (N+K) bits 112 está conectada a uma primeira entrada de um multiplicador de coeficiente a_{12} 116. Uma segunda entrada do multiplicador de coeficiente a_{12} 116 recebe o coeficiente a_{12} proveniente da memória de microprocessador 26 da Figura 1. Saídas do multiplicador de coeficiente a_{12} 116 e o multiplicador de coeficiente a_{12} 116 são providos às entradas de um adicionador de (N+K+6) bits 118. A saída do adicionador de (N+K+6) bits 118 está conectada à entrada do circuito de truncamento de 6 LSB 106.

O circuito adicionador de K LSB 100 estende uma palavra código de entrada ocorrendo na entrada de N bits 102 em K LSBs. Os K LSBs adicionais são ajustados para zero e truncados pelo circuito de truncamento de K LSB 108 na saída do filtro de equalização IIR 42. O valor de K varia de acordo com as exigências de uma dada aplicação e é determinado por simulações de circuito. Na presente modalidade específica, K = 0.

O adicionador de (N+K) bits 104 e o adicionador de (N+K+6) bits 118 são adicionadores de saturação. Caso ocorra um overflow de bits, os adicionadores ajustam suas saídas ou para o valor positivo máximo ou para o valor negativo mínimo que os adicionadores possam tratar.

Os coeficientes a_{11} e a_{12}, alimentados ao multiplicador de coeficiente a_{11} 114 e ao multiplicador de coeficiente a_{12} 116, respectivamente, variam de -45 a 15 e de 40 a 54, respectivamente. O ganho do filtro de equalização IIR 42 é dependente dos coeficientes a_{11} e a_{12}. O a_{11} influencia fortemente o ganho, enquanto que a_{12} possui uma menor influência. Em um pior caso, se $a_{12} < 54$, o ganho resultante será menor que um fator de 8. Neste caso, o sinal de entrada de N bits 102 deve possuir 3 bits extras para assegurar que o overflow não irá ocorrer no filtro de equalização IIR 42, isto é, para assegurar que a saída

resultante do filtro seja apropriadamente expressa com os N bits providos.

A Figura 5 é um é um gráfico polar zero 130 da função de transferência do filtro digital programável da Figura 1 não incluindo o filtro passa-altas 14 da Figura 1. O gráfico polar zero 130 apresenta a metade superior de um círculo unitário 132 e inclui um eixo imaginário 134 e um eixo real 136. Três zeros 138 no círculo unitário 132 estão espalhados pelas frequências de banda de corte de 900 kHz a 1,67 MHz. Os três zeros 138 se originam a partir dos primeiro 38, segundo 34 e terceiro 30 filtros de interferência e estão posicionados sobre o círculo unitário 132 para o máximo de atenuação de interferência. Dois pólos 140 localizados próximo à borda da banda de passagem em 630 kHz compensam o descaimento de banda de passagem e auxiliam na equalização da resposta de fase do filtro. Os dois pólos 140 se originam a partir da seção de filtro de equalização IIR 18. Dois zeros 142 sobre o eixo real 136 auxiliam a compensar adicionalmente o descaimento de banda de passagem e se originam a partir do filtro de equalização FIR 20.

A Figura 6 é um diagrama de um transceptor móvel 170 que emprega o filtro digital programável 188 da Figura 1 e é montado de acordo com os ensinamentos da presente invenção. O transceptor 170 inclui, da esquerda para a direita, uma antena 150, um duplexador 152, um circuito de mistura RF para IF 174 um conversor delta sigma analógico/digital ($\Delta\Sigma$ ADC) 176, um filtro digital 172 e um processador/demodulador de banda base 24'. Uma saída do processador/demodulador de banda base 24' é provida a uma seção de transmissão 180, cuja saída está conectada ao duplexador 152. Um circuito de geração de frequência referência 154 está conectado ao circuito de mistura RF para IF 174, ao $\Delta\Sigma$ ADC 176, ao filtro digital 172 e o

processador/demodulador de banda base 24' e supre as necessárias frequências de referência aos mesmos.

O filtro digital 172 inclui, da esquerda para a direita, um circuito de conversão descendente ("downconversion") e redução de taxa de amostragem digital 184, um circuito de escalonamento de ganho 186, o filtro digital programável 188 e um circuito de conversão de taxa de amostragem 182.

Em operação, a antena 150 é usada para rádio transmissão e recepção. O duplexador 152 facilita o uso duplo da antena 150 para recepção e transmissão. Quando da recepção de um sinal de rádio frequência (RF) pela antena 150, o duplexador 152 direciona o sinal recebido para o circuito de mistura RF para IF 174 onde o sinal de RF é convertido em um sinal IF. A estrutura do circuito de mistura RF para IF 174 é conhecida pelos técnicos na área.

O sinal IF resultante é alimentado ao ΔΣ ADC 176 onde ele é convertido em um sinal digital. O ΔΣ ADC 176 inclui um modulador delta sigma em série com um conversor digital/analógico de 1 bit (não é mostrado), cuja estrutura é bem conhecida pelos técnicos na área. O ΔΣ ADC 176 é escolhido de modo a possuir uma elevada faixa dinâmica de modo a impedir distorção indesejável resultante da conversão do sinal IF de frequência relativamente elevada em um sinal digital. O ΔΣ ADC 176 emite um sinal digital de frequência IF para o filtro digital 172.

No filtro digital 172, o sinal digital de frequência IF é convertido descendentemente para frequências de banda base pelo circuito de conversão descendente e redução de taxa de amostragem 184, o circuito de conversão descendente e redução de taxa de amostragem 184 também separa o sinal digital de frequência IF em sinais digitais em fase (I) e em quadratura (Q). O ganho dos sinais digitais de banda base I e Q resultantes é

ajustado no circuito de escalonamento de ganho 186. O circuito de escalonamento de ganho está conectado ao processador/demodulador de banda base 78.

Subsequentemente, o filtro digital programável 188 atenua os sinais de interferência e outros sinais indesejáveis nos sinais digitais de banda base I e Q ajustados em ganho. O filtro digital programável 188 é também projetado para equalizar a resposta de fase composta do filtro digital 172, compensar o descaimento de banda de passagem e remover quaisquer offsets CC presentes nos sinais digitais de banda base I e Q ajustados em ganho. O projeto energeticamente eficiente do filtro digital programável 10 auxilia a relaxar as restrições de projeto sobre o transceptor 170, facilitando sua implementação.

Os sinais I e Q filtrados são emitidos a partir do filtro digital programável 188 e para o circuito de conversão de taxa de amostragem 182. No circuito de conversão de taxa de amostragem 182, a taxa de amostragem para os sinais I e Q é convertida para a taxa de chips, isto é, CHIP×8, em preparação para desespalhamento ("despreading") e processamento adicional no processador/demodulador de banda base 24'. A taxa do conversor de taxa de amostragem 182 adequa a saída do filtro digital 172 à taxa de chips no processador/demodulador de banda base 24'.

O processador/demodulador de banda base 24' provê também os coeficientes programáveis a partir de uma memória (ver 26 da Figura 1) no processador/demodulador de banda base 24', tal como um registrador, para o filtro digital programável 188. Além disso, o processador/demodulador de banda base 24' emite dados tais como voz ou outras informações para a seção de transmissão 180.

A seção de transmissão 180 inclui misturadores, conversores de subida ("up converters"), filtros e assim por diante (não são mostrados) e pode ser montada pelos

técnicos na área. A seção de transmissão 80 prepara o sinal emitido a partir do processador/demodulador de banda base 24' para a rádio transmissão. O sinal preparado é transmitido através da antena 150 por meio do duplexador 152.

O misturador RF para IF 174 requer um sinal de clock IF 190 que é suprido pelo circuito de geração de frequência referência 154. O ΔΣ ADC 176 requer um sinal de clock F ΔΣ 192 com uma frequência de F ΔΣ que corresponde à taxa de amostragem de sinais emitidos a partir do ΔΣ ADC 176. Na presente modalidade, F ΔΣ se encontra na faixa de 60 a 80 MHz para sinais CDMA (múltiplo acesso por divisão de código).

O sinal de clock F ΔΣ 192 é também suprido pelo circuito de geração de frequência referência 154. De forma similar, o circuito de geração de frequência referência 154 supre um sinal de clock F ΔΣ/6 156, um sinal de clock F ΔΣ/2 158 e um sinal de clock CHIP×8 (taxa de chips) 160 para o circuito conversor de taxa de amostragem 182. O sinal de clock CHIP×8 160 é também suprido ao processador/demodulador de banda base 24'.

O circuito de geração de frequência referência 154 pode ser montado pelos técnicos na área através de um ou mais sintetizadores digitais diretos e/ou loops travados em fase e uma referência de frequência tal como de um oscilador de cristal termicamente compensado controlado por voltagem (VC-TCXO).

O transceptor 170 implementa funções de ajuste de ganho, mistura e filtragem no domínio digital através do filtro digital energeticamente eficiente 172, resultando em significativas vantagens de tamanho e consumo de energia. Além disso, problemas de incompatibilidade de ganho e fase

inerentes nas implementações analógicas convencionais são efetivamente eliminados no transceptor 170.

As estruturas de circuitos de conversão de taxa de amostragem que podem ser usadas para o circuito de conversão de taxa de amostragem 182 são conhecidas pelos técnicos na área. No entanto, na modalidade preferida, o circuito de conversão de taxa de amostragem 182 é montado de acordo com os ensinamentos do Pedido de Patente U.S. Nº de Série 09/119 073, depositado em 10 de julho de 1998, por Mathe et al., intitulado LOW-POWER SAMPLE RATE CONVERTER, em nome da Requerente da presente invenção e aqui incorporado por referência.

Dessa forma, a presente invenção foi descrita com referência a uma modalidade específica para uma aplicação particular. Os técnicos na área com acesso aos presentes ensinamentos reconhecerão modificações, aplicações e modalidades adicionais dentro do escopo da mesma.

Se deseja portanto que as reivindicações anexas cubram todas estas aplicações, modificações e modalidades dentro do escopo da presente invenção.

REIVINDICAÇÕES

1. Filtro digital programável (10, 188), compreendendo:

uma primeira seção de filtro de resposta finita ao impulso (FIR) (16) para recepção de um sinal de entrada (28), a primeira seção de filtro de resposta finita ao impulso (FIR) (16) possuindo uma primeira função de transferência;

uma seção de filtro de resposta infinita ao impulso (IIR) (18) conectada à primeira seção de filtro de resposta finita ao impulso (FIR), a primeira seção de filtro de resposta infinita ao impulso possuindo uma segunda função de transferência;

uma segunda seção de filtro de resposta finita ao impulso (FIR) (22) conectada à seção de filtro de resposta infinita ao impulso para emitir um sinal de saída filtrado em resposta à recepção do sinal de entrada pelo filtro digital programável (10), a segunda seção de filtro de resposta finita ao impulso (FIR) possuindo uma terceira função de transferência; e

dispositivos (24) para prover um coeficiente programável nas primeira, segunda ou terceira funções de transferência,

na qual as primeira, segunda e terceira funções de transferência auxiliam no posicionamento de zeros (138,142) em um círculo unitário (132), com zeros espalhados por frequências de banda de corte e zeros adicionais em um eixo real (136) do círculo unitário (132) compensando a banda passante quanto ao descaimento, e pólos (140) próximos a uma borda da banda passante compensando a banda passante quanto ao descaimento e equalizando a resposta de fase do filtro,

o filtro digital programável (10, 188) sendo caracterizado pelo fato de que:

os coeficientes não programáveis das primeira, segunda e terceira funções de transferência são potências de dois; em que a primeira função de transferência possui pelo menos um primeiro coeficiente programável, a segunda função de transferência possui pelo menos um segundo coeficiente programável e a terceira função de transferência possui pelo menos um terceiro coeficiente programável;

a primeira seção de filtro de resposta finita ao impulso (FIR) (16) inclui um primeiro filtro de interferência (38), um segundo filtro de interferência (34) e um terceiro filtro de interferência (30) para remover sinais de interferência de telecomunicações no sinal de entrada (28), em que os primeiro, segundo ou terceiro filtros de interferência possuem uma função de transferência contendo o primeiro coeficiente programável;

os primeiro, segundo e terceiro filtros de interferência possuem primeira, segunda e terceira funções de transferência de filtro de interferência com o primeiro coeficiente programável, um quarto coeficiente programável e um quinto coeficiente programável, respectivamente;

a seção de filtro de resposta infinita ao impulso (18) inclui um primeiro filtro de equalização (42) e um segundo filtro de equalização (44), em que uma entrada do primeiro filtro de equalização está conectada a uma saída da primeira seção de filtro de resposta finita ao impulso (FIR), em que o primeiro ou segundo filtro de equalização possui uma função de transferência contendo o segundo coeficiente programável.

2. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que os

dispositivos (24) para prover um coeficiente programável incluem dispositivos de controle para prover um sinal de controle.

3. Filtro digital programável, de acordo com a reivindicação 2, caracterizado pelo fato de que os dispositivos (24) para prover um coeficiente programável incluem dispositivos registradores para prover os primeiro, segundo e/ou terceiro coeficientes programáveis em resposta ao sinal de controle.

4. Filtro digital programável, de acordo com a reivindicação 3, caracterizado pelo fato de que inclui também uma seção de filtro passa-altas (14) para prover a entrada à primeira seção de filtro de resposta finita ao impulso (FIR).

5. Filtro digital programável, de acordo com a reivindicação 4, caracterizado pelo fato de que inclui adicionalmente um multiplexador (12) para desabilitar seletivamente o filtro passa-altas (14) em resposta a um sinal de controle de *bypass* proveniente dos dispositivos de controle (24).

6. Filtro digital programável, de acordo com a reivindicação 5, caracterizado pelo fato de que os dispositivos de controle (24) incluem um processador (24) para gerar o sinal de controle de *bypass* em resposta à polarização ocorrente no sinal de entrada.

7. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que a seção de filtro de resposta finita ao impulso (FIR) inclui adicionalmente um primeiro circuito de truncamento de bit (40), um segundo circuito de truncamento de bit (36) e um terceiro circuito de truncamento de bit (30) nas saídas dos primeiro, segundo e terceiro filtros de interferência, respectivamente.

8. Filtro digital programável, de acordo com a reivindicação 7, caracterizado pelo fato de que os primeiro, segundo e terceiro circuitos de truncamento de bit incluem dispositivos para remover os três bits mais significativos e os três bits menos significativos provenientes de uma palavra código de entrada.

9. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o primeiro circuito de truncamento de bit está conectado em série em uma saída do primeiro filtro de interferência (38).

10. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o segundo circuito de truncamento de bit está conectado em série entre o primeiro filtro de interferência (38) e o segundo filtro de interferência (34).

11. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o terceiro circuito de truncamento de bit está conectado em série entre o segundo filtro de interferência (34) e o terceiro filtro de interferência (30).

12. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que a primeira seção de filtro de resposta finita ao impulso (16) tem como entrada a saída de um filtro passa-altas (14) seletivamente ativado possuindo uma saída conectada ao terceiro filtro de interferência (30).

13. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o primeiro filtro de interferência possui a seguinte função de transferência:

$$16 + b_1 z^{-1} + 16 z^{-2},$$

em que z é uma variável complexa no domínio z, e b_1 é o primeiro coeficiente.

14. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o segundo filtro de interferência (34) possui a seguinte função de transferência:

$$8 + b_2 z^{-1} + 8z^{-2},$$

em que z é uma variável complexa no domínio z, e b_2 é o quarto coeficiente.

15. Filtro digital programável, de acordo com a reivindicação 8, caracterizado pelo fato de que o terceiro filtro de interferência (30) possui a seguinte função de transferência:

$$4 + b_3 z^{-1} + 4z^{-2},$$

em que z é uma variável complexa no domínio z, e b_3 é o quinto coeficiente.

16. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que o primeiro filtro de equalização (42) possui a seguinte função de transferência:

$$64/\left(64 + a_{11} z^{-1} + a_{12} z^{-2}\right)$$

em que z é uma variável complexa no domínio z, a_{11} é o segundo coeficiente programável, e a_{12} é um sexto coeficiente programável.

17. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que o segundo filtro de equalização (44) possui uma entrada conectada a uma saída do primeiro filtro de equalização e possui a seguinte função de transferência:

$$32/\left(32 + a_{21} z^{-1} + 16 a_{22} z^{-2}\right)$$

em que z é uma variável complexa no domínio z, a_{21} é um sétimo coeficiente programável.

18. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que a segunda

seção de filtro de resposta finita ao impulso (FIR) (20) possui a seguinte função de transferência:

$$-8 + b_4 z^{-1} - 8z^{-2}$$

em que z é uma variável complexa no domínio z, e b_4 é o terceiro coeficiente programável.

19. Filtro digital programável, de acordo com a reivindicação 1, caracterizado pelo fato de que inclui adicionalmente um circuito de correção de polarização e ganho (22) para remover qualquer polarização no sinal de saída e ajustar o ganho do sinal de saída.

20. Filtro digital programável, de acordo com a reivindicação 19, caracterizado pelo fato de que o circuito de correção de polarização e ganho (22) inclui um subtrator (46) para subtrair uma polarização proveniente do sinal de saída e prover um sinal compensado em offset em resposta ao mesmo.

21. Filtro digital programável, de acordo com a reivindicação 20, caracterizado pelo fato de que o circuito de correção de polarização e ganho (22) inclui adicionalmente dispositivos para remover (48) um número predeterminado de bits menos significativos provenientes de uma palavra código no sinal compensado em offset e prover um sinal corrigido em bits em resposta ao mesmo.

22. Filtro digital programável, de acordo com a reivindicação 21, caracterizado pelo fato de que o número predeterminado é seis.

23. Filtro digital programável, de acordo com a reivindicação 21, caracterizado pelo fato de que o circuito de correção de polarização e ganho inclui adicionalmente um multiplicador (50) para multiplicar o sinal corrigido em bits por um fator programável e prover um sinal ajustado em ganho em resposta ao mesmo.

24. Filtro digital programável, de acordo com a reivindicação 23, caracterizado pelo fato de que o circuito de correção de polarização e ganho (22) inclui adicionalmente dispositivos para remover (52) um primeiro número predeterminado de bits menos significativos e um segundo número predeterminado de bits mais significativos provenientes de uma palavra código no sinal ajustado em ganho e prover um sinal de saída de filtro de saída digital programável em resposta ao mesmo.

25. Filtro digital programável, de acordo com a reivindicação 24, caracterizado pelo fato de que o primeiro número predeterminado é três e o segundo número predeterminado é quatro.

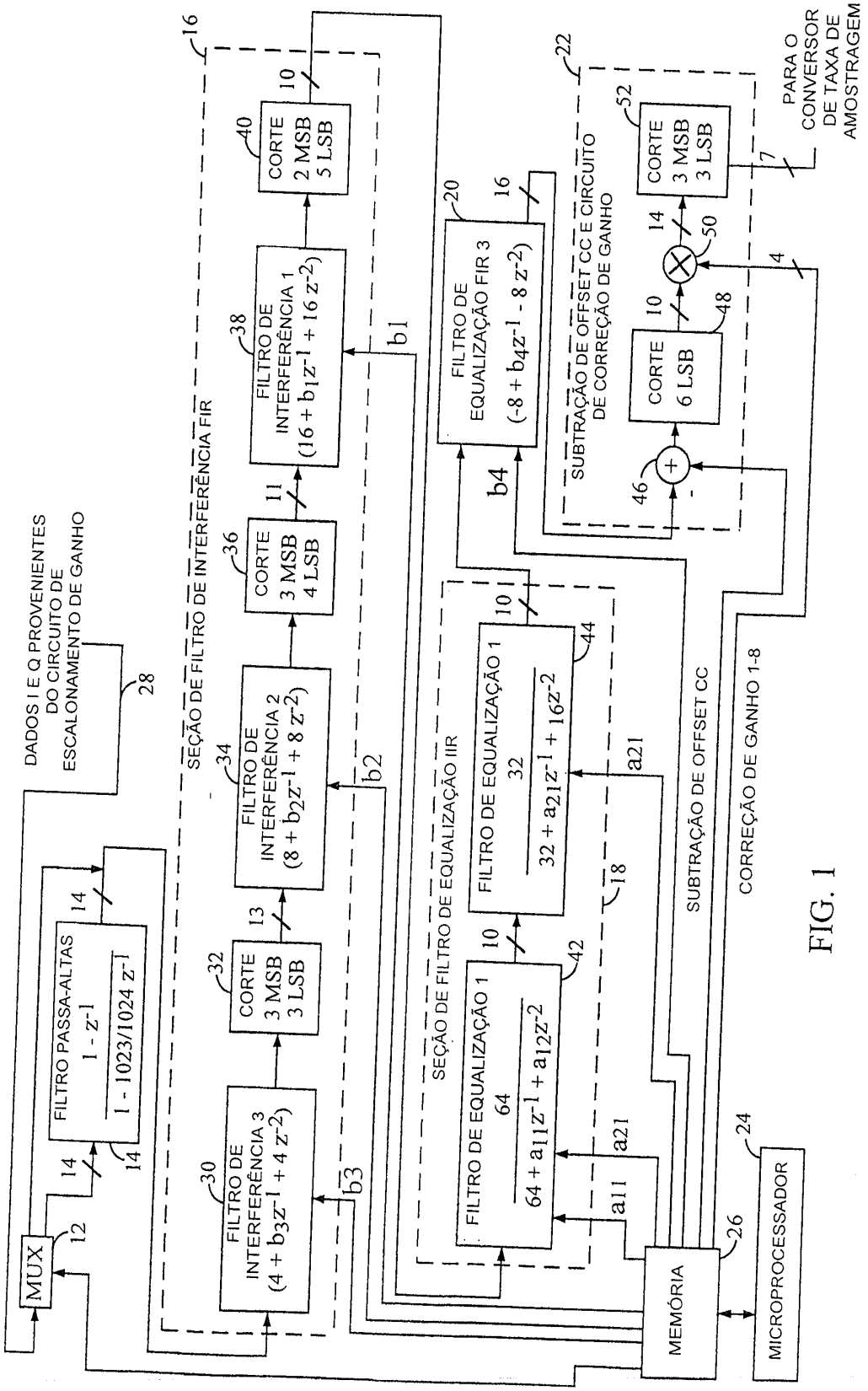
DADOS I E Q PROVENIENTES DO CIRCUITO DE ESCALONAMENTO DE GANHO
28
SEÇÃO DE FILTRO DE INTERFERÊNCIA FIR
16
MUX
12
FILTRO PASSA-ALTAS
1 - z-1
1 - 1023/1024 z-1
14
14
14
FILTRO DE INTERFERÊNCIA 3
(4 + b3z-1 + 4 z-2)
30
CORTE
3 MSB
3 LSB
32
13
FILTRO DE INTERFERÊNCIA 2
(8 + b2z-1 + 8 z-2)
34
CORTE
3 MSB
4 LSB
36
11
FILTRO DE INTERFERÊNCIA 1
(16 + b1z-1 + 16 z-2)
38
CORTE
2 MSB
5 LSB
40
10
b3
b2
b1
SEÇÃO DE FILTRO DE EQUALIZAÇÃO IIR
FILTRO DE EQUALIZAÇÃO 1
64 + a11z-1 + a12z-2
64
42
10
FILTRO DE EQUALIZAÇÃO 1
32 + a21z-1 + 16z-2
32
44
10
18
a11
a21
a21
FILTRO DE EQUALIZAÇÃO FIR 3
(-8 + b4z-1 - 8 z-2)
20
16
b4
SUBTRAÇÃO DE OFFSET CC E CIRCUITO DE CORREÇÃO DE GANHO
22
46
+
-
CORTE
6 LSB
10
48
14
50
CORTE
3 MSB
3 LSB
52
7
PARA O CONVERSOR DE TAXA DE AMOSTRAGEM
4
MEMÓRIA
26
MICROPROCESSADOR
24
SUBTRAÇÃO DE OFFSET CC
CORREÇÃO DE GANHO 1-8

FIG. 1

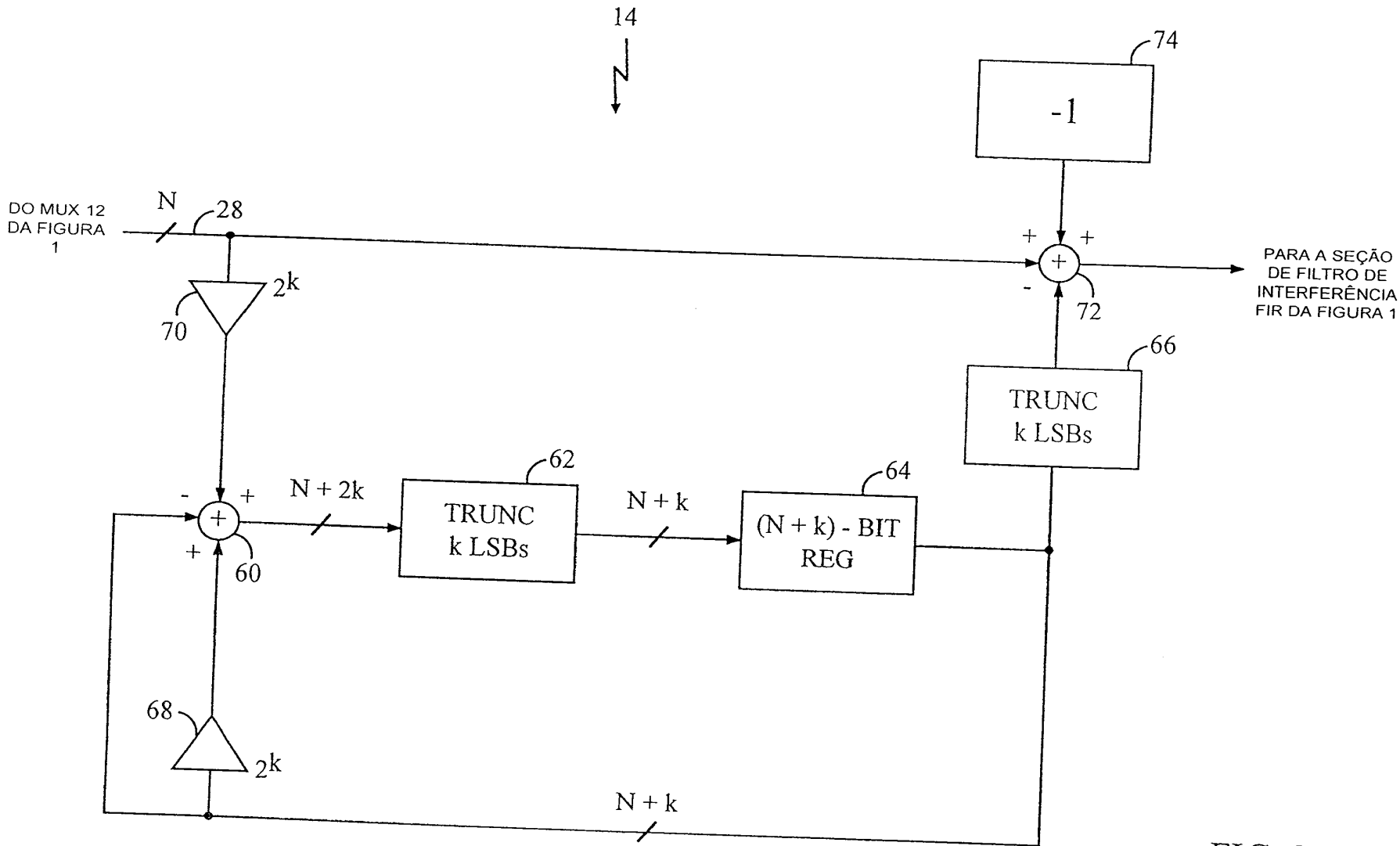
14
74
-1
DO MUX 12
DA FIGURA
1
N
28
+
+
-
72
PARA A SEÇÃO
DE FILTRO DE
INTERFERÊNCIA
FIR DA FIGURA 1
2k
70
66
TRUNC
k LSBs
62
64
-
+
N + 2k
TRUNC
k LSBs
N + k
(N + k) - BIT
REG
+
60
68
2k
N + k

FIG. 2

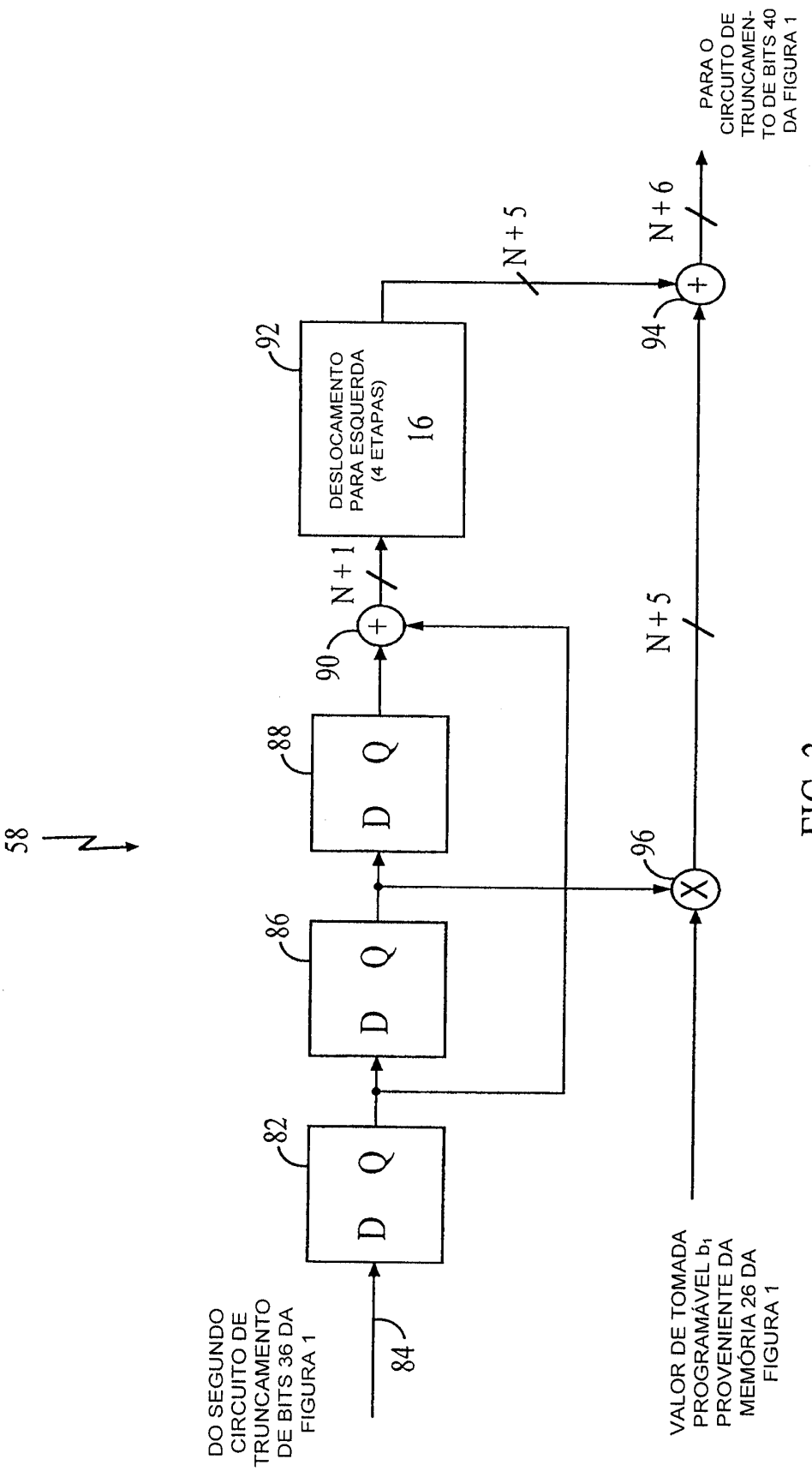
58
N
DO SEGUNDO CIRCUITO DE TRUNCAMENTO DE BITS 36 DA FIGURA 1
84
82
D Q
86
D Q
88
D Q
90
+
N + 1
DESLOCAMENTO PARA ESQUERDA (4 ETAPAS)
16
92
N + 5
94
+
N + 6
PARA O CIRCUITO DE TRUNCAMENTO DE BITS 40 DA FIGURA 1
N + 5
96
X
VALOR DE TOMADA PROGRAMÁVEL b_1 PROVENIENTE DA MEMÓRIA 26 DA FIGURA 1

FIG. 3

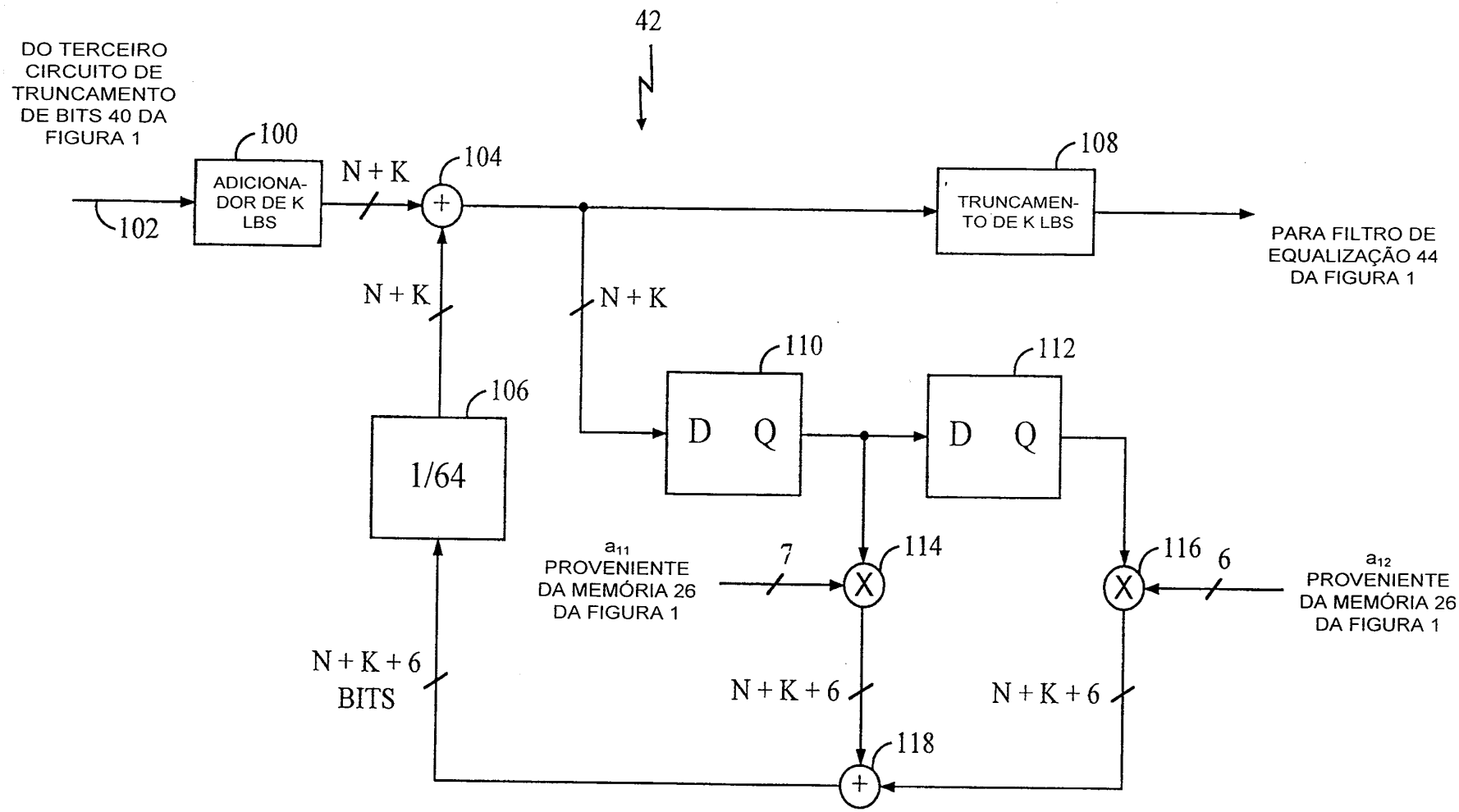
42
DO TERCEIRO CIRCUITO DE TRUNCAMENTO DE BITS 40 DA FIGURA 1
102
100
ADICIONA-DOR DE K LBS
N + K
104
108
TRUNCAMEN-TO DE K LBS
PARA FILTRO DE EQUALIZAÇÃO 44 DA FIGURA 1
N + K
N + K
106
1/64
110
D Q
112
D Q
a11 PROVENIENTE DA MEMÓRIA 26 DA FIGURA 1
7
114
116
6
a12 PROVENIENTE DA MEMÓRIA 26 DA FIGURA 1
N + K + 6 BITS
N + K + 6
N + K + 6
118

FIG. 4

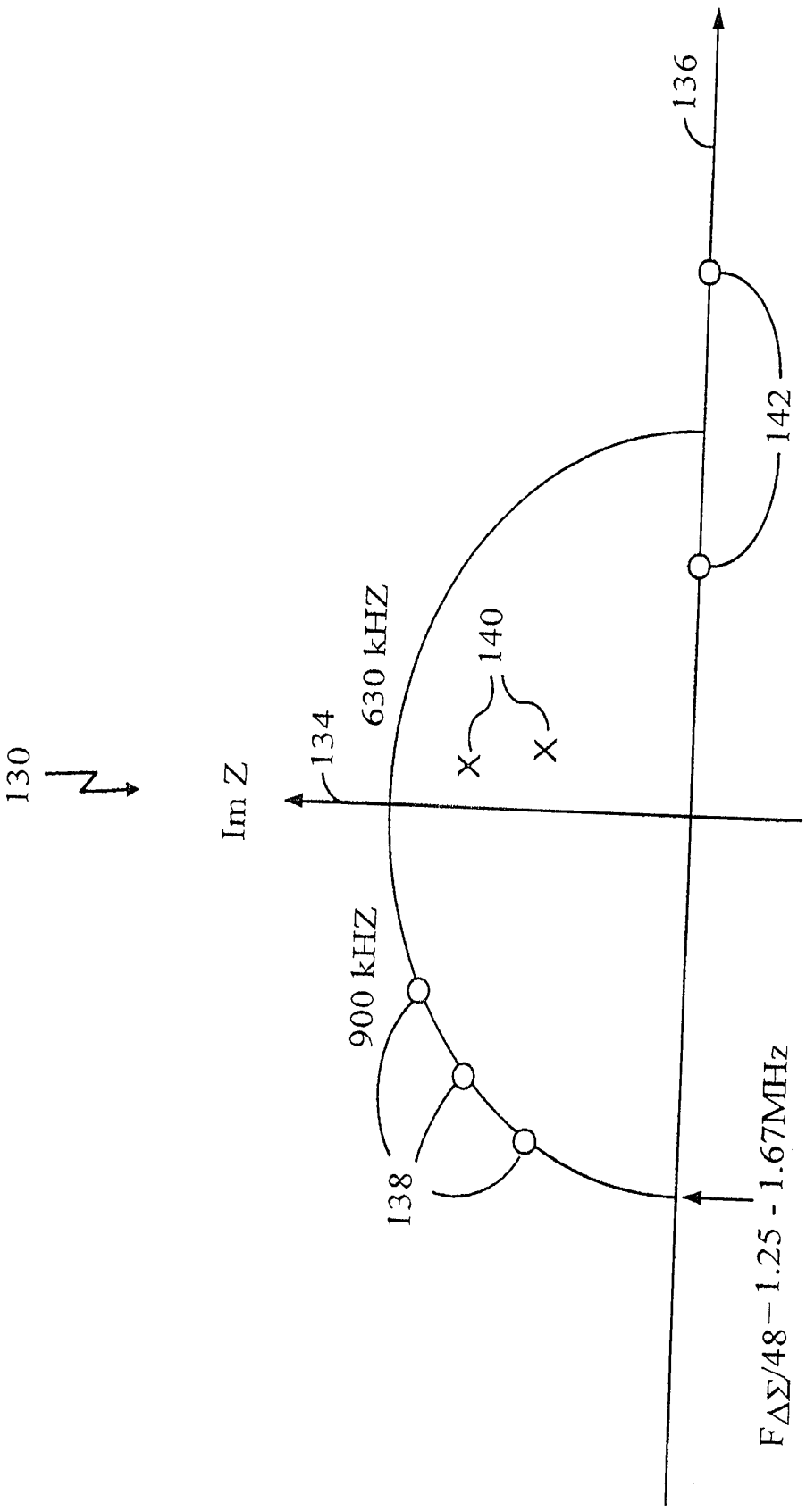

FIG. 5

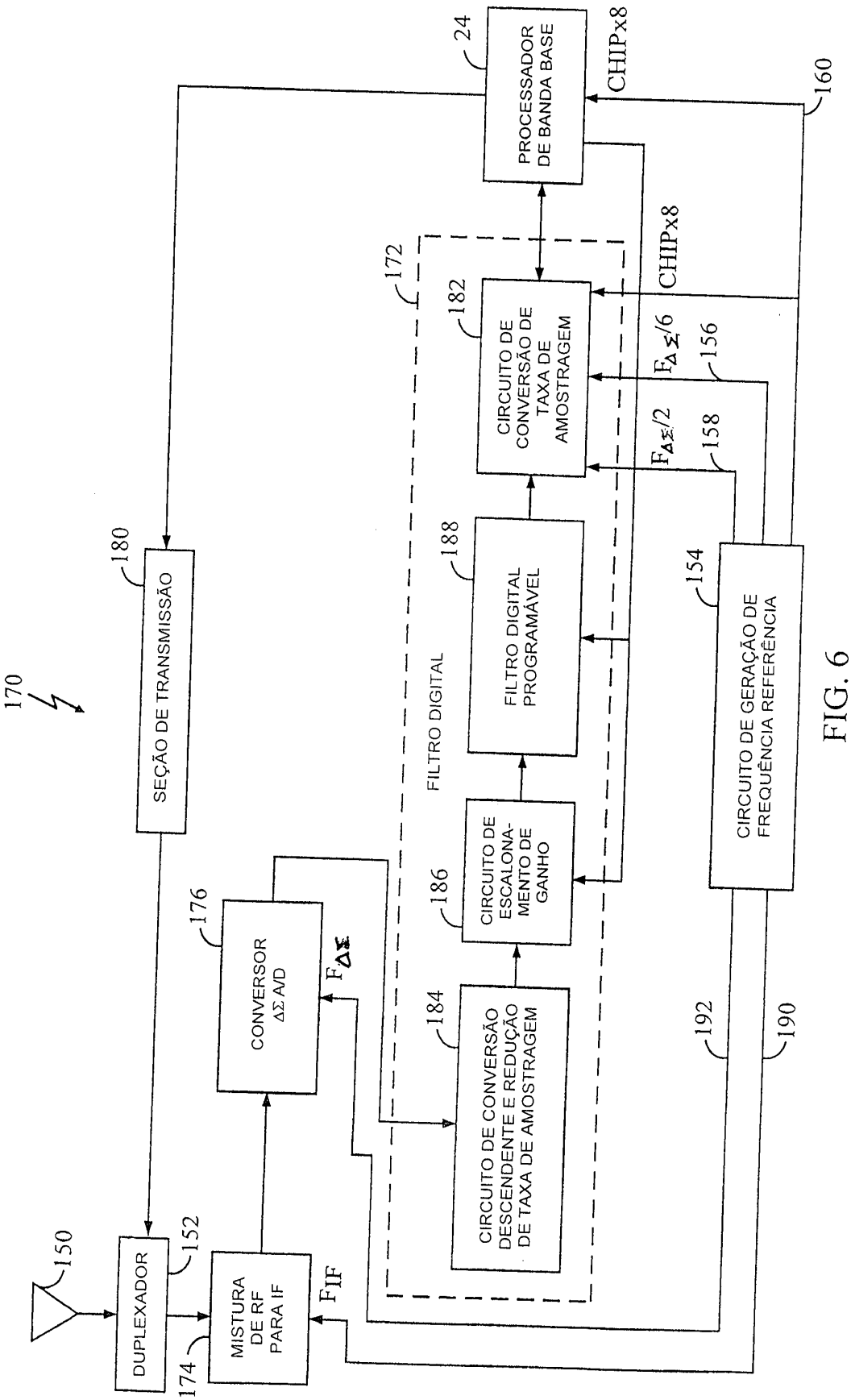
170
150
DUPLEXADOR
152
174
MISTURA DE RF PARA IF
F_{IF}
SEÇÃO DE TRANSMISSÃO
180
CONVERSOR ΔΣ A/D
176
$F_{\Delta\Sigma}$
FILTRO DIGITAL
CIRCUITO DE CONVERSÃO DESCENDENTE E REDUÇÃO DE TAXA DE AMOSTRAGEM
184
CIRCUITO DE ESCALONA-MENTO DE GANHO
186
FILTRO DIGITAL PROGRAMÁVEL
188
CIRCUITO DE CONVERSÃO DE TAXA DE AMOSTRAGEM
182
172
PROCESSADOR DE BANDA BASE
24
CHIPx8
160
CHIPx8
$F_{\Delta\Sigma}/6$
156
$F_{\Delta\Sigma}/2$
158
CIRCUITO DE GERAÇÃO DE FREQUÊNCIA REFERÊNCIA
154
192
190

FIG. 6

RESUMO

"FILTRO DIGITAL PROGRAMÁVEL DE BAIXA POTÊNCIA"

Um filtro digital programável de baixa potência (10) adaptado para uso com um transceptor de um sistema de telecomunicações. O filtro digital (10) inclui uma primeira seção de filtro de resposta finita ao impulso (FIR) para recepção de um sinal de entrada e possuindo uma primeira função de transferência. Uma seção de filtro de resposta infinita ao impulso (IIR) (18) está conectada à primeira seção de filtro de resposta finita ao impulso (FIR) e possui uma segunda função de transferência. Uma segunda seção de filtro de resposta finita ao impulso (FIR) (22) está conectada à seção de filtro de resposta infinita ao impulso (IIR) e emite um sinal de saída filtrado em resposta à recepção do sinal de entrada (28) pelo filtro digital programável (10).