申請日期：91.2.4	案號：91102215
類別：H01L 27/01	

（以上各欄由本局填註）

發明專利說明書 522544

一、發明名稱	中文	半導體結晶之製造方法及半導體元件
	英文	
二、發明人	姓名（中文）	1. 永井誠二 2. 富田一義
	姓名（英文）	1. 2. 冨田一義
	國籍	1. 日本 2. 日本
	住、居所	1. 日本國愛知縣西春日井郡春日町大字落合字長畑1番地 豊田合成株式会社内 2. 日本國愛知縣愛知郡長久手町大字長湫字横道41番地の1 株式会社豊田中央研究所内
三、申請人	姓名（名稱）（中文）	1. 豊田合成股份有限公司
	姓名（名稱）（英文）	1. TOYODA GOSEI CO., LTD.（豊田合成株式会社）
	國籍	1. 日本
	住、居所（事務所）	1. 日本國愛知縣西春日井郡春日町大字落合字長畑1番地
	代表人姓名（中文）	1. 松浦剛
	代表人姓名（英文）	1.

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2001/03/30	2001-098870	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明（1）

發明所屬之技術領域

本發明係關於，藉由在由矽(Si)所形成的底層基板上生長由III族氮化物系化合物半導體所構成之結晶以製得半導體基板的方法。又，本發明亦為關於以所述之半導體基板作為結晶生長基板所製造之III族氮化物系化合物半導體元件。

習知之技術

圖5為用以例示在矽基板(底層基板)上進行結晶生長之習知之半導體結晶的示意截面圖。於此結晶生長步驟中，係採用MOCVD法，如在本圖5中所例示般，於以習知的技術在矽基板(底層基板)上進行高溫生長之半導體結晶(氮化鎵結晶等)中，會產生「反應部」及移位、裂痕等。

發明所欲解決之課題

移位及裂痕，係基於異種材料間之熱膨脹係數差及晶格常數差產生的應力所作用之結果而產生者，以這樣的結晶生長基板來製造各種半導體元件(device)之情況，會導致元件特性的劣化。

又，例如將把由矽等所構成之底層基板除去只留下生長層，以期得到獨立之基板(結晶)之情況，因於上述的移位及裂痕等之作用，欲得到大面積($1cm^2$以上)者幾乎是不可能的。

又，於目的之半導體基板(半導體結晶A)的結晶生長溫度之1000℃~1150℃附近矽會與氮化鎵反應，會有形成多結晶的氮化鎵(圖中的「反應部」)之情形。因此，欲經由

五、發明說明（2）

高溫的結晶生長過程得到單結晶的氮化鎵基板並非容易等等，是問題所在。

本發明係用來解決上述的課題而提出者，其目的在於，用比較廉價的矽作為底層基板來製得無裂痕並無多結晶塊（反應部）之高品質的半導體結晶。又，本發明之又一目的在於，藉由使用所製成之高品質之上述的半導體結晶作為結晶生長基板，來製造高品質的半導體元件。

用以解決課題之手段、及作用以及發明之效果

為了解決上述的課題，下述的手段是有效的。

亦即，第1手段，為一種半導體結晶之製造方法，其係利用橫方向結晶生長作用，藉由在由矽所形成之底層基板上生長由III族氮化物系化合物半導體所構成之半導體結晶A，而製得半導體基板之方法，其係具有下述諸步驟：反應防止步驟，於底層基板上，形成融點或耐熱性高於半導體結晶A之晶質材料B所構成的反應防止層膜；突起部形成步驟，經由化學性或物理性的蝕刻，以在形成有反應防止層膜之一側的單面上不使底層基板露出而自反應防止層形成多數個突起部；以及結晶生長步驟，以此突起部的表面之至少一部份作為半導體結晶A開始結晶生長之最初的生長面，使半導體結晶A進行結晶生長直到此生長面相互連結至少成為連貫的平面為止。

唯，由上述半導體結晶A所構成之上述半導體基板，可為單層構造亦可為複層構造（多層構造）。

又，此處所謂之「III族氮化物系化合物半導體」，通

五、發明說明 (3)

常含有2成分、3成分或4成分之由「$Al_xGa_yIn_{(1-x-y)}N$($0 \leqq x \leqq 1$，$0 \leqq y \leqq 1$，$0 \leqq x+y \leqq 1$)」所成之通式所代表之任意的混晶比之半導體，再者，添加有p型或n型雜質之半導體亦屬本說明書之「III族氮化物系化合物半導體」的範疇。

又，將上述III族元素(Al、Ga、In)之中的一部份，以硼(B)或鉈(Tl)等取代，或氮(N)的一部份以磷(P)、砷(As)、銻(Sb)、鉍(Bi)等取代之半導體等，亦屬本說明書之「III族氮化物系化合物半導體」的範疇。

又，作為上述之p型的雜質，可添加例如鎂(Mg)及/或鈣(Ca)等。

又，作為上述之n型的雜質，可添加例如矽(Si)、硫(S)、硒(Se)、鍗(Te)或鍺(Ge)等。

又，此等之雜質，可同時添加2元素以上，亦可同時添加2型(p型與n型)。

圖1為用以例示說明本發明的基本概念之半導體結晶之製造步驟中之示意截面圖。此反應防止層，係用以防止矽與鎵系的半導體間之反應者，如此般，藉由在底層基板(矽基板)上成膜成由較氮化鎵系的半導體(半導體結晶A)的融點或耐熱性高之例如SiC或AlN等所成之反應防止層(晶質材料B)，即使於須使氮化鎵系的半導體(半導體結晶A)進行長時間結晶生長之情況，也不會在矽界面附近形成上述的「反應部」。

又，藉由形成多數個突起部，氮化鎵系的半導體(半導體結晶A)，以突起部的平頂部為起點亦進行橫方向生長。

五、發明說明（4）

藉此，基於反應防止層與氮化鎵系的半導體結晶A之間的晶格常數差之應力不易產生，而可大幅緩和應力。

又，藉由形成多數個突起部，可緩和作用於反應防止層之應力，故此等應力難以對反應防止層作用以使其形成縱方向的裂痕，因此，於反應防止層之縱方向貫穿之裂痕不易產生。因此之故，可經由縱方向沒有貫穿之裂痕的反應防止層，將底層基板（矽基板）與氮化鎵系的半導體（半導體結晶A）完全地隔絕，故可更確實地防止上述般的「反應部」之產生。

又，例如，由於藉由形成上述般的突起部，可將反應防止層與半導體基板（即，所要之半導體結晶A）之間的接觸部位限定成較狹小，故基於兩者的晶格常數差之變形不易變大。「基於底層基板與半導體基板之間的晶格常數差之應力」可得以緩和。因此，半導體基板（所要的半導體結晶A）於結晶生長之時，可抑制生長中之作用於半導體基板之不要的應力，而減低移位及裂痕的發生密度。

亦即，藉由上述之應力緩和作用，於氮化鎵系的半導體（半導體結晶A）中之移位難以產生，且可大幅地減低裂痕的發生密度。

藉由與上述作用的相乘效果，使得上述之沒有「反應部」及裂痕、移位密度經充分抑制之高品質的半導體基板（半導體結晶A）之製得成為可能或變得容易。

又，本圖中之緩衝層C，係採行在必要時可插入之型態，於本發明之實施上，此等緩衝層並非一定必要的構成要

五、發明說明 (5)

素。亦即，即使於未設置緩衝層之情況下，亦可得到一定程度以上之本發明的作用・效果。

又，第2手段，係於上述的第1手段中，上述之半導體結晶A，係由可滿足組成式「$Al_xGa_yIn_{(1-x-y)}N$($0 \leqq x<1$，$0<y \leqq 1$，$x+y \leqq 1$)」之III族氮化物系化合物半導體所構成。

又，第3手段，為於上述的第1或第2手段中，作為形成反應防止層之晶質材料B，係使用碳化矽(SiC)、氮化鋁(AlN)、或尖晶石($MgAl_2O_4$)。

又，第4手段，為於上述的第1或第2手段中，作為形成反應防止層之晶質材料B，係使用鋁組成比至少為0.30以上之AlGaN、AlInN、或AlGaInN。又，更進一步，作為晶質材料B，以選擇晶格常數為未滿3.18Å之原子間結合力比較強固的耐熱性(融點)高之安定的材料為佳。

又，第5手段，為在上述之第1至第4之任一手段中，藉由使生長面向橫方向生長並使彼此相互連結，在突起部間形成因為半導體結晶A未積層所成之空洞。

這樣的空洞，以儘可能大為佳，唯，若過分大則連結後會有難以得到大致平面狀的生長面之情況，須要注意。

又，第6手段，係於上述第1至第5中任一手段中，使突起部間的反應防止層的谷部之膜厚形成為0.1μm以上2μm以下。

此厚度若太薄，由於膜厚會有不均，或由於形成反應防止層之上述的晶質材料B並非充分安定的物質之故，使得無法將鎵(Ga)或氮化鎵(GaN)與矽(Si)完全地隔絕。因而

五、發明說明（6）

無法充分得到基於此等反應之「反應部（多結晶的氮化鎵）」的形成防止效果。

又，反應防止層的谷底之膜厚若太厚，則於反應防止層的谷部易產生裂痕，而無法將鎵（Ga）或氮化鎵（GaN）與矽（Si）完全地隔絕。因而無法充分得到基於此等反應之「反應部（多結晶的氮化鎵）」的形成防止效果。

又，反應防止層的谷部之膜厚若過厚，則由於過厚的部分須額外的積層時間及積層材料，於生產成本等方面亦非所期望。

又，第7手段，係在上述第1至第6中任一手段之突起部形成步驟中，使突起部的縱方向的高度形成為0.5 μm以上20 μm以下。更佳者為，突起部的縱方向的高度形成為1 μm以上5 μm以下。

此突起部若過低，則或上述的空洞會變小、或半導體結晶A的橫方向結晶生長變成不充分致應力緩和作用不充分，非所期望。又，此突起部若過高，過高的部分須額外的積層時間及蝕刻時間、或積層材料，於生產成本等方面非所期望。

又，第8手段，係於上述第1至第7中任一手段之突起部形成步驟中，使突起部的橫方向的粗度、寬度或直徑形成為0.1 μm以上10 μm以下。更佳者雖亦依於結晶生長的實施條件，以突起部的橫方向的粗度、寬度或直徑為0.5~5 μm程度為佳。

此粗度若過粗，則基於晶格常數差之對半導體基板（生

五、發明說明（7）

長層）作用之應力的影響會變大，致半導體基板的移位數目容易增加。又，若過細，則突起部本身的形成變得困難，或突起部的頭頂部之結晶生長速度b會變慢，非所期望。

又，第9手段，係在上述第1至第8中任一手段中，設置下述之分離步驟：藉由將半導體結晶A與底層基板冷卻或加熱，使其基於半導體結晶A與底層基板之熱膨脹係數差而發生應力，藉由利用此應力使突起部斷裂，而使半導體結晶A與底層基板分離。

例如，如圖1所示般，在具有多數個突起部之底層基板上進行生長由III族氮化物系化合物半導體所構成之半導體基板（半導體結晶A）之情況，經由調整突起部的大小與配置間隔與結晶生長諸條件等，在各突起部間（突起部的側方），可形成未積層半導體結晶A的空洞。因此，與突起部的高度相比，若使半導體基板（半導體結晶A）的厚度充分地厚，則內部應力或外部應力會容易集中地作用於此突起部。其結果，尤其是此等應力作用為對於突起部之剪斷應力等，當此應力變大時，突起部會斷裂。

因而，若利用此應力，可容易地將底層基板與半導體基板分離（剝離）。又，上述的「空洞」形成得愈大，在突起部之應力（剪斷應力）愈容易集中。

亦即，依於上述第9手段，則由於可容易地生成上述的應力，故可將半導體結晶A與底層基板容易地分離。

又，在將底層基板與半導體基板分離（剝離）之時，即使

五、發明說明（8）

在底層基板側殘留有半導體基板的一部份亦可，或在半導體基板側殘留有底層基板的一部份（例如：突起部的斷裂殘骸）亦可。亦即，上述的分離步驟，並非以完全沒有此等材料的一部份之殘骸作為前提（必要條件）。

如此般的斷裂殘骸等之除去，必要時，亦可用磨除或蝕刻等之周知的手段來實施。

又，第10手段，係於上述的第1至第9中之任一手段之結晶生長步驟中，使半導體結晶A積層50 μm以上。

此厚度愈厚，愈可緩和對於半導體基板（半導體結晶A）之拉伸應力，而可減少半導體基板的移位及裂痕的發生密度，同時可使半導體基板更加強固，故可使上述應力容易集中於上述之突起部。

又，底層基板（矽基板）的厚度，以300 μm以下為佳。此厚度愈薄，愈可緩和對半導體基板（半導體結晶A）之拉伸應力，使半導體基板的移位及裂痕的發生密度減少。唯，底層基板的厚度若未滿50 μm，則底層基板本身的絕對強度方面會產生問題，致難以維持高生產性。因而，欲確保製造之結晶生長基板的品質與生產性，底層基板的厚度以50 μm以上300 μm以下為佳。

又，相對地，生長結晶之半導體基板（半導體結晶A）的厚度，以作成為與底層基板（矽基板）的厚度大致相同，或較厚為佳。藉由此般的設定，可易於緩和對半導體基板之拉伸應力，使半導體基板的移位及裂痕的發生較習知者大幅地得到抑制。此效果，於相對地半導體基板作成愈厚時

五、發明說明 (9)

效果愈大。

又，第11手段，係於上述的第1至第10中任一手段之結晶生長步驟中，藉由調整III族氮化物系化合物半導體的原料供給量q，以使在底層基板的突起部的谷部之至少一部份的被浸蝕區域之III族氮化物系化合物半導體的結晶生長速度a、與在突起部的頭頂部之結晶生長速度b之間的差分(b-a)，控制於大致最大值。

依於此手段，於突起部的頭頂部附近的結晶生長速度會相對地變大，上述之被浸蝕區域附近的結晶生長則比較地被抑制，致源自頭頂部附近的結晶生長成為主導性者。其結果，由突起部的頭頂部附近開始之半導體基板(半導體結晶A)的橫方向生長變得顯著，而可緩和半導體基板的結晶生長時作用於「基於反應防止層與半導體基板之間的晶格常數差之應力」。因而，半導體基板的結晶構造可安定，於半導體基板上之移位及裂痕難以發生。

又，半導體基板的橫方向生長(ELO)若變得顯著，則例如，在突起部的側方(各突起部間)容易形成比較大的空洞。

以適當的大小、間隔、或週期在底層基板的表面上形成凹凸之情況，通常，在底層基板的外圍側壁附近的周邊部分以外，與凸部(突起部)的上面附近相比，凹部(谷部)的一方之單位時間．單位面積之結晶材料的供給量容易變少。此傾向，雖亦依存於結晶材料的氣體流之流量、溫度、方向等，唯藉由將此等諸條件控制於最適、或較佳之

五、發明說明（10）

情況，可使上述的差分(b-a)控制於大致最大值。

又，第12手段，係於上述的第11手段中，將原料供給量q設定於1 μmol/min以上100 μmol/min以下。

較佳者為，將上述原料供給量q設定於5 μmol/min以上90 μmol/min以下。作為更佳之值，雖亦依存於所形成的突起部之大小、形狀、配置間隔等之底層基板的規格，與供給原料的種類及供給流方向、結晶生長法等之諸條件，概略而言以10~80 μmol/min程度為理想的。此值若過大，則欲將上述的差分(b-a)控制於大致最大值會變得困難，故難以在各突起部間(突起部的側方)形成大的空洞。因而，於此般的情況中，比較地難以緩和基於晶格常數差之結晶內的應力，容易導致致移位之發生等之半導體基板的單結晶之結晶性劣化，故非所期望。

又，藉由應力(剪斷應力)，將底層基板與半導體基板分離之時，若突起部側方沒有空洞，或此空洞小，則應力難以集中於突起部，致突起部不易斷裂，故非所期望。

另一方面，若原料供給量q過小，則結晶生長時間太過費時，於生產性方面不利，非所期望。

又，第13手段，係於上述的第1至第12中任一手段中，在突起部形成步驟後具有下述步驟：至少於上述突起部的表面形成由「$Al_xGa_{1-x}N(0<x\leqq1)$」所構成之緩衝層C之步驟。

唯，上述緩衝層C，係於400℃~1100℃附近生長之AlN或AlGaN等的半導體層，亦可於此緩衝層C之外，更進一步以

五、發明說明 (11)

與上述緩衝層C大致同組成(例如：AlN或AlGaN)的中間層(以下，有時亦單只稱作「緩衝層」)作週期性地，或與其他層交互地，或者以構成多層構造之方式，積層於半導體基板(半導體結晶A)中。

藉由此等緩衝層(或中間層)積層可緩和起因於晶格常數差之作用於半導體基板(生長層)之應力等，經由與習知者同樣的作用原理，可提高結晶性。

又，此等作用·效果，在構成反應防止層之晶質材料B為碳化矽(SiC)等之情況時尤其顯著。

又，第14手段，係於上述之第13手段中，使緩衝層C的膜厚形成為0.01 μm以上1 μm以下。

藉由此手段，可使在緩衝層上形成所要的半導體結晶A(例如：氮化鎵層)單獨以橫方向作良質地生長。

又，緩衝層的膜厚，以0.01 μm～1 μm為概略的適當之範圍，而以0.1 μm以上0.5 μm以下為佳。此膜厚若過厚，則空洞容易變小，非所期望。又，此膜厚若過薄，則欲大致均一地成膜成緩衝層會有困難。尤其是，在突起部的附近之緩衝層會產生成膜不均(有未充分成膜之部位)的情形，則於結晶性亦會發生不均的情形，非所期望。

又，第15手段，係於上述的第1至第14中任一手段之突起部形成步驟中，以使突起部以大致等間隔或大致一定週期配置之方式來形成突起部。

藉此，整體上橫方向生長的生長條件成為大致均等，難以產生影響結晶性良窳之不均的情形。

五、發明說明 (12)

又，藉由本手段，由於上述的空洞各自成為大致均等的大小，上述的剪斷應力可大致均等地分配於各突起部，因此，全部突起部的斷裂會無差別地產生，可使底層基板與半導體基板間的分離得以確實地實施。

又，突起部間的谷部的上方，在被半導體基板之完全覆蓋之前，不易產生局部的不均情形，因此，於自結晶生長速度慢的結晶生長法，於途中變更為結晶生長速度快的結晶生長法之情況，其變更之時點之明確地、早期地、或斷然地作決定可變得容易。

又，第16手段，係於上述之第15手段之突起部形成步驟中，在1邊為0.1 μm以上的大致正三角形為基調之2次元三角格子的格子點上形成上述突起部。

經由此手段，可使上述之第15手段具體地正確、確實地實施，藉此，可確實地減低移位的數目。

又，第17手段，係於上述第1至第16中任一手段之突起部形成步驟中，將突起部的水平截面形狀作成為大致正三角形、大致正六角形、大致圓形、大致矩形、大致菱形、或大致平行四邊形。

藉由此手段，由於以III族氮化物系化合物半導體所形成之結晶的結晶軸之方向於各部分容易齊一，或由於可將對於任意的水平方向之突起部的水平方向之長度限制於大致一樣之故，可抑制移位的數目。尤其是，正六角形或正三角形或平行四邊形等，容易與半導體結晶的結晶構造相稱，為較佳者。又，圓形及矩形，於製造的技術面上容易

五、發明說明 (13)

形成而言，可比照現行一般的加工技術水準的現狀，為其優點。

又，第18手段，係於上述第1至第17中任一手段之突起部形成步驟中，將突起部的配置間隔作成為0.1 μm以上10 μm以下。較佳者，雖亦依存於結晶生長的實施條件，唯突起部的配置間隔以0.5~8 μm程度為佳。此處所謂之配置間隔，係指相互鄰近之各突起部的中心點間的距離。

藉由此手段，於使將突起部的谷部的上方以目的之半導體基板(半導體結晶A)覆蓋成為可能之同時，在突起部間(突起部的谷部)形成空洞也成為可能。

此值若太小，則幾乎得不到ELO的作用，而無法充分得到應力緩和作用，致結晶性劣化。又，形成之空洞若太小，且半導體基板的膜厚未大於必要以上，則突起部會變得不易斷裂。

又，此值若過大，則無法確實地使突起部的上方以半導體基板覆蓋，致無法得到均質且良質的半導體基板(半導體結晶A)。

或者，此值若更大，則谷部的露出面會變成太寬廣，幾乎無法得到ELO的作用，且致空洞完全無法形成。

又，第19手段，係於上述第1至第18中任一手段之反應防止步驟中，在底層基板上的表裏兩面成膜成反應防止層。

藉此，可防止或緩和在反應防止步驟後產生之底層基板(矽基板)的反曲(彎曲)。

五、發明說明（14）

又，第20手段，係於III族氮化物系化合物半導體中，具有使用上述第1至第19中任一手段製造之半導體結晶作為結晶生長基板。

依於此手段，經由結晶性為良質且內部應力小之半導體來製造III族氮化物系化合物半導體元件，成為可能或成為容易。

又，第21手段，係使用上述第1至第19中任一手段製造之半導體結晶作為結晶生長基板，藉由在其上進行結晶生長而製造III族氮化物系化合物半導體元件。

依於此手段，經由結晶性為良質且內部應力小之半導體來製造III族氮化物系化合物半導體元件，成為可能或成為容易。

藉由上述之本發明之手段，可將上述的課題有效地或合理地解決。

發明之實施形態

於實施本發明之時，可由後述之中的各個製造條件作分別而任意的選擇。又，此等製造條件，亦可任意地加以組合。

首先，先就作為形成III族氮化物系化合物半導體之方法而言，以有機金屬氣相（生長法MOCVD或MOVPE）為佳。然而，亦使用可由分子束氣相生長法（MBE）、鹵素氣相生長法（Halide VPE）、液相生長法（LPE）等，又，各層亦可以分別相異之生長方法來形成。

又，有關緩衝層，就矯正晶格不匹配等之理由，以形成

五、發明說明 (15)

於結晶生長基板中，或底層基板等上面為佳。

尤其是，在半導體基板(半導體結晶A)中進行緩衝層(上述之中間層)積層之情況，作為此等緩衝層，可使用在低溫形成之III族氮化物系化合物半導體$Al_xGa_yIn_{(1-x-y)}N$($0 \leqq x<1$，$0 \leqq y<1$，$0<x+y \leqq 1$)，更佳者為使用Al_xGa_{1-x}($0 \leqq x \leqq 1$)。此緩衝層可為單層，亦可為組成等相異之多重層。緩衝層之形成方法，可在380~420℃的低溫下形成，亦可相反地於1000~1180℃的範圍下以MOCVD法形成。又，用DC磁控管濺鍍裝置，以高純度金屬鋁與氮氣作為原料，藉由反應性濺鍍法形成由AlN所構成之緩衝層亦可。

同樣地，可形成通式為$Al_xGa_yIn_{(1-x-y)}N$($0 \leqq x<1$，$0 \leqq y<1$，$0<x+y \leqq 1$，組成比為任意)的緩衝層。更進一步，亦可使用離子鍍法、雷射燒蝕法、ECR法。藉由物理蒸鍍法之緩衝層，以在200～600℃下進行為佳。較佳者為300～600℃，更佳者為350～450℃。於使用此等濺鍍法等之物理蒸鍍法之情況，緩衝層的厚度以100～3000Å為佳。而以100～400Å較佳，尤以100～300Å為最佳。

作為多重層，可使例如由Al_xGa_{1-x}($0 \leqq x \leqq 1$)所構成之層與氮化鎵層交互地形成，其係使用使組成相同的層以例如600℃以下與1000℃以上來交互形成等方法。當然，將此等加以組合亦可，多重層亦可由3種以上的III族氮化物系化合物半導體$Al_xGa_yIn_{(1-x-y)}N$($0 \leqq x<1$，$0 \leqq y<1$，$0<x+y \leqq 1$)來積層。通常，緩衝層為非晶質，中間層為單結晶。以緩衝層與中間層作為1週期，形成為複數週期亦可，亦可反

五、發明說明 (16)

覆任意週期。反覆愈多次則結晶性愈佳。

緩衝層及上層之III族氮化物系化合物半導體，即使III族元素的組成之一部份，以硼(B)或鉈(Tl)等取代，或氮(N)的組成之一部份以磷(P)、砷(As)、銻(Sb)、鉍(Bi)等取代，實質上亦適用於本發明。又，將此等元素以無法表示於組成中之程度進行摻雜者亦可。例如在組成中沒有銦(In)、砷(As)之III族氮化物系化合物半導體之$Al_xGa_{1-x}N$ ($0<x\leqq1$)中，經由摻雜以較鋁(Al)、鎵(Ga)之原子半徑大的銦(In)、或較氮(N)之原子半徑大的砷(As)，經由氮原子之脫除導致之結晶的擴張變形進行補償以改良結晶性亦可。

此情況下，由於受體(acceptor)雜質容易進入III族原子的位置，能以如生長狀態(as grown)下得到p型結晶。經由如此作法使結晶性變佳，與本發明合併使用可進一步將貫穿移位降到100分之1至1000分之1程度。緩衝層與III族氮化物系化合物半導體層為以2週期以上形成之基底層之情況，若對III族氮化物系化合物半導體層以較其主要構成元素之原子半徑大的元素摻雜則更佳。又，作為發光元件構成之情況，以使用本來之III族氮化物系化合物半導體的2成分系、或3成分系為佳。

欲形成n型的III族氮化物系化合物半導體層之情況，作為n型雜質，可添加Si、Ge、Se、Te等IV族元素或VI族元素。又，作為p型雜質，可添加Zn、Mg、Be、Ca、Sr、Ba等II族元素或IV族元素。以此等施行複數摻雜或將n型雜

五、發明說明 (17)

質摻雜於同一層亦可。

用橫方向磊晶生長以減少III族氮化物系化合物半導體層的移位亦可隨意施行。此時，可採取藉由使用罩幕或藉由蝕刻等任意的方法來填埋高低差。

蝕刻罩幕，可使用多結晶矽、多結晶氮化物半導體等之多結晶半導體，氧化矽(SiO_x)、氮化矽(Si_xN)、氧化鈦(TiO_x)、氧化鋯(ZrO_x)等之氧化物，氮化物，鈦(Ti)、鎢(W)之類的高融點金屬，及此等之多層膜。此等之成膜方法可為蒸鍍、濺鍍、CVD等之氣相生長法及其他之任意者。

於蝕刻之時，以使用反應性離子束蝕刻(RIBE)為佳，唯亦可使用任意的蝕刻方法。作為對基板面形成非垂直的側面之高低差者，亦可藉由異向性蝕刻來形成例如在高低差的底部沒有底面、截面為V字形者。

在III族氮化物系化合物半導體上可形成FET、發光元件等。於發光元件的情況，發光層可考慮為多重量子井(MQW)構造、單一量子井構造(SQW)之外，尚有均質構造、異質(hetero)構造、雙異質(double hetero)構造者，唯藉由pin接面或pn接面來形成亦可。

以下，依據具體的實施例就本發明加以說明。唯，本發明並非限定於以下所示之實施例。

實施例1

以下，就本發明之實施例中之半導體結晶(結晶生長基板)的製造順序之概要作例示。

五、發明說明（18）

[1]反應防止步驟

本反應防止步驟，係於底層基板（矽基板）上進行反應防止層之積層的製造步驟。

於本反應防止步驟中，首先，在矽(111)基板上以氣相生長法(MOVPE)，成膜成由碳化矽(SiC)所構成之反應防止層約1.5 μm。又，未防止晶圓的反曲，亦可將SiC成膜於表裏兩面施行。

[2]突起部形成步驟

在上述的反應防止層上，藉由利用光微影術之乾式蝕刻，形成以約2 μm的配置間隔的直徑約1 μm、高約1 μm的大致圓柱形狀之突起部B1（圖2）。作為排列型態，係以使突起部B1的圓柱底面的中心配置於1邊為0.1 μm以上的大致正三角形為基調之2次元三角格子的格子點上之方式來形成突起部B1。唯，底層基板的厚度係作成為約200 μm。

[3]結晶生長步驟

於本結晶生長步驟中，如圖4所示般，結晶的生長面，自突起部B1的上面（初期狀態）開始生長，直到成為各相互連結之一連的大致平面狀之生長步驟，係依於有機金屬化合物氣相生長法(MOVPE法)施行，其後，此半導體基板（結晶層）之生長到200 μm程度的厚膜之生長步驟係以氫化合物氣相生長法(HVPE法)施行。

又，於本結晶生長步驟中，係使用氨(NH_3)氣、載體氣體(H_2, N_2)、三甲基鎵($Ga(CH_3)_3$)氣體（以下記為「TMG」）、及三甲基鋁($Al(CH_3)_3$)氣體（以下記為「TMA」）。

五、發明說明 (19)

(a)首先，將設置有上述的突起部B1之底層基板(圖2)以有機洗淨及酸洗淨來進行洗淨，再裝到載置在結晶生長裝置的反應室中之承載器上，於常壓下，於將H_2流入反應室中之同時，在溫度1100℃下對底層基板施行烘烤。

(b)接著，對上述的底層基板，依於MOVPE法，供給H_2、NH_3、TMG、TMA，進行AlGaN緩衝層(緩衝層C)之成膜。此AlGaN緩衝層C的結晶生長溫度為約1100℃，膜厚約0.2μm(圖3)。

(c)在此AlGaN緩衝層(緩衝層C)上，對半導體基板的一部份(即，膜厚約5μm的氮化鎵層)供給H_2、NH_3及TMG，於生長溫度1075℃下使結晶生長。藉由此步驟，如圖4所示般，半導體基板的一部份(氮化鎵層A)進行橫方向生長，於谷部(即突起部B1的側方)可生成大的空洞。

又，此時的TMG之供給速度，概略為40μmol/min程度，氮化鎵層的結晶生長速度，約為1μm/小時程度。

(d)其後，依於氫化合物氣相生長法(HVPE法使上述的氮化鎵層(半導體結晶A)進一步進行結晶生長到200μm。此HVPE法之氮化鎵層的結晶生長速度約為45μm/小時程度。

[4]分離步驟

(a)於上述的結晶生長步驟之後，在將氨(NH_3)氣流入結晶生長裝置的反應室之狀態下，將具有底層基板(矽基板)之晶圓冷卻至大致為常溫。此時的冷卻速度，可作成為概略為「-50℃/min～-5℃/min」程度。

(b)其後，將此等自結晶生長裝置的反應室取出，則可

五、發明說明 (20)

得到自底層基板(矽基板)剝離之氮化鎵結晶(半導體結晶A)。唯，此結晶，為於氮化鎵層(半導體基板)的裏面之AlGaN緩衝層C的小部分的殘骸與突起部B1的斷裂殘骸所殘留下來者。

[5]斷裂殘骸除去步驟

上述的分離步驟後，藉由磨除處理，將由殘留在氮化鎵結晶的裏面的矽所構成之突起部B1的斷裂殘骸除去。

唯，本斷裂殘骸除去步驟，亦可藉由使用將硝酸加入氟酸之混合液之蝕刻處理來實施。

經由上述之製造方法，可製得膜厚約200 μm厚的結晶性非常優異之良質的氮化鎵結晶(氮化鎵層)，亦即由底層基板所獨立出來之所要的半導體基板(半導體結晶A)。

又，作為形成反應防止層之晶質材料B，即使是AlN、$Al_xGa_{1-x}N$($0.30 \leqq x \leqq 1$)等，亦可得到與上述的實施例大致同樣的作用・效果。較通常者，作為形成反應防止層之晶質材料B，可使用碳化矽(SiC，3C-SiC)、氮化鋁(AlN)、尖晶石($MgAl_2O_4$)、或鋁組成比至少為0.30以上之AlGaN、AlInN或AlGaInN。

又，用以形成目的之半導體基板的半導體結晶A，並非限定於氮化鎵(GaN)，可由上述的通常的「III族氮化物系化合物半導體」中任意選擇。

又，目的之半導體基板(半導體結晶A)，亦可為具有多層構造者。

又，於上述的實施例中，如圖2所示般，底層基板的突

五、發明說明（21）

起部及谷部可由垂直面與水平面構成，唯由任意的斜面及曲面等形成亦可。因而，如圖2(c)所示之形成於底層基板上之谷部的截面形狀，除了形成為大致矩形的凹字形狀之外，亦可形成為例如，大致U字形或大致V字形等之形狀，通常，此等之形狀、大小、間隔、配置、配向等可為任意的。

元件編號說明

Si　矽基板(底層基板)

A　半導體結晶(目的之半導體基板)

B　反應防止層(晶質材料)

B1　突起部(反應防止層的一部份)

C　緩衝層

圖式簡單說明

圖1為用以例示性地說明本發明之基本概念之半導體結晶之製造步驟之示意截面圖。

圖2為本發明之實施例之底層基板(矽基板)的部分的斷片之示意性的立體圖(a)、俯視圖(b)及截面圖(c)。

圖3為經成膜成緩衝層C(AlGaN層)之底層基板之示意性的立體圖(a)、俯視圖(b)及截面圖(c)。

圖4為經積層成半導體基板(半導體結晶A)之底層基板之示意性的立體圖(a)、俯視圖(b)及截面圖(c)。

圖5為用以例示在矽基板(底層基板)上進行結晶生長之習知的半導體結晶之示意截面圖。

四、中文發明摘要　（發明之名稱：半導體結晶之製造方法及半導體元件）

本發明之目的，為在矽(Si)基板上製作無裂痕及無多結晶塊之半導體單結晶。

解決手段為，反應防止層係用以防止矽與氮化鎵(GaN)系之半導體間的反應者，如此即使在藉由在底層基板(矽基板)上形成融點或耐熱性高於氮化鎵系半導體(半導體結晶A)之例如由SiC或AlN等所構成的反應防止層(晶質材料B)膜，以使氮化鎵系半導體(半導體結晶A)進行長時間結晶生長之情況下，亦不會在矽界面附近形成有氮化鎵多結晶塊等所構成的「反應部」。又，藉由形成多數個突起部，氮化鎵系的半導體(半導體結晶A)，亦會以突起部的平頂部作為起點而往橫方向生長。藉此，由於可大幅緩和反應防止層與半導體結晶A之間的應力，且於反應防止層

英文發明摘要　（發明之名稱：）

四、中文發明摘要　（發明之名稱：半導體結晶之製造方法及半導體元件）

不會發生縱方向的貫穿裂痕，故可確實地隔絕矽基板，亦可確實達到反應防止作用。

英文發明摘要　（發明之名稱：）

六、申請專利範圍

1. 一種半導體結晶之製造方法，其係利用橫方向結晶生長作用，藉由在由矽(Si)所形成之底層基板上生長由III族氮化物系化合物半導體所構成之半導體結晶A，而製得半導體基板之方法，其特徵在於，具有下述諸步驟：

反應防止步驟，於上述底層基板上，形成融點或耐熱性高於上述半導體結晶A之晶質材料B所構成的反應防止層膜；

突起部形成步驟，經由化學性或物理性的蝕刻，以在形成有上述反應防止層膜之一側的單面上不使上述底層基板露出而自上述反應防止層形成多數個突起部；以及

結晶生長步驟，以上述突起部的表面之至少一部份作為上述半導體結晶A開始結晶生長之最初的生長面，使上述半導體結晶A進行結晶生長直到此生長面相互連結至少成為連貫的平面為止。

2. 如申請專利範圍第1項之半導體結晶之製造方法，其中，上述半導體結晶A係由可滿足組成式「$Al_xGa_yIn_{(1-x-y)}N(0 \leqq x<1, 0<y \leqq 1, x+y \leqq 1)$」之III族氮化物系化合物半導體所構成。

3. 如申請專利範圍第1項之半導體結晶之製造方法，其中，用以形成上述反應防止層之上述晶質材料B，係由碳化矽(SiC)、氮化鋁(AlN)、或尖晶石($MgAl_2O_4$)所構成。

4. 如申請專利範圍第1項之半導體結晶之製造方法，其中，用以形成上述反應防止層之上述晶質材料B，係由鋁組成比至少為0.30以上之AlGaN、AlInN、或AlGaInN所構

六、申請專利範圍

成。

5. 如申請專利範圍第1項之半導體結晶之製造方法，其中，藉由使上述生長面向橫方向生長並使彼此相互連結，在上述突起部間形成未積層上述半導體結晶A之空洞。

6. 如申請專利範圍第1項之半導體結晶之製造方法，其中，使上述突起部間的上述反應防止層的谷部之膜厚形成為0.1 μm以上2 μm以下。

7. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，使上述突起部的縱方向的高度形成為0.5 μm以上20 μm以下。

8. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，使上述突起部的橫方向的粗度、寬度或直徑形成為0.1 μm以上10 μm以下。

9. 如申請專利範圍第1項之半導體結晶之製造方法，其更具有下述之分離步驟：藉由將上述半導體結晶A與上述底層基板冷卻或加熱，使其基於上述半導體結晶A與上述底層基板之熱膨脹係數差而發生應力，藉由利用此應力使上述突起部斷裂，而使上述半導體結晶A與上述底層基板分離。

10. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述結晶生長步驟中使上述半導體結晶A積層50 μm以上。

11. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述結晶生長步驟中，調整上述III族氮化物系化

六、申請專利範圍

合物半導體的原料供給量q，

藉由以上作業以使在上述底層基板的上述突起部間之谷部至少一部份的被浸蝕區域之上述III族氮化物系化合物半導體的結晶生長速度a、與在上述突起部的頭頂部之結晶生長速度b之間的差分(b-a)，控制於大致最大值。

12. 如申請專利範圍第11項之半導體結晶之製造方法，其中，將上述原料供給量q設定於1 μmol/min以上100 μmol/min以下。

13. 如申請專利範圍第1項之半導體結晶之製造方法，其中，在上述突起部形成步驟後具有下述步驟：

至少於上述突起部的表面形成由「$Al_xGa_{1-x}N(0<x\leqq1)$」所構成之緩衝層C。

14. 如申請專利範圍第13項之半導體結晶之製造方法，其中，使上述緩衝層C的膜厚形成為0.01 μm以上1 μm以下。

15. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，上述突起部係以大致等間隔或大致一定週期配置之方式來形成上述突起部。

16. 如申請專利範圍第15項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，在1邊為0.1 μm以上的大致正三角形為基調之2次元三角格子的格子點上形成上述突起部。

17. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，上述突起部之水平截面形

六、申請專利範圍

狀為大致正三角形、大致正六角形、大致圓形、大致矩形、大致菱形、或大致平行四邊形。

18. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述突起部形成步驟中，使上述突起部的配置間隔形成0.1 μm以上10 μm以下。

19. 如申請專利範圍第1項之半導體結晶之製造方法，其中，於上述反應防止步驟中，在上述底層基板上的表裏兩面形成上述反應防止層膜。

20. 一種III族氮化物系化合物半導體元件，其特徵為：具有以使用申請專利範圍第1項之半導體結晶之製造方法所製造的上述半導體結晶作為結晶生長基板者。

21. 一種III族氮化物系化合物半導體元件，其特徵為：以使用申請專利範圍第1項之半導體結晶之製造方法所製造的上述半導體結晶作為結晶生長基板，上述半導體結晶係藉由在其上進行結晶生長而製造者。

圖1

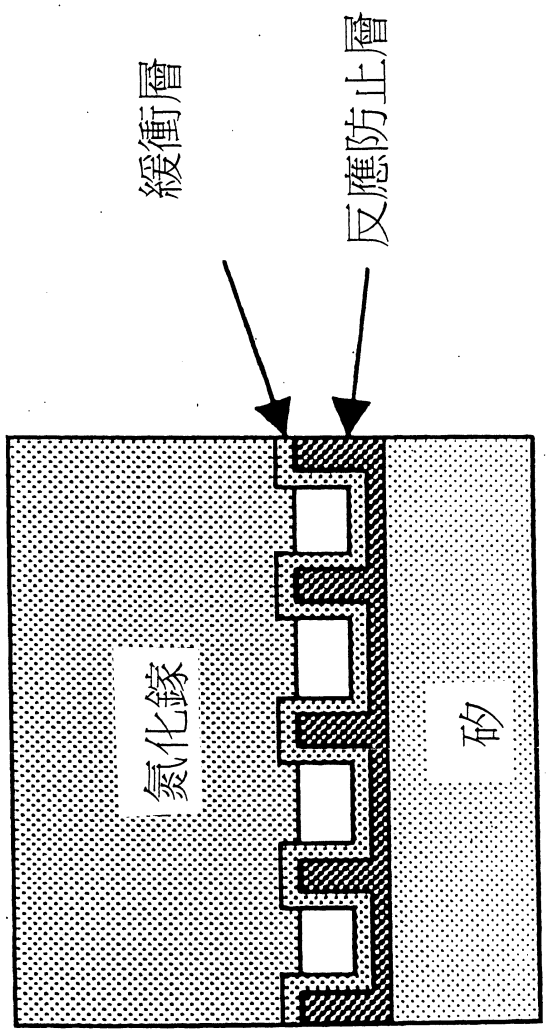


圖2

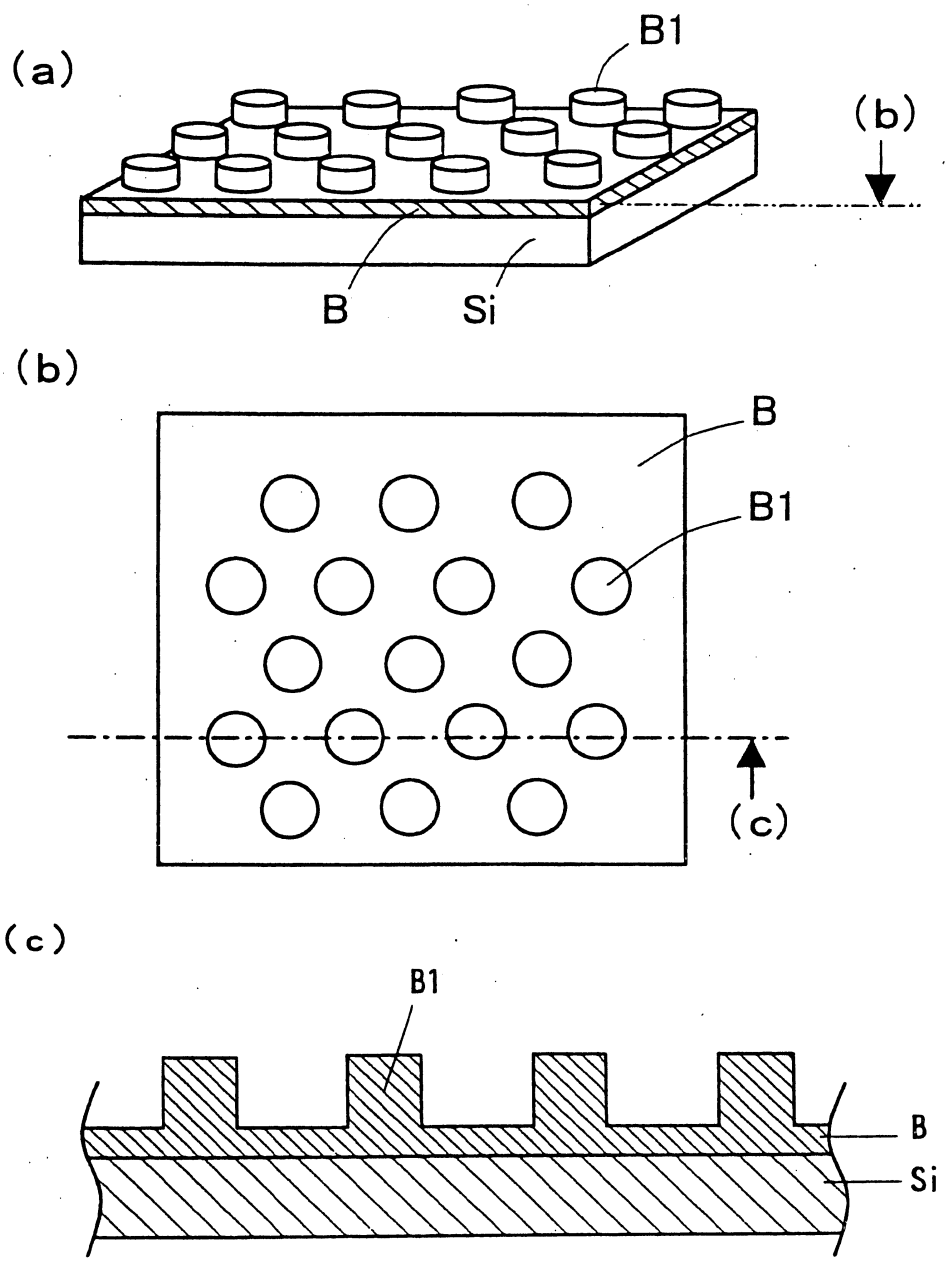


圖3

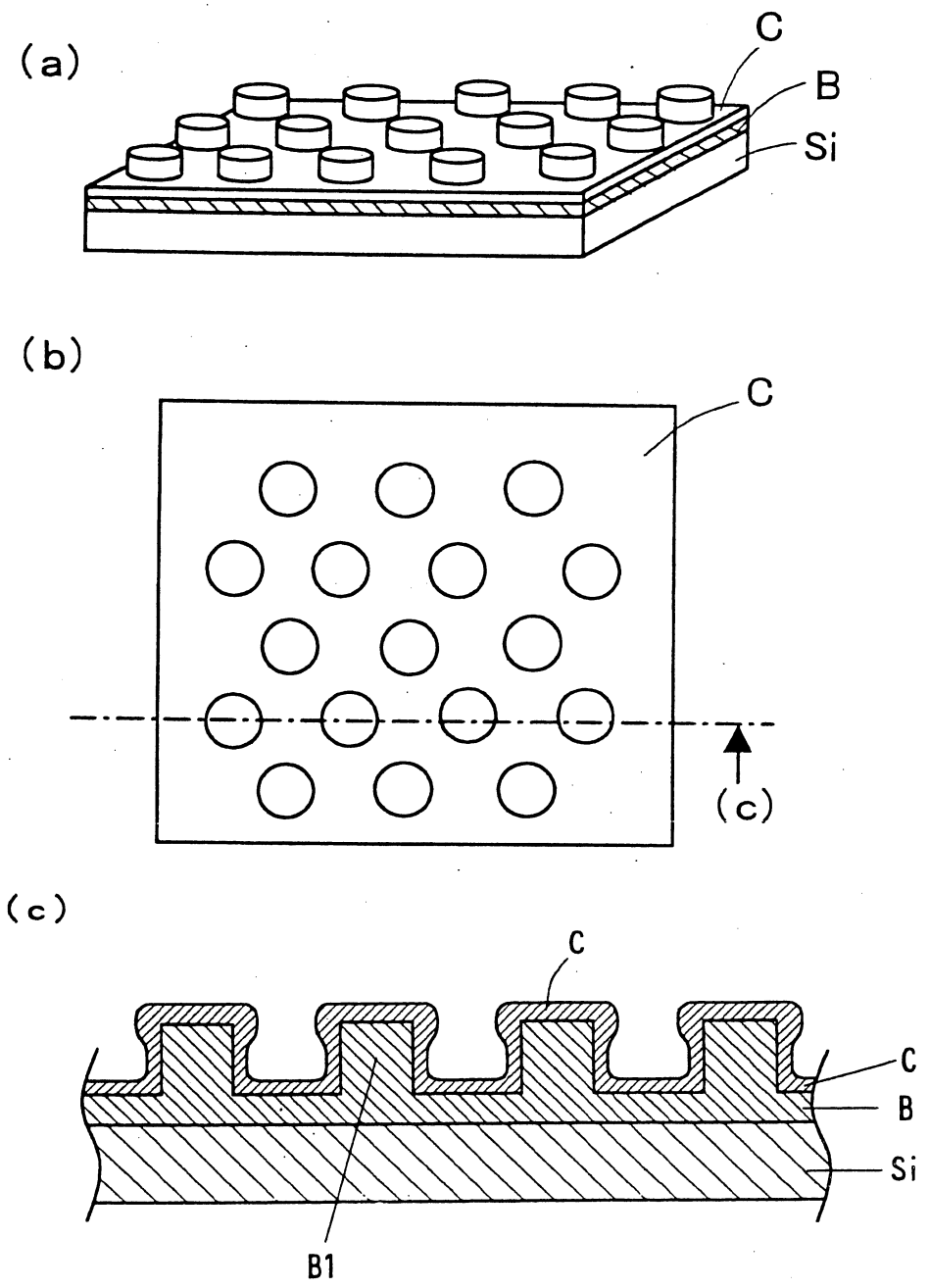


圖4

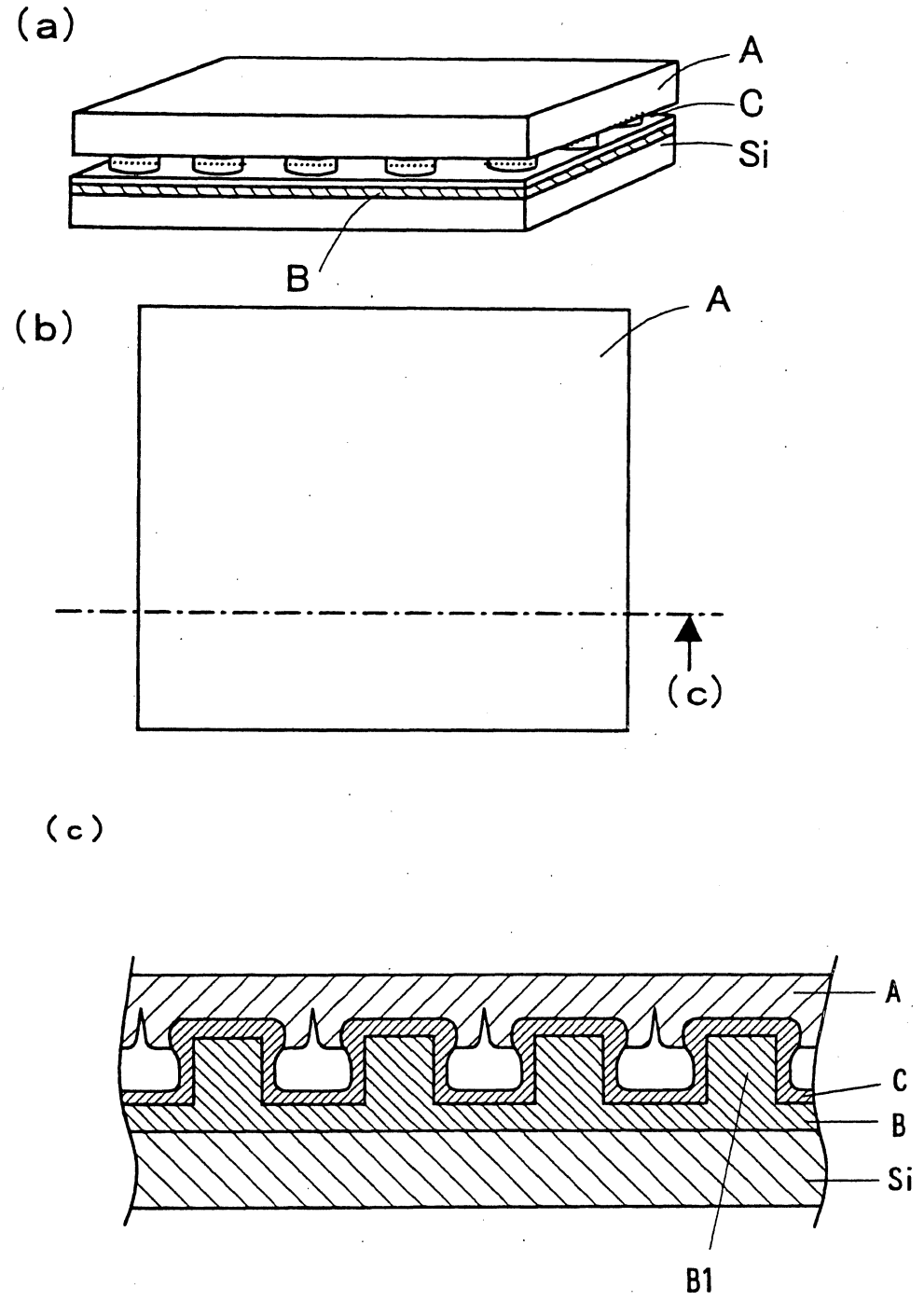


圖5

