



(12)发明专利

(10)授权公告号 CN 105393340 B

(45)授权公告日 2020.03.27

(21)申请号 201480040871.4

(22)申请日 2014.07.18

(65)同一申请的已公布的文献号
申请公布号 CN 105393340 A

(43)申请公布日 2016.03.09

(30)优先权数据
61/847,742 2013.07.18 US
14/327,157 2014.07.09 US

(85)PCT国际申请进入国家阶段日
2016.01.18

(86)PCT国际申请的申请数据
PCT/US2014/047298 2014.07.18

(87)PCT国际申请的公布数据
W02015/010089 EN 2015.01.22

(73)专利权人 德克萨斯仪器股份有限公司
地址 美国德克萨斯州

(72)发明人 X·毕 T·L·克拉科夫斯基
D·韦泽

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 徐东升 赵蓉民

(51)Int.Cl.
H01L 21/329(2006.01)
H01L 29/864(2006.01)

审查员 宋晶晶

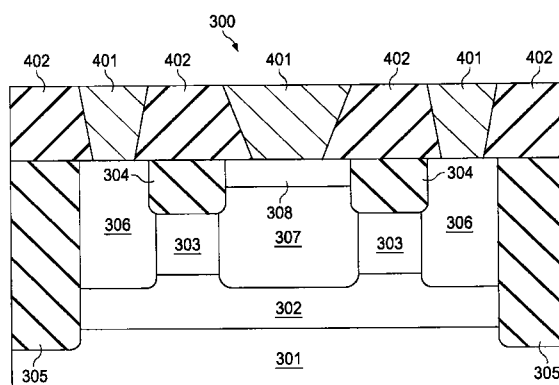
权利要求书3页 说明书5页 附图9页

(54)发明名称

硅IMPATT二极管

(57)摘要

在所描述的示例中,垂直IMPATT二极管(300)在标准平面模拟工艺流程中被制造。



1. 一种IMPATT二极管,其包括:

p型衬底;

垂直地布置在所述p型衬底上方的p型区域和n型区域,所述n型区域包括轻掺杂的n型层和重掺杂的n型层,所述p型区域和所述轻掺杂的n型层彼此接触并形成IMPATT二极管结;

到所述重掺杂的n型层的垂直通道,所述垂直通道包括接触所述重掺杂的n型层的重掺杂的n型下沉区;

浅沟槽隔离结构,其被设置在所述重掺杂的n型下沉区和所述p型区域之间并且被配置为隔离所述重掺杂的n型下沉区和所述p型区域;以及

在所述IMPATT二极管的顶表面上的两个欧姆接触件,第一欧姆接触件电耦连到所述垂直通道,并且第二欧姆接触件电耦连到所述p型区域。

2. 根据权利要求1所述的二极管,其进一步包括:

在所述浅沟槽隔离结构之下延伸的未掺杂层,所述未掺杂层插入在所述垂直通道和所述轻掺杂的n型层之间。

3. 根据权利要求1所述的二极管,其进一步包括:

横向围绕所述n型区域并延伸到所述p型衬底的深沟槽隔离结构。

4. 根据权利要求1所述的二极管,其中所述p型区域包括与所述n型区域接合的p掺杂SiGe层。

5. 根据权利要求1所述的二极管,其中所述n型区域包括与所述p型区域的底表面接合的n掺杂SiGe层。

6. 根据权利要求1所述的二极管,其中所述n型区域包括与所述p型区域的底表面接合的垂直部分,所述垂直部分具有比所述p型区域低的掺杂浓度。

7. 根据权利要求1所述的二极管,其中所述n型区域包括:

横向围绕所述浅沟槽隔离结构的第一垂直部分;

定位在所述p型衬底上并且在所述p型区域下方的掩埋层,所述掩埋层接触所述第一垂直部分;以及

由所述浅沟槽隔离结构和所述第一垂直部分横向围绕的第二垂直部分,所述第二垂直部分垂直地插入在所述掩埋层和所述p型区域之间,所述第二垂直部分与所述p型区域的底表面接合。

8. 根据权利要求7所述的二极管,其中所述第二垂直部分与所述第一垂直部分分开。

9. 根据权利要求7所述的二极管,其中所述第二垂直部分接触所述第一垂直部分。

10. 一种制造IMPATT二极管的方法,其包括:

提供p型衬底;

提供垂直地布置在所述p型衬底上方的p型区域和n型区域,所述n型区域包括轻掺杂的n型层和重掺杂的n型层,所述p型区域和所述轻掺杂的n型层彼此接触并形成IMPATT二极管结;

提供到所述重掺杂的n型层的垂直通道,所述垂直通道包括接触所述重掺杂的n型层的重掺杂的n型下沉区;

提供浅沟槽隔离结构,所述浅沟槽隔离结构设置在所述重掺杂的n型下沉区和所述p型区域之间并且被配置为隔离所述重掺杂的n型下沉区和所述p型区域;以及

在所述IMPATT二极管的顶表面上提供两个欧姆接触件,第一欧姆接触件电耦合到所述垂直通道,并且第二欧姆接触件电耦合到所述p型区域。

11. 根据权利要求10所述的方法,其进一步包括:

提供在所述浅沟槽隔离结构之下延伸的未掺杂层,所述未掺杂层插入在所述垂直通道和所述轻掺杂的n型层之间。

12. 根据权利要求10所述的方法,其进一步包括:

提供横向围绕所述n型区域并延伸到所述p型衬底的深沟槽隔离结构。

13. 根据权利要求10所述的方法,其中所述p型区域包括与所述n型区域接合的p掺杂SiGe层。

14. 根据权利要求10所述的方法,其中所述n型区域包括与所述p型区域的底表面接合的n掺杂SiGe层。

15. 根据权利要求10所述的方法,其中所述n型区域包括与所述p型区域的底表面接合的垂直部分,所述垂直部分具有比所述p型区域低的掺杂浓度。

16. 根据权利要求10所述的方法,其中所述n型区域包括:

横向围绕所述浅沟槽隔离结构的第一垂直部分;

定位在所述p型衬底上并且在所述p型区域下方的掩埋层,所述掩埋层接触所述第一垂直部分;以及

由所述浅沟槽隔离结构和所述第一垂直部分横向围绕的第二垂直部分,所述第二垂直部分垂直地插入在所述掩埋层和所述p型区域之间,所述第二垂直部分与所述p型区域的底表面接合。

17. 根据权利要求16所述的方法,其中所述第二垂直部分与所述第一垂直部分分开。

18. 一种垂直碰撞雪崩渡越时间二极管即垂直IMPATT二极管,其包括:

p型层;

n型掩埋层,其定位在所述p型层之上;

n阱,其具有定位在所述n型掩埋层之上的下部分和定位在所述下部分之上的上部分;

未掺杂层,其定位在所述n型掩埋层之上并横向围绕所述n阱的所述下部分;

浅沟槽层,其定位在所述未掺杂层之上并横向围绕所述n阱的所述上部分;

下沉层,其定位在所述n型掩埋层之上并横向围绕所述未掺杂层和所述浅沟槽层,所述下沉层通过所述n型掩埋层耦合到所述n阱;

击穿层,其形成在所述n阱的所述上部分中。

19. 根据权利要求18所述的垂直IMPATT二极管,其中所述击穿层包括高掺杂的p+硅材料。

20. 根据权利要求18所述的垂直IMPATT二极管,其中所述击穿层包括p型SiGe材料。

21. 根据权利要求18所述的垂直IMPATT二极管,其中所述击穿层包括定位在所述n阱的所述下部分之上的n+硅材料和定位在所述n+硅材料之上的p+硅材料。

22. 根据权利要求18所述的垂直IMPATT二极管,其中所述击穿层包括定位在所述n阱的所述下部分之上的n型SiGe材料和定位在n型SiGe材料之上的p+硅材料。

23. 根据权利要求18所述的垂直IMPATT二极管,其中所述击穿层包括定位在所述n阱的所述下部分之上的n型SiGe材料和定位在所述n型SiGe材料之上的p型SiGe材料。

24. 根据权利要求18所述的垂直IMPATT二极管,其中所述未掺杂层邻接所述下沉层和所述n阱的所述下部分。

25. 根据权利要求18所述的垂直IMPATT二极管,其还包括横向围绕所述下沉层和所述n型掩埋层的深拉伸层。

26. 一种IMPATT二极管,其包括:

p型衬底;

垂直地布置在所述p型衬底上方的p型区域和n型区域,所述n型区域包括插入在所述p型区域与所述p型衬底之间的轻掺杂的n型层,所述p型区域和所述轻掺杂的n型层彼此接触并形成IMPATT二极管结;

掩埋氧化物层,其与所述轻掺杂的n型层接触并插入在所述轻掺杂的n型层与所述p型衬底之间;

接触所述掩埋氧化物层和所述轻掺杂的n型层的垂直通道,所述垂直通道包括重掺杂的n型下沉区;

浅沟槽隔离结构,其被设置在所述重掺杂的n型下沉区和所述p型区域之间并且被配置为隔离所述重掺杂的n型下沉区和所述p型区域;以及

在所述IMPATT二极管的顶表面上的两个欧姆接触件,第一欧姆接触件电耦合到所述垂直通道,并且第二欧姆接触件电耦合到所述p型区域。

27. 一种制造IMPATT二极管的方法,其包括:

提供p型衬底;

提供垂直地布置在所述p型衬底上方的p型区域和n型区域,所述n型区域包括插入在所述p型区域与所述p型衬底之间的轻掺杂的n型层,所述p型区域和所述轻掺杂的n型层彼此接触并形成IMPATT二极管结;

提供掩埋氧化物层,所述掩埋氧化物层与所述轻掺杂的n型层接触并插入在所述轻掺杂的n型层与所述p型衬底之间;

提供接触所述掩埋氧化物层和所述轻掺杂的n型层的垂直通道,所述垂直通道包括重掺杂的n型下沉区;

提供浅沟槽隔离结构,所述浅沟槽隔离结构被设置在所述重掺杂的n型下沉区和所述p型区域之间并且被配置为隔离所述重掺杂的n型下沉区和所述p型区域;以及

在所述IMPATT二极管的顶表面上提供两个欧姆接触件,第一欧姆接触件电耦合到所述垂直通道,并且第二欧姆接触件电耦合到所述p型区域。

硅IMPATT二极管

技术领域

[0001] 本发明一般涉及半导体器件,并且尤其涉及在模拟技术中的硅碰撞雪崩渡越时间(IMPATT)二极管的集成。

背景技术

[0002] IMPATT二极管是2端器件,诸如用于射频(RF)功率生成和放大中的应用。与3端器件方法相比较,IMPATT二极管可以被制造以具有相对小的电阻性损耗和寄生电容。因此,IMPATT二极管在高频下能够生成高RF功率,这使它对太赫(诸如高于300GHz)应用尤其有用。

[0003] 如图1所示的n型IMPATT二极管具有三个不同区域,用于雪崩击穿的重掺杂P++区域101、用于电荷漂移的轻掺杂N区域102以及用于电荷收集的重掺杂N++区域103。当该二极管被反向偏置时,N区域内的自由电子从该器件被耗尽,在P++/N结产生峰值电场。当反向DC偏压增加时,峰值电场增强,直至两个击穿过程中的一个发生。在一个过程中,该场可以足够高以至于其施加足够的力于共价键束缚的电子以使其自由。这产生了两种载流子以贡献于电流,一种是空穴,另一种是电子。该击穿被称为齐纳击穿或隧道击穿。在第二击穿过程中,剩余的自由载流子能够从该电场中获得足够的能量并且破坏晶格中的共价键。该过程被称为雪崩击穿,并且如上所述的与晶格相互作用的每个载流子产生两个额外的载流子。当最大场变得足够大以引起雪崩时,所有三个载流子可以接着参与进一步的雪崩碰撞,引起载流子在空间电荷区域中突然倍增。

[0004] 在通过高场区域中的击穿而产生载流子后,空穴将从顶部欧姆接触流出该器件,引起DC电流。电子将穿过N区域(漂移区)102并且通过底部欧姆接触而流出该器件。使用适当设计的掺杂分布,N区域102中的电场将足够高以使所有电子以其饱和速度 v_{sat} 移动。由于N区域的厚度为非零,电子花费被称为渡越时间的有限时间以流出该器件。在交流(AC)条件下,来自器件内的移动电子的二极管AC电流可以滞后于施加在该二极管上的AC电压,引起AC电流和AC电压之间的相位延迟。在IMPATT二极管中,N区域(漂移区)的厚度被适当设计以产生180度相位延迟,因此该二极管显示负阻。在此二极管与谐振电路连接后,二极管负阻可以产生振荡并生成RF功率。

[0005] 通常,硅IMPATT二极管在台面结构(mesa structure)中垂直制造,诸如在美国专利No.3,896,478中。类似结构也在美国专利No.3,649,386、No.4,030,943和No.4,064,620中被公开。此类台面结构仍广泛使用于当今的工作。美国专利No.4,596,070公开一种略微不同的制造IMPATT二极管的方法,其中聚酰亚胺被用于隔离不同的有源二极管。

[0006] 串联寄生电阻的两个主要源应当最小化。电阻的那些源是:(a)在衬底接触金属界面处的接触电阻;以及(b)通过集肤效应改变的衬底的串联电阻。接触电阻通过将接触表面处的衬底中的有效掺杂水平最大化而被减小,最大化在接触表面处的衬底中的有效掺杂水平或者通过维持高水平衬底掺杂或者通过接触合金实现。最小化衬底电阻率也减小有助于串联电阻的集肤效应。为了使串联电阻最小化,二极管衬底被变薄至微米量级。

[0007] 在图1中的分立台面形状(discrete mesa shape) IMPATT二极管难以在太赫范围内采用。在该频率范围内,最优化的二极管应当具有小于5 μm 的二极管直径。制造具有变薄衬底的此类小二极管,同时仍能够组装该封装以具有期望的电气性能、良好的再现性和长期可靠性是存在挑战的。

发明内容

[0008] 在所描述的示例中,在标准平面模拟工艺流程中制造的垂直IMPATT二极管包括:由p型单晶硅组成的衬底;接触衬底的顶部表面的n型掩埋层;接触n型掩埋层的顶部表面的未掺杂层;深沟槽,其向下延伸至衬底并完全围绕该IMPATT二极管且将该二极管从模拟电路中的其余元件分开;覆盖晶圆的顶部表面的浅沟槽层,其中开口被包括以提供IMPATT二极管的 P^{++} 和 N^{++} 区域;n阱,其延伸通过浅沟槽层中的 P^{++} 开口至未掺杂层并接触n型掩埋层的顶部表面;通过浅沟槽结构部分地从n阱分开的深n $^{+}$ 区域,其中该深n $^{+}$ 区域延伸通过浅沟槽层中的 N^{++} 开口至未掺杂层,接触n型掩埋层的顶部表面;接触n阱的顶部的材料层,其选自高掺杂p $^{+}$ 硅、p $^{+}$ 型SiGe、n $^{+}$ 硅上高掺杂p $^{+}$ 硅的复合层、n型SiGe上高掺杂p $^{+}$ 硅的复合层或n型SiGe上p型SiGe的复合层的群组;以及欧姆接触,其通过第一中间级(inter-level)介电材料彼此分开,并且分别接触高掺杂n $^{+}$ 层和与n阱的顶部接触的材料层。

附图说明

[0009] 图1是IMPATT二极管的横截面图。

[0010] 图2是IMPATT二极管的平面图,根据图3至图9的示例性实施例详述在第一金属级(metal level)和第一中间级介电材料下面的结构。

[0011] 图3是根据实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0012] 图3A至图3D是根据实施例的制造图3的IMPATT二极管的制造步骤的示图。

[0013] 图4是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0014] 图5是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0015] 图6是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0016] 图7是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0017] 图8是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

[0018] 图9是根据另一实施例的IMPATT二极管的穿过图2的截面A-A的横截面图。

具体实施方式

[0019] 图1所示的IMPATT二极管具有三个不同的区域,它们是由于击穿的重掺杂 P^{++} 101区域,用于电荷漂移的轻掺杂N区域102,以及用于电荷收集的重掺杂 N^{++} 区域103。二极管在击穿条件下被反向偏置,并且通过在 P^{++} 层和N层之间的高场区中的雪崩生成了空穴。在N区域中的电场对于空穴来说足够高以使其以饱和速度移动,但足够低以防止通过碰撞电离而产生额外的电荷。空穴最终到达低场 N^{++} 区域并且被底部欧姆接触吸收。

[0020] 通常,硅IMPATT二极管在台面结构中垂直制造。这种解决方案在一些情况下起作用,但其与现代模拟加工的集成是有挑战的。

[0021] 图2是IMPATT二极管的平面图,详述根据图3至图9的示例性实施例的在第一金属

级401和第一中间级介电材料402下面的结构。

[0022] 图3示出了示例性实施例的具有n型IMPATT二极管的半导体衬底的部分截面描绘。图3A至图3D示出根据示例性实施例的一方面的可用于制造IMPATT二极管的工艺的各部分。该工艺的许多或全部部分可以用双极或bi-CMOS工艺实施。此外,尽管以下工艺步骤将主要关于形成n型IMPATT二极管来描述,但是根据示例性实施例的一方面也可以制造p型IMPATT二极管。进一步地,附图中示出的特定顺序可以被改变并且仍产生根据示例性实施例的IMPATT二极管。

[0023] 参考图3A,该工艺开始于提供由p型单晶硅301组成的衬底、如图3至图8所示形成覆盖(overlaying)并接触衬底的顶部表面的n型掩埋(NBL)层302,并且外延沉积覆盖并接触NBL层302的顶部表面的未掺杂层(EPI) 303。在该实施例中,衬底301是p型硅晶圆。IMPATT二极管可以构建在其它IV族元素或化合物半导体材料的衬底上,诸如砷化镓和碲化汞。该衬底可以是单晶或多晶的。它可以是键合晶圆,其中绝缘体层被键合至半导体材料层。

[0024] 而且,图3A示出NBL层302。NBL层通常为重掺杂单晶硅层,其用作在漂移层307和下沉层(sinker layer) 306之间的低电阻电流路径。在高性能双极或Bi-CMOS集成电路芯片中,NBL层通常出于其它电路考虑而存在。第二(p型)掩埋层可以被并入在NBL层的顶部上,以便构建p型衬底中的p型IMPATT二极管。在许多电路应用中,第二掩埋层是有利的,因为在IMPATT二极管内的雪崩噪声将不干扰周围环境中的部件。

[0025] 而且,图3A示出外延层303,其是具有高电阻率的未掺杂单晶硅层。在该实施例中,整个器件300为单晶的。IMPATT二极管也可用在击穿层308、漂移层307和下沉层306中的多晶材料构建,尽管单晶材料往往具有优于与多晶材料相关联的物理性质的一些物理性质(诸如电荷载流子迁移率)。

[0026] 参考图3B,该工艺随后是形成覆盖晶圆的顶部表面的场氧化物层304,其中开口被包括以提供在击穿层308下面的漂移层307和IMPATT二极管的 N^{++} 下沉开口306。在一个实施例中,场氧化物层304是二氧化硅,其厚度在250纳米和600纳米之间,场氧化物层304优选地通过浅沟槽隔离(STI)工艺或可能通过硅的局部氧化(LOCOS)工艺来形成。STI层304使下沉层306与击穿层308电隔离。

[0027] 如图3B所示,该工艺随后是形成另一个场氧化物层305,其从未掺杂EPI层303的顶部表面向下延伸至衬底并且完全围绕IMPATT二极管,该场氧化物层305使该二极管与模拟电路中的其余元件分开。在一个示例中,场氧化物层305为二氧化硅,其厚度在1微米和10微米之间,场氧化物层305优选地通过深沟槽隔离(DT)工艺形成。通过DT层305,IMPATT二极管300电隔离于其它电气组件,并且通过金属引线401连通至集成电路的其它电路元件。

[0028] 参考图3C,该工艺随后是通过由STI层304围绕的 N^{++} 开口形成深 N^{++} 下沉层306,该 N^{++} 下沉层306通过STI层304和未掺杂EPI层303的一部分部分地与击穿层308分离,其中深 N^{++} 下沉层306延伸穿过未掺杂EPI层303并接触NBL层302的顶部表面。下沉层306是重掺杂的单晶硅层的n型层。该下沉层306在下面的NBL层302和顶部金属引线401之间产生低电阻路径。

[0029] 参考图3D,该工艺随后是通过STI层304中的开口形成漂移层307,其中该漂移层307延伸穿过未掺杂EIP层303并且接触NBL层302的顶部表面。该漂移层307是轻掺杂的单晶硅层的n型层。当IMPATT二极管反向偏置时,自由电荷从漂移层307被耗尽,并且高电场在该漂移层中被构建。一方面,在漂移层307中的电场足够高使电荷将以其饱和速度从击穿层

308移动至NBL层302。另一方面,在漂移区307中的电场足够低以至于没有额外的雪崩击穿发生在该漂移层中。

[0030] 如图3D所示,该工艺随后是形成接触漂移层307的顶部表面的击穿层308。该击穿层308是重掺杂的单晶硅层的p型层。由于漂移层307和下沉层306用n型掺杂剂掺杂,具有与NBL层中的掺杂极性相同的掺杂极性,因此p-n结存在于击穿层308和漂移层307之间的相交处,而NBL层302与漂移层307和下沉层306之间的相交处将是电阻性的(ohmic)。当二极管被反向偏置时,在上述p-n结处的电场足够高以至于击穿将发生。在该击穿层308中通过雪崩击穿或隧道击穿或混合的雪崩-隧道击穿将生成电荷。由于漂移层307中的电场足够高,因此通过雪崩过程产生的电子将以其饱和速度漂移穿过该漂移层307。由于外延层303是未掺杂的,因此存在势垒以防止电流从漂移层307直接流向下沉层306。而且,下沉层306通过STI层304与击穿层308电隔离。因此,由击穿过程产生的电子将漂移穿过整个漂移层307,提供必要的渡越时间并且在AC电流和AC电压之间产生相位延迟。漂移穿过漂移层307后,电子将从NBL层302和下沉层306流过低电阻路径并且到达顶部金属引线401。

[0031] 上述工艺步骤仅仅是制造示例性实施例的n型IMPATT二极管的全部制造工艺的一部分。而且,图3示出与IMPATT二极管相关联的金属引线结构的一部分,其中元件401是第一金属级,并且其中元件402是第一中间级介电材料。图3没有示出硅化区域,其在本领域中通常被利用,用于减小在半导体材料和金属引线401之间的接触电阻。难熔金属(诸如镍、钛和钴)通常在硅化过程中被使用。

[0032] 以上列出的各层的掺杂可以通过离子注入技术、扩散技术或在半导体加工领域中已知的其它技术来实施。在图3的实施例中,NBL层302、下沉层306和击穿层308是重掺杂的。漂移层307通常比击穿层308和NBL层302更轻地被掺杂,以便耗尽漂移层中的自由电荷并且为电荷产生需要的高电场以使其以饱和速度传输。

[0033] 图4示出替换的方法以实施IMPATT二极管,其中重掺杂 N^{++} 单晶硅层309在击穿层308和漂移层307之间被形成。通过该额外的 N^{++} 层309,在层308和层309之间的p-n结处的电场可以独立地被调节以在雪崩和隧道击穿(tunneling)之间产生期望的击穿组成(breakdown composition),并且因此产生优选的器件噪声性能。而且,在漂移层307中的电场可以被减小以最小化在漂移层307中的额外击穿的机会。

[0034] 图5示出另一种方法以实施IMPATT二极管,其中N型和P型SiGe异质结构均是可用的。图4中的重掺杂击穿层308和309可以分别用重掺杂 P^{++} SiGe层310和 N^{++} SiGe层311代替。由于SiGe材料具有更小的带隙,因此其电气性质(尤其是雪崩击穿和隧道击穿)不同于块状单晶硅的电气性质。该SiGe需要更小的电场以在SiGe层310和311内产生雪崩击穿或是隧道击穿。此特征是有利的,因为击穿被限制在窄带隙SiGe层内,并且漂移层307的掺杂要求被放宽(relaxed)。

[0035] 图6示出实施IMPATT二极管的另一种方法,其中仅p型SiGe材料是可用的。图3中的 P^{++} 击穿层308用 P^{++} SiGe击穿层310代替。通过适当的设计,击穿被限制在 P^{++} SiGe击穿层310内,并且漂移层307的掺杂要求被放宽。

[0036] 图7示出实施IMPATT二极管的另一种方法,其中仅N型SiGe材料是可用的。图4中的 N^{++} 击穿层309用 N^{++} SiGe击穿层311代替。在该示例中,击穿将被限制在 P^{++} 击穿层308和 N^{++} SiGe击穿层311两者内。相比于图4中的示例,漂移层307的掺杂要求被放宽。

[0037] 如在图8中,修改的工艺可用于设计横向IMPATT二极管。在此示例中,外延层312掺杂n型,并且电流将在STI层304的下面流动并且流过n型EPI层312,而不是如图3中的流过NBL层302。这种结构的优点在于如由图3中的漂移层307的厚度限定的二极管操作频率现在由通过光刻由STI层304的宽度来控制。由于漂移层307的厚度通常是固定的,因此图8中的横向示例是更灵活的以通过光刻设计STI层304的宽度来设计二极管震荡频率。以不同频率的多个振荡器可以在相同的技术上实施。而且,在击穿层308和漂移层312之间的p-n结场是一致的,这有助于控制雪崩击穿。

[0038] 图9示出实施横向IMPATT二极管的另一种方法,其中掩埋NBL层302用掩埋氧化物层313替代。由于电流在STI层304下面流动并流过n型EPI层312,而不是如图3中的流过NBL层302,所以NBL层302没有电效益。这种结构的优点在于二极管通过掩埋氧化物层313和DT层305隔离于其余组件,并且在IMPATT二极管内的雪崩噪声将不干扰周围环境中的组件。而且,在击穿层308和漂移层312之间的p-n结场是一致的,这有助于控制雪崩击穿。

[0039] 示例性实施例的器件架构允许硅IMPATT二极管被集成到模拟工艺中。

[0040] 因此,在所述示例中,在标准平面模拟工艺流程中制造的垂直IMPATT二极管包括:由p型单晶硅组成的衬底;接触衬底的顶部表面的n型掩埋层;接触n型掩埋层的顶部表面的未掺杂层;深沟槽,其向下延伸至衬底并且完全围绕该IMPATT二极管且将该二极管与模拟电路中的其余元件分开;覆盖晶圆的顶部表面的浅沟槽层,其中开口被包括以提供IMPATT二极管的 P^{++} 和 N^{++} 区域;n阱,其延伸通过浅沟槽层中的 P^{++} 开口至未掺杂层并且接触n型掩埋层的顶部表面;通过浅沟槽结构与n阱部分地分开的深n+区域,其中深n+区域延伸通过浅沟槽层中的 N^{++} 开口至未掺杂层,接触n型掩埋层的顶部表面;接触n阱的顶部的材料层,其选自高掺杂p+硅、p+型SiGe、n+硅上高掺杂p+硅的复合层、n型SiGe上高掺杂p+硅的复合层或n型SiGe上p型SiGe的复合层的群组;以及欧姆接触,其通过第一中间级介电材料彼此分离,并且分别接触高掺杂n+层和与n阱的顶部接触的材料层。

[0041] 在一个实施例中,在标准平面模拟工艺流程中形成垂直IMPATT二极管的方法包括:提供由p型单晶硅组成的衬底;外延沉积n型掩埋层,其覆盖并接触衬底的顶部表面;外延沉积未掺杂层,其覆盖并接触n型掩埋层的顶部表面;形成深沟槽,其向下延伸至衬底并且完全围绕该IMPATT二极管且将该二极管与模拟电路中的其余元件分开;形成覆盖晶圆的顶部表面的浅沟槽层,其中开口被包括以提供IMPATT二极管的 P^{++} 和 N^{++} 区域;形成n阱,其延伸通过浅沟槽层中的 P^{++} 开口至未掺杂层并且接触n型掩埋层的顶部表面;形成通过浅沟槽结构与n阱部分地分开的深n+区域,其中深n+区域延伸通过未掺杂层并且接触n型掩埋层的顶部表面;形成接触n阱的顶部的材料层,该材料层选自高掺杂p+硅、p型SiGe、n+硅上高掺杂p+硅的复合层、n型SiGe上高掺杂p+硅的复合层或n型SiGe上p型SiGe的复合层的群组;以及形成欧姆接触,其通过第一中间级介电材料彼此分离,并且分别接触高掺杂n+层和与n阱的顶部接触的材料层。

[0042] 在权利要求的保护范围内,在描述的实施例中的修改是可能的,并且其他实施例也是可能的。

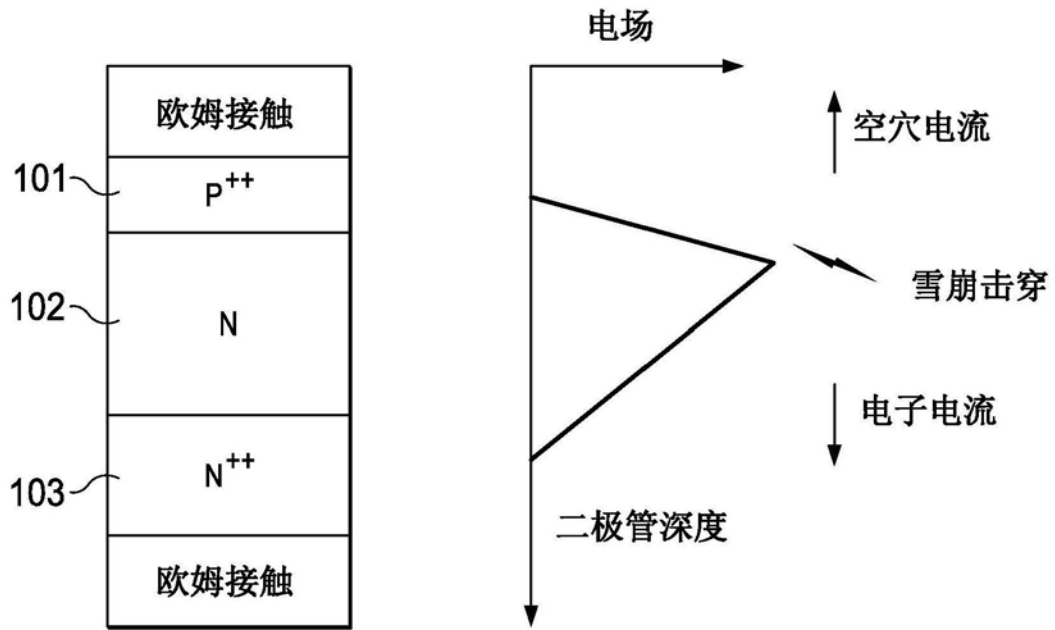


图1 (现有技术)

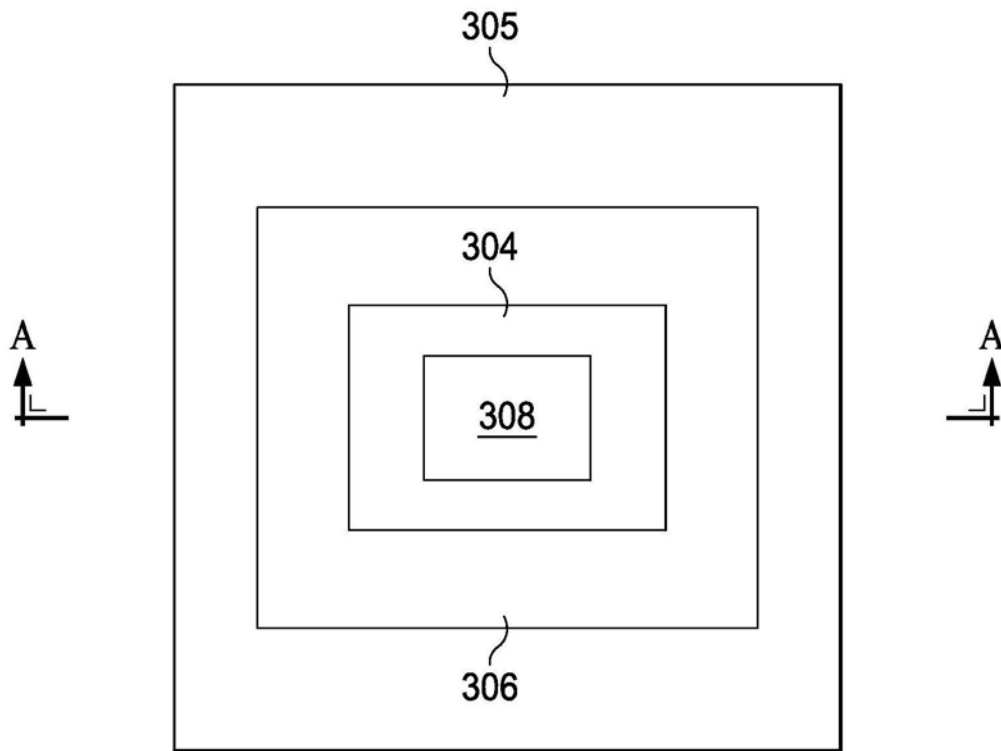


图2

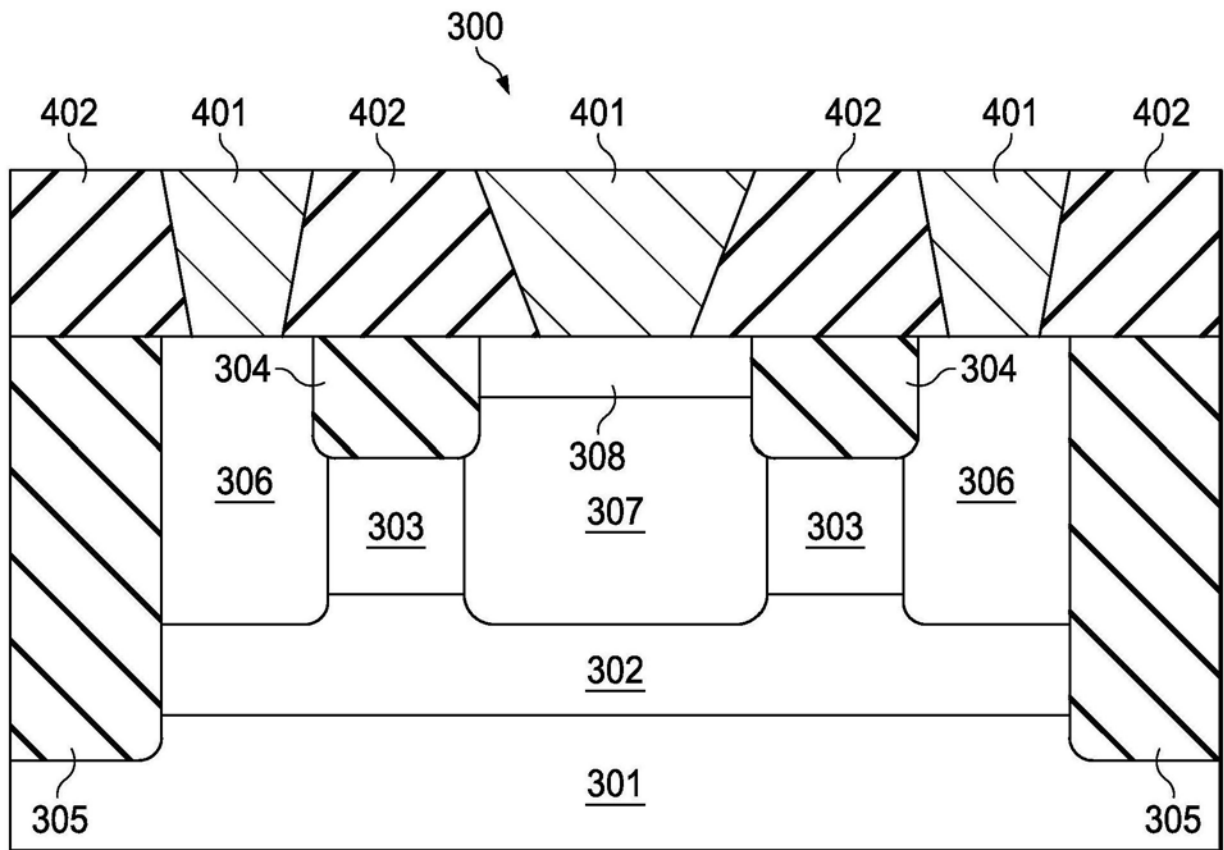


图3

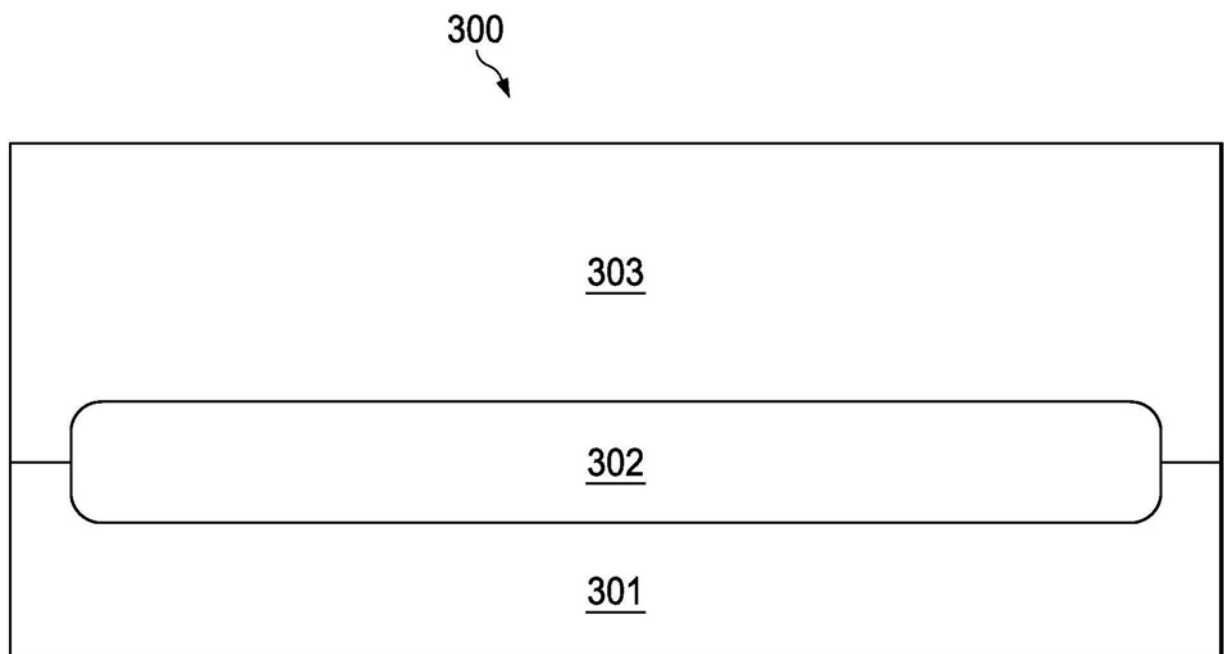


图3A

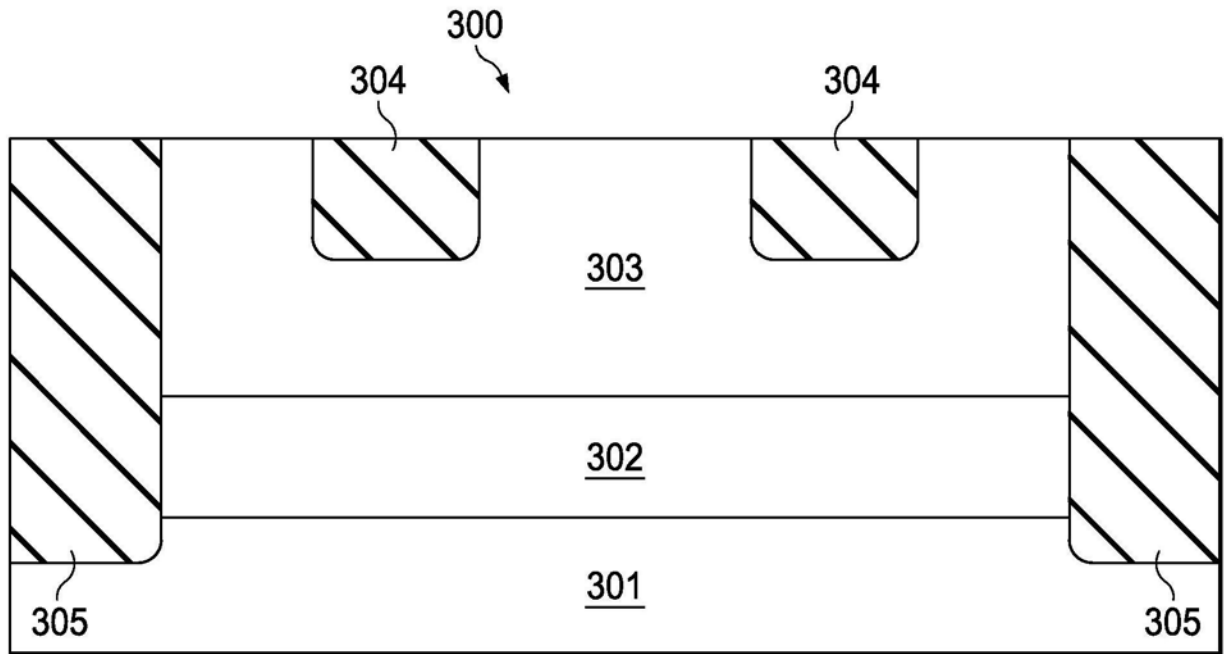


图3B

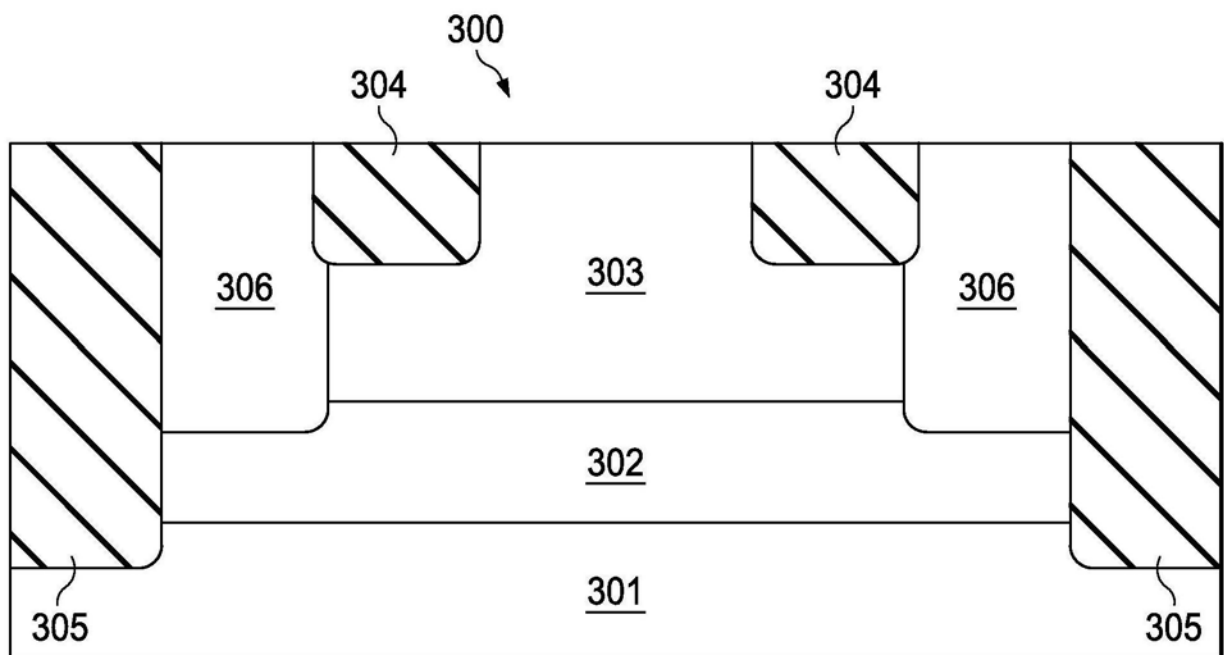


图3C

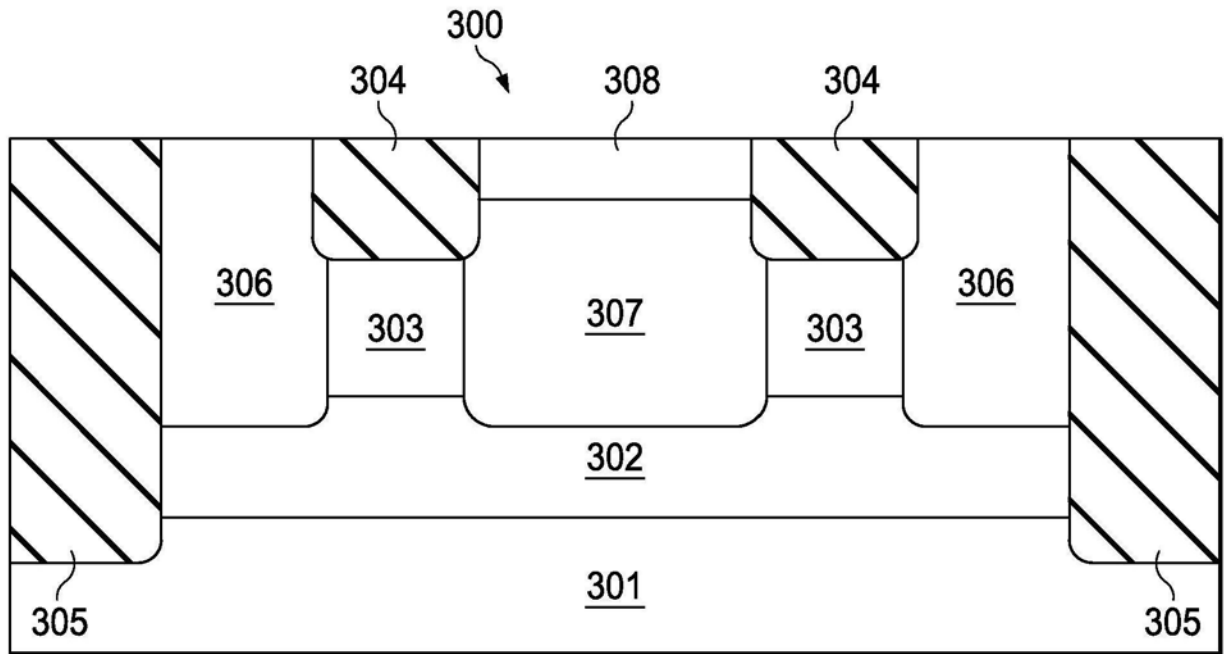


图3D

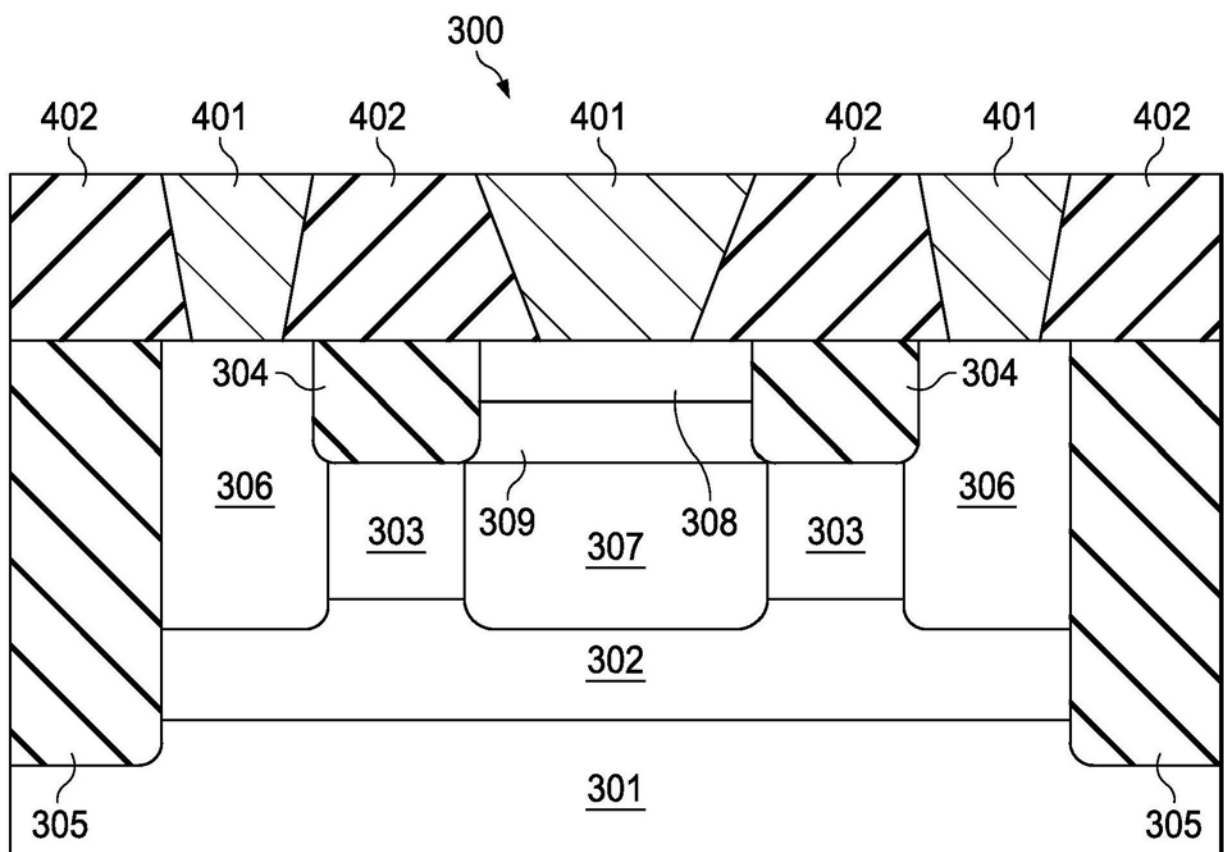


图4

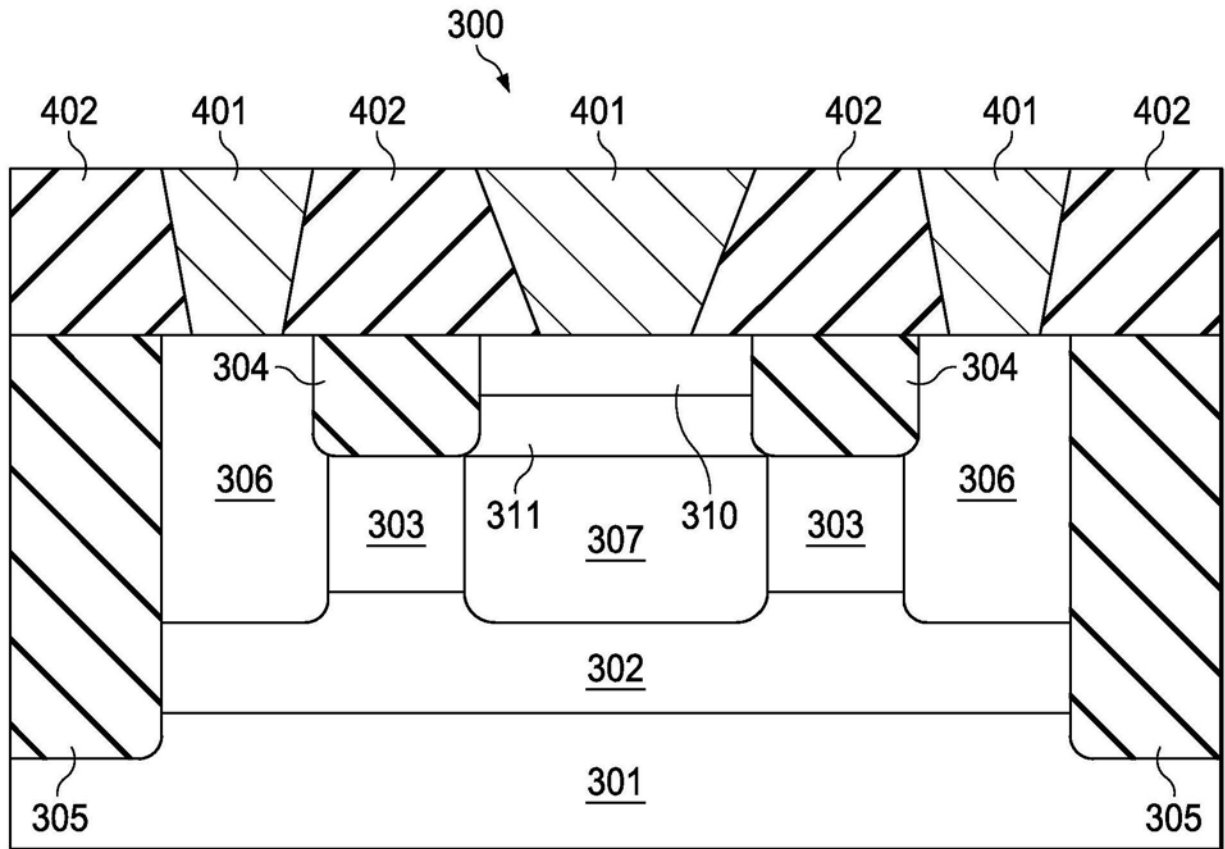


图5

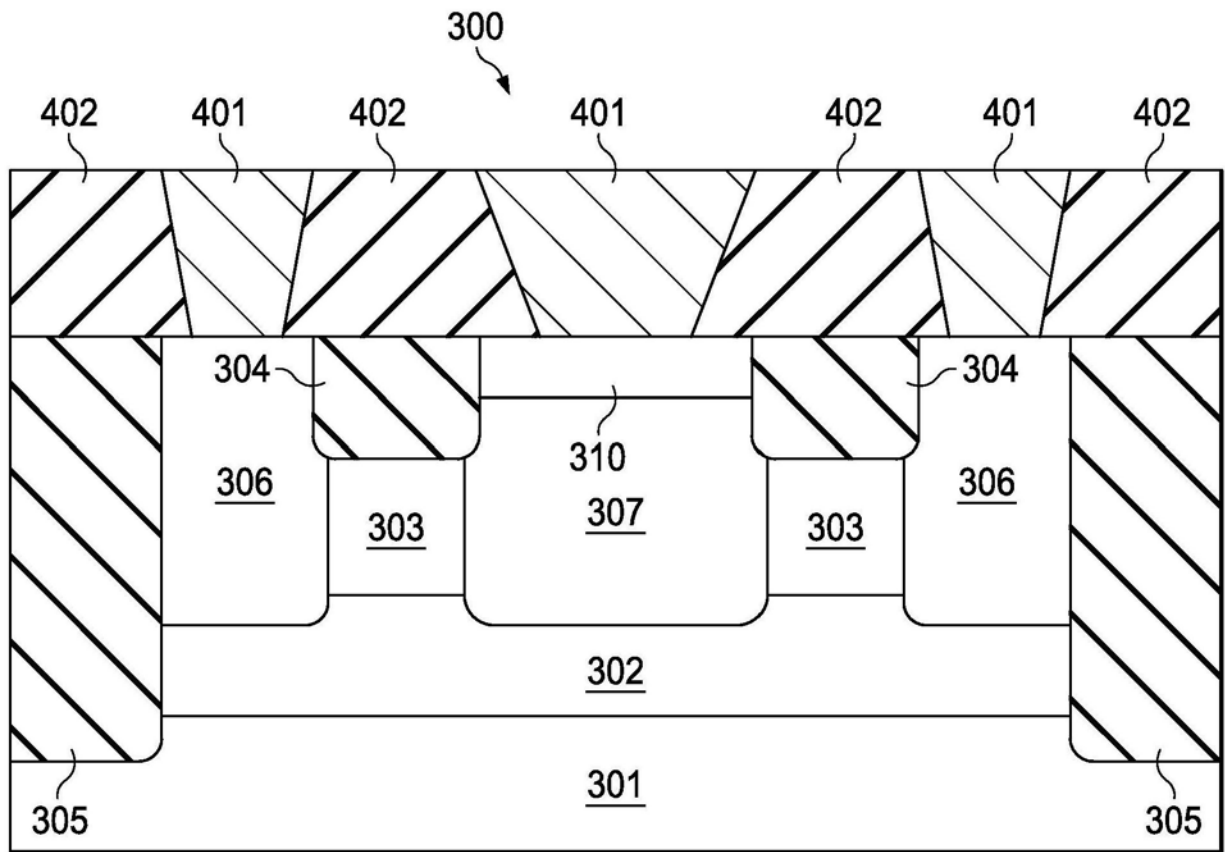


图6

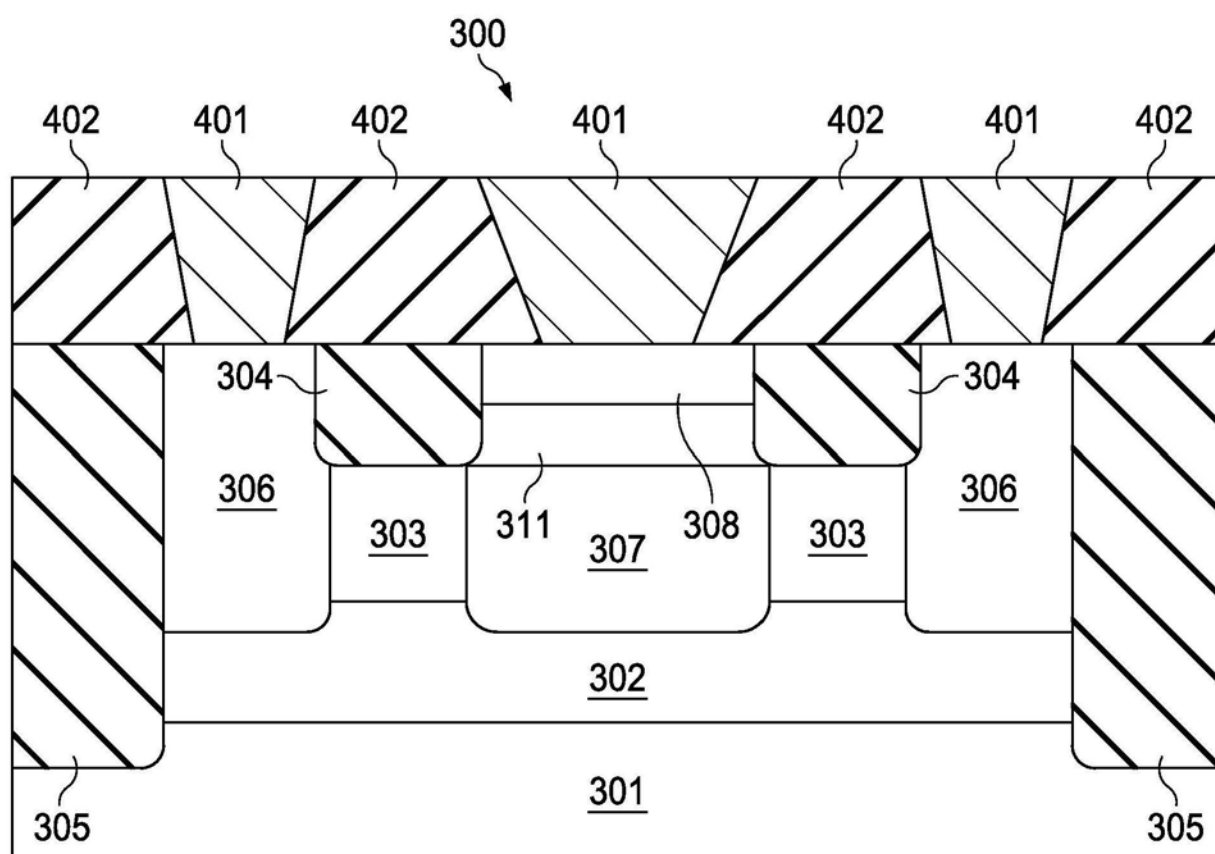


图7

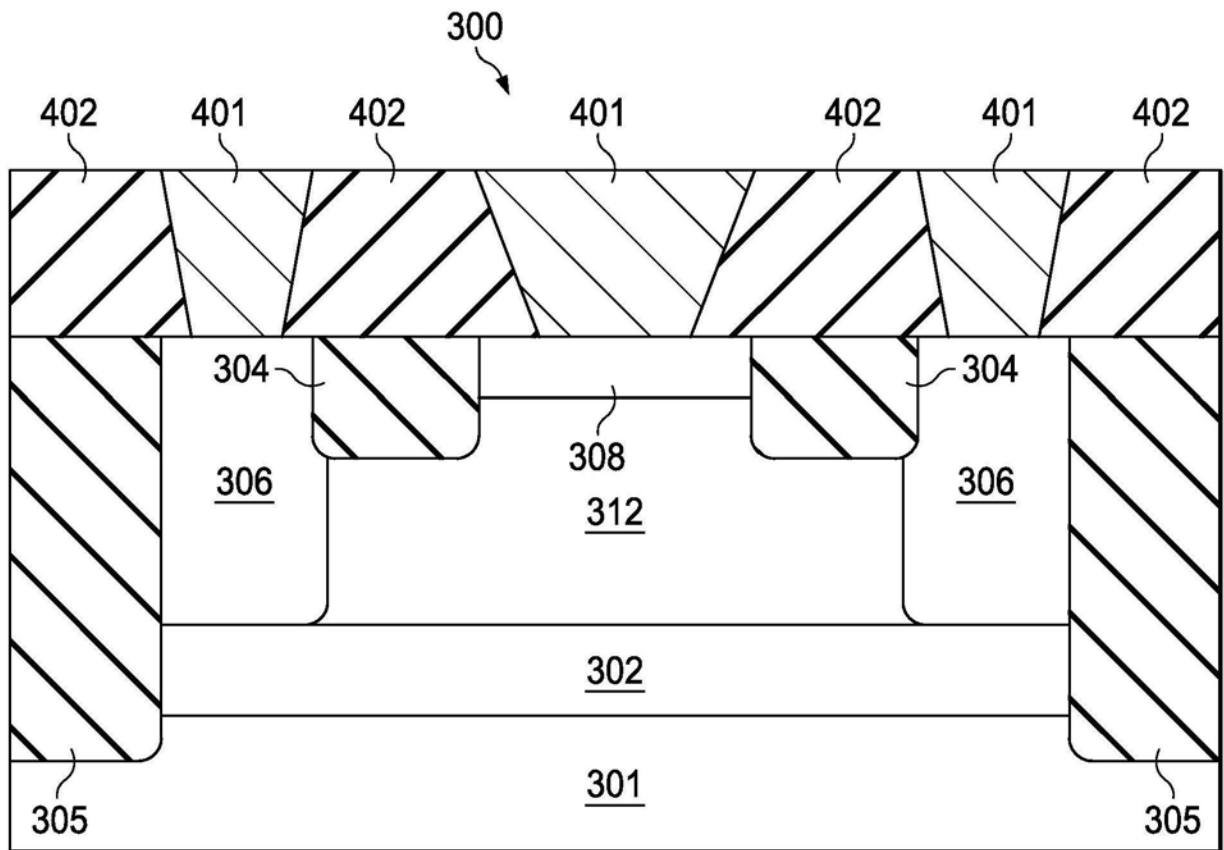


图8

