



(12)发明专利

(10)授权公告号 CN 104937848 B

(45)授权公告日 2017.12.05

(21)申请号 201480004776.9

A·C·科塔

(22)申请日 2014.01.10

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号  
申请公布号 CN 104937848 A

代理人 唐杰敏

(43)申请公布日 2015.09.23

(51)Int.Cl.

(30)优先权数据

H03K 19/003(2006.01)

13/742,964 2013.01.16 US

G11C 17/18(2006.01)

H03K 17/081(2006.01)

(85)PCT国际申请进入国家阶段日  
2015.07.14

(56)对比文件

(86)PCT国际申请的申请数据  
PCT/US2014/011138 2014.01.10

US 6452858 B1,2002.09.17,

CN 101034884 A,2007.09.12,

CN 101034882 A,2007.09.12,

(87)PCT国际申请的公布数据  
W02014/113295 EN 2014.07.24

US 6377112 B1,2002.04.23,

US 2005200401 A1,2005.09.15,

CN 1253379 A,2000.05.17,

(73)专利权人 高通股份有限公司  
地址 美国加利福尼亚州

CN 101485088 A,2009.07.15,

审查员 李妮

(72)发明人 E·特泽格鲁 G·A·尤维戈哈拉  
S·S·尹 B·加内桑

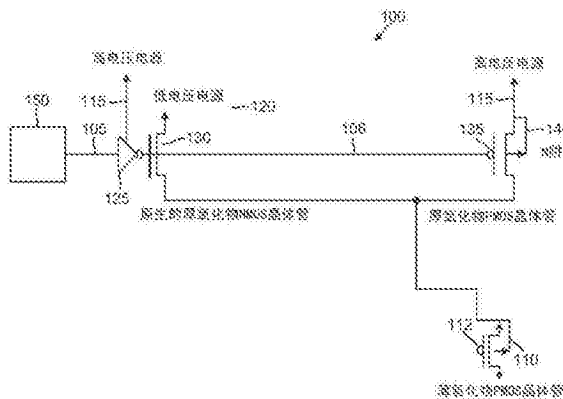
权利要求书2页 说明书5页 附图4页

(54)发明名称

N阱切换电路

(57)摘要

公开了一种双模PMOS晶体管,其具有第一操作模式,在该第一操作模式中,双模PMOS晶体管的开关n阱被偏置到高电压。双模PMOS晶体管具有第二操作模式,在该第二操作模式中,开关n阱被偏置到低于高电压的低电压。双模PMOS晶体管具有一大小和栅极氧化物厚度,该大小和栅极氧化物厚度各自具有不能容适至高电压的持久绑定的数值。n阱电压切换电路使开关n阱偏置以防止对双模PMOS晶体管的电压损坏,而不管其相对较小的大小和薄栅极氧化物厚度。



1. 一种电压切换电路,包括:

具有源极和开关n阱的薄氧化物PMOS晶体管;

原生的厚氧化物NMOS晶体管,其具有响应于控制信号来控制的栅极、耦合至被配置成提供低电压的低电压电源的漏极,以及耦合至所述薄氧化物PMOS晶体管的源极和开关n阱的源极;以及

厚氧化物PMOS晶体管,其具有响应于所述控制信号来控制的栅极、耦合至被配置成提供大于所述低电压的高电压的高电压电源的源极,以及耦合至所述薄氧化物PMOS晶体管的源极和开关n阱的漏极,其中所述原生的厚氧化物NMOS晶体管和所述厚氧化物PMOS晶体管各自具有第一栅极氧化物厚度,所述第一栅极氧化物厚度大于所述薄氧化物PMOS晶体管的第二栅极氧化物厚度。

2. 如权利要求1所述的电压切换电路,其特征在于,进一步包括配置成将所述控制信号转换成反相控制信号的反相器,并且其中所述原生的厚氧化物NMOS晶体管的栅极和所述厚氧化物PMOS晶体管的栅极被配置成由所述反相控制信号来驱动。

3. 如权利要求2所述的电压切换电路,其特征在于,所述厚氧化物PMOS晶体管包括持久地耦合至所述高电压电源的非开关n阱。

4. 如权利要求3所述的电压切换电路,其特征在于,所述厚氧化物PMOS晶体管具有第一大小,并且所述薄氧化物PMOS晶体管具有小于所述第一大小的第二大小。

5. 如权利要求4所述的电压切换电路,其特征在于,所述第一大小和所述第一栅极氧化物厚度各自具有足以保护所述厚氧化物PMOS晶体管不使其非开关n阱持久地耦合至所述高电压电源的数值。

6. 如权利要求4所述的电压切换电路,其特征在于,所述第二大小和所述第二栅极氧化物厚度各自具有不足以保护所述薄氧化物PMOS晶体管不使所述高电压电源持久地绑定至所述开关n阱的数值。

7. 一种存储器,包括:

配置成选择性地输出节点驱动至低电压和比所述低电压大的高电压的n阱电压切换电路,所述n阱电压切换电路包括厚栅极氧化物PMOS晶体管;

具有绑定至所述输出节点的源极和开关n阱的字线驱动器PMOS晶体管,其中所述字线驱动器PMOS晶体管具有比所述厚栅极氧化物PMOS晶体管的栅极氧化物厚度小的薄栅极氧化物厚度。

8. 如权利要求7所述的存储器,其特征在于,所述存储器是电可编程存储器,所述电可编程存储器进一步包括具有耦合至薄栅极氧化物编程NMOS晶体管的漏极的端子的电子熔丝,所述薄栅极氧化物编程NMOS晶体管的栅极耦合至字线,所述字线耦合至所述字线驱动器PMOS晶体管的漏极。

9. 如权利要求8所述的存储器,其特征在于,进一步包括耦合至所述电子熔丝的相对端子的位线。

10. 如权利要求9所述的存储器,其特征在于,进一步包括用于在所述电子熔丝的编程模式期间将所述位线偏置到所述高电压的高功率开关。

11. 如权利要求10所述的存储器,其特征在于,所述高功率开关包括串联在所述位线与配置成提供所述高电压的高电压电源之间的全局功率开关和局部功率开关。

12. 如权利要求11所述的存储器,其特征在于,所述局部功率开关包括PMOS晶体管,所述PMOS晶体管具有耦合至所述n阱电压切换电路的所述输出节点的开关n阱。

13. 如权利要求9所述的存储器,其特征在于,所述存储器被纳入到蜂窝电话、膝上型设备、平板设备、音乐播放器、通信设备、计算机和视频播放器中的至少一者。

14. 一种用于电压切换的方法,包括:

响应于在n阱电压切换电路处在第一状态中接收到控制信号,用第一电压来偏置双模PMOS晶体管的开关n阱,其中所述n阱电压切换电路包括具有第一大小和第一栅极氧化物厚度的晶体管,并且其中所述双模PMOS晶体管具有小于所述第一大小的第二大小和小于所述第一栅极氧化物厚度的第二栅极氧化物厚度;以及

响应于在所述n阱电压切换电路处在第二状态中接收到所述控制信号,用小于所述第一电压的第二电压来偏置所述开关n阱。

15. 如权利要求14所述的方法,其特征在于,进一步包括在所述第一状态中控制所述控制信号的接收的历时,以使得所述双模PMOS晶体管不会因用所述第一电压来偏置其开关n阱而被损坏。

16. 如权利要求14所述的方法,其特征在于,所述双模PMOS晶体管是电可编程存储器的字线驱动器晶体管,并且其中用所述第一电压来偏置所述开关n阱包括通过所述字线驱动器晶体管来编程电子熔丝。

17. 如权利要求16所述的方法,其特征在于,用所述第二电压来偏置所述开关n阱包括读取所述电子熔丝的状态。

18. 如权利要求16所述的方法,其特征在于,进一步包括在对所述电子熔丝的编程期间将耦合至所述电子熔丝的位线偏置到高电压,其中偏置所述位线包括通过局部功率开关PMOS晶体管来偏置所述位线,所述局部功率开关PMOS晶体管具有由所述n阱电压切换电路偏置到所述第二电压的开关n阱。

## N阱切换电路

[0001] 相关申请的交叉引用

[0002] 本申请要求于2013年1月16日提交的美国非临时申请No. 13/742,964的优先权,其全部内容通过援引纳入于此。

### 技术领域

[0003] 本申请涉及集成电路,并且更具体地涉及用于针对高密度应用防止锁存的n阱偏置方案。

### 背景技术

[0004] PMOS晶体管包括在n型主体中形成的p型漏极和源极。空穴由此是PMOS沟道中的多数载流子。在互补MOS (CMOS) 技术中,块状基板为p型,以使得PMOS晶体管的n型主体作为n型阱(n阱)存在于p型基板中。

[0005] 因为空穴是PMOS晶体管中的多数载流子,所以在沟道导电时PMOS源极将关于漏极处于正电压下。源极上的此正电压可能是有问题的,因为在该源极与PMOS晶体管的n阱之间形成p-n结。如果源极关于n阱充分偏置,则该p-n结被正向偏置。导电的寄生结构是由此正向偏置的p-n结以及至p型基板中的NMOS晶体管的接地连接所引起的。导电的寄生结构中结果得到的短路状况被称为锁存。锁存是危险的,因为电路可能因锁存电流而被毁坏。此外,即使电路能够耐受短路电流,锁存也禁止了正常操作。

[0006] 为了防止锁存,通常将PMOS晶体管的n阱绑定至最高预期电压。例如,如果PMOS晶体管能够在低电压模式中以及在高电压模式中操作,则通常将PMOS n阱绑定至在高电压模式操作期间使用的高电压电源。但是n阱绑定是有问题的,因为诸如在深亚微米技术中减小了晶体管尺寸。在这些现代工艺节点处,栅极氧化物太薄并且晶体管太小,以至于不能处置因将n阱绑定至相对较高的电压电源所引起的应力。

[0007] 为了解决针对现代工艺节点中能够在高电压模式和低电压模式两者中操作的PMOS晶体管的锁存问题,通常使用稳健的PMOS晶体管。换言之,增大晶体管尺寸并且使用相对较厚的栅极氧化物。此类较大厚度的栅极氧化物PMOS晶体管可以随后使其n阱绑定至高电压电源而不会使晶体管受到应力。但是相对于现代工艺节点中使用的较小的晶体管尺寸,较大的晶体管尺寸需要许多管芯面积。

[0008] 因此,在本领域中需要具有增加密度的锁存防止架构。

### 发明内容

[0009] n阱电压切换电路控制双模PMOS晶体管的开关n阱 (switched n-well) 的电压以防止锁存。双模PMOS晶体管被控制以在高电压模式和低电压模式两者中操作。在高电压模式中,n阱电压切换电路将开关n阱偏置到高电压。此高电压至少与高电压模式操作期间双模PMOS晶体管的任何预期的源极(或漏极)电压一样高。以此方式,双模PMOS晶体管的在其源极与开关n阱之间的p-n结不被正向偏置并且因此防止了锁存。

[0010] 在低电压操作模式中，n阱电压切换电路将开关n阱偏置到低于高电压的低电压。此低电压充分低，以使得双模PMOS晶体管在低电压模式期间不受应变。以此方式，双模PMOS晶体管可以相对较小并且具有较薄的栅极氧化物以增强密度。多个双模PMOS晶体管可以通过n阱电压切换电路来偏置其开关n阱的电压以进一步增强密度。

[0011] n阱电压切换电路包括具有第一栅极氧化物厚度的第一大小的第一PMOS晶体管。第一大小和第一栅极氧化物厚度具有一数值，以使得非开关n阱和第一PMOS晶体管的源极至提供高电压的高电压电源的持久耦合不会导致第一PMOS晶体管的损坏。相反，双模PMOS晶体管具有小于第一大小的第二大小，以及小于第一栅极氧化物厚度的第二栅极氧化物厚度。第二大小和第二栅极氧化物厚度具有一数值，以使得双模PMOS晶体管的开关n阱不能被持久地耦合至高电压电源而不会引起双模PMOS晶体管的损坏。为了防止此类损坏，n阱电压切换电路被控制成使得开关n阱被偏置到高电压达不长于保护双模PMOS晶体管免受损坏的安全历时的历时，而不管其相对较小的大小和较薄的栅极氧化物厚度。

### 附图说明

[0012] 图1是n阱电压切换电路的示意图。

[0013] 图2是纳入图1的n阱电压切换电路的电可编程存储器的示意图。

[0014] 图3是用于图2的存储器中的位线的高电压开关的示意图。

[0015] 图4解说了根据本文公开的实施例的纳入电可编程存储器的多个电子系统。

[0016] 本发明的实施例及其优势通过参考之后的详细描述而被最好地理解。应当领会，在一个或多个附图中，相同的参考标记被用来标识相同的元件。

### 具体实施方式

[0017] 为了解决本领域中对具有增加密度的锁存防止架构的需要，公开了一种n阱电压切换电路，该n阱电压切换电路控制双模PMOS晶体管的开关n阱的电压偏置。在低电压操作模式中，n阱电压切换电路将开关n阱偏置到相对较低电压。相反，在高电压操作模式中，n阱电压切换电路将开关n阱偏置到相对较高电压。何种电压构成本文讨论的实施例的低电压和高电压取决于工艺节点。例如，在20nm工艺节点中，高电压可以是1.9V，而低电压可以是1V。更一般地，高电压具有对于开关n阱而言过高以至于其不能被连续偏置到高电压而不会引起n阱内的PMOS晶体管的损坏的数值。相反，低电压对于开关n阱的延长偏置而言是安全的。什么是安全的而什么是不安全的将取决于所使用的特定工艺节点。

[0018] 现在转到附图，图1示出了响应于模式控制信号105的n阱电压切换电路100的实施例。如果模式控制信号105被断言为高（以指示高电压模式操作），则n阱电压切换电路100在双模PMOS晶体管112的高电压（或高功率）操作模式期间将双模PMOS晶体管112的开关n阱110充电到高电压。另一方面，如果模式控制信号105被拉低以选择双模PMOS晶体管112的低电压操作模式，则n阱电压切换电路100将开关n阱110偏置到低电压。以此方式，开关n阱110不需要持久绑定至高电压电源。如本文进一步讨论的，双模PMOS晶体管112可以随后利用在现代工艺节点中可用的较小尺寸（和较薄的氧化物）。

[0019] 反相器125将模式控制信号105反相成反相控制信号106。反相控制信号106驱动原生的厚氧化物NMOS晶体管130的栅极。原生的厚氧化物NMOS晶体管130的漏极绑定至低电压

电源120,而其源极绑定至开关n阱110。当NMOS晶体管130导通时,低电压电源120向开关n阱110提供低电压。因此,当模式控制信号105变低以选择双模PMOS晶体管112的低电压操作模式时,反相控制信号106变高,使得NMOS晶体管130完全导通以将开关n阱110偏置到低电压。NMOS晶体管130的源极形成n阱切换电路100的耦合至开关n阱110的输出节点的一部分。反相控制信号106还驱动在低电压模式中由此截止的厚氧化物PMOS晶体管135的栅极。PMOS晶体管135的源极绑定至高电压电源115,并且其漏极绑定至开关n阱110。

[0020] 为了选择高电压操作模式,模式控制信号105被断言为高,以使得反相器125将反相控制信号106拉低,从而PMOS晶体管135完全导通。PMOS晶体管135的漏极形成n阱切换电路100的耦合至开关n阱110的输出节点的剩余部分。当PMOS晶体管135导通时,高电压电源115提供使开关n阱偏置的高电压。响应于反相控制信号106在此时变低,使NMOS晶体管130截止。由此,当模式控制信号105变高时,双模PMOS晶体管112的开关n阱110被偏置到高电压。PMOS晶体管135不会因高电压而受到应力,因为其n阱140也绑定至高电压电源115并且因为其栅极氧化物相对较厚。另外,PMOS晶体管135具有大到足以使此类至高电压的持久耦合稳健的大小(沟道长度)。

[0021] 因为PMOS晶体管135的源极绑定至高电压电源115,所以控制信号106在双模PMOS晶体管112的低功率操作模式期间也应当被充电到高电压。如果取而代之控制信号106在此时间期间仅被充电到低电压,则PMOS晶体管135的栅极电压可能充分低于其源极电压,从而PMOS晶体管135将导电而非截止。因此,高电压电源115向反相器125提供功率,以使得控制信号106在双模PMOS晶体管112的低电压操作模式期间被充电到高电压。以此方式,PMOS晶体管135在低功率操作模式期间完全截止。即使NMOS晶体管130的漏极仅绑定至低电压电源120,NMOS晶体管130也是厚氧化物晶体管,因为其栅极将由此在双模PMOS晶体管112的低电压操作模式期间被充电到高电压。

[0022] PMOS晶体管135和NMOS晶体管130两者必须相对较大且稳健以耐受来自高电压电源115的应变。这些晶体管因此相应地需要管芯空间。但是仅需要一个n阱电压切换电路100来控制具有低和高电压操作模式的各种其他双模PMOS晶体管的开关n阱电位。以此方式,可以实现显著的管芯面积节省。双模晶体管PMOS 112具有比用于PMOS晶体管135和NMOS晶体管130的大小更小的尺寸。例如,双模PMOS晶体管112可以具有由工艺节点允许的最小尺寸和栅极氧化物厚度。以此方式,极大地增强了密度。

[0023] 将领会,在其中用将直接驱动NMOS晶体管130和PMOS晶体管135的栅极的活跃低控制信号来代替控制信号105的替换实施例中,可以省略反相器125。在此类实施例中,该活跃低控制信号将被拉低以选择高电压操作模式。相反,该活跃低控制信号将被充电到高电压以选择低电压操作模式。

[0024] 众多应用可以有利地使用本文公开的开关n阱中的相对较小的薄氧化物双模PMOS晶体管。例如,一种电可编程熔丝(电子熔丝)存储器包括各种字线驱动器以及编程晶体管。在常规的电子熔丝存储器中,用于字线驱动器和相关联的编程晶体管的相应晶体管需要相对较大并且具有较厚的栅极氧化物以耐受用于对电子熔丝进行编程的高电压。相反,图2中示出的电子熔丝存储器200实现了对较小的薄氧化物字线驱动器和编程晶体管的使用,这有利地提高了密度。

[0025] 为了使解说清楚,示出了仅具有单条字线210和单条位线225的电子熔丝存储器

200。然而,将领会,电子熔丝存储器200包括如针对字线210和位线225所示的类似地安排的多条其他字线和位线。其他字线将形成与字线210并行的附加行。类似地,其他位线将形成与位线225并行的列。当字线被其字线驱动器断言时,取决于位线的偏置,可以读取或编程用于该字线的相应电子熔丝。字线与位线的每个交点对应于电子熔丝。例如,电子熔丝215对应于字线210与位线225的交点。每个电子熔丝包括在非编程状态中导电的可熔链路。相反,与未经编程的电子熔丝相比,经编程的电子熔丝要么开路要么电阻大很多。为了读取给定的电子熔丝,使其字线和位线两者被断言。由于电子熔丝在读取操作中不应当被编程,因而可以使用低电压来对读取操作中的字线和位线进行断言。相反,字线和位线两者被断言为高电压以对相应的电子熔丝进行编程。读取电子熔丝将由此对应于低电压操作模式,而编程电子熔丝对应于高电压操作模式。

[0026] 在给定这些低和高电压操作模式的情况下,字线驱动器晶体管可以由此有利地使用开关n阱来实现,以使得这些晶体管可以维持相对较小,然而对于高电压操作模式而言是稳健的。关于电子熔丝215,较小的薄氧化物字线(WL)驱动器PMOS晶体管205使其漏极绑定至字线210。WL驱动器PMOS晶体管205使其开关n阱110被n阱电压切换电路100控制,如关于图1所讨论的。另外,WL驱动器PMOS晶体管205的源极也绑定至开关n阱110,以使得用于源极和开关n阱110两者的电压偏置受模式控制信号105控制。因此,如果电子熔丝215要被编程,则n阱电压切换电路100将WL驱动器PMOS晶体管205的源极和开关n阱110偏置到高电压。字线解码器(未解说)通过将WL驱动器PMOS晶体管205的栅极拉低来选择字线210。作为响应,WL驱动器PMOS晶体管205导通并且将字线210偏置到高电压。字线210控制较小的薄氧化物编程NMOS晶体管220的栅极,该NMOS晶体管220的源极绑定至接地并且漏极绑定至电子熔丝215的一端子。在编程模式中,编程NMOS晶体管220的栅极由此被偏置到高电压。位线225耦合至电子熔丝215的剩余端子。如果在NMOS编程晶体管220导通时位线225也被充电到高电压,则相对较大量的电流将流过电子熔丝215,以使得电子熔丝215可被编程。

[0027] 为了读取电子熔丝215的状态,模式控制信号105命令n阱电压切换电路100将WL驱动器PMOS晶体管205的源极和开关n阱110偏置到低电压。如果WL驱动器PMOS晶体管205的栅极随后被拉低,则此晶体管随后将导通以将字线210充电到低电压,以便使NMOS编程晶体管220导通。在此读取操作期间,位线225被偏置到低电压。如果电子熔丝215未被编程,则由于通过NMOS编程晶体管220的传导,字线210的断言将使经充电的位线225拉向接地。相反,如果电子熔丝215已被编程,则位线225将不会被拉到接地,而不管NMOS编程晶体管220被导通。

[0028] 尽管由此在用于编程电子熔丝的高电压操作模式期间保护了WL驱动器PMOS晶体管205免遭锁存,但是由于WL驱动器PMOS晶体管205是较小的薄氧化物晶体管,因而对于充分长的高电压操作时段而言仍是不稳健的。但是与此类较小的薄氧化物晶体管的高电压长寿命相比,对电子熔丝的编程花费相对较小的时间量。回头参考图1,控制模式控制信号105的状态的控制器150被配置成断言模式控制信号105仅达对电子熔丝215进行编程所必需的相对较短的时间量。以此方式,WL驱动器PMOS晶体管205和编程NMOS晶体管220两者仅被高电压偏置达对电子熔丝215进行编程所必需的历时。由此,这两个晶体管可以利用现代工艺节点中可用的小尺寸和薄栅极氧化物厚度,这极大地增强了管芯节省。例如,如果存储器200包括多条(N条)字线和相同的多条(N条)位线,则该存储器200将包括 $N^2$ 个电子熔丝并且

将由此需要 $N^2$ 个编程晶体管。管芯区域节省由此与存储器的大小二次相关。

[0029] 本文讨论的n阱电压切换还可以应用于功率开关,该功率开关用于在编程模式期间将位线225拉到高电压。在该方面,包括与局部功率开关串联的全局功率开关以用于位线225的高电压充电是有利的。在常规的电子熔丝存储器中,这两个开关将包括相对较大的厚氧化物PMOS晶体管,这些PMOS晶体管使其n阱持久地绑定至高电压电源115以防止锁存。但是如图3中所示,局部功率开关包括相对较小的薄氧化物PMOS晶体管300,该PMOS晶体管300通过n阱电压切换电路100来控制其开关n阱110。全局功率开关包括相对较大的厚氧化物PMOS晶体管305,该PMOS晶体管305使其源极和非开关n阱306绑定至高电压电源115。PMOS晶体管300串联耦合在位线225与PMOS晶体管305的漏极之间。启用编程控制信号315通过反相器310被反相以驱动PMOS晶体管305和300两者的栅极。由此,当启用编程控制信号315被断言为高以选择电子熔丝215的编程模式时,PMOS晶体管305和300导通,从而位线225被从低电压充电到高电压。在此实施例中,启用编程控制信号315也是n阱电压切换电路100的模式控制信号。由此,当启用编程控制信号315被断言时,开关n阱110也被充电到高电压。

[0030] 在电子熔丝215已被编程之后,启用编程控制信号315被解除断言,以使得PMOS晶体管300和305截止。同时,n阱电压切换电路100将开关n阱110偏置到低电压。但是注意,耦合至PMOS晶体管300的源极的节点320在编程模式期间被充电到高电压。为了防止与开关n阱110的低电压相比从此经充电的节点电位发生锁存的任何可能性,NMOS晶体管325在存储器200不在被编程时将节点320拉到接地。为了这么做,反相器310驱动NMOS晶体管325的栅极,以使得NMOS晶体管325响应于启用编程模式控制信号315的解除断言而导通。NMOS晶体管325的源极绑定至接地,而其漏极绑定至节点320。以此方式,当电子熔丝存储器200不处于编程模式时,NMOS晶体管325将节点320的电位拉到接地。分开的低电压开关(未解说)将在存储器200的读取操作模式期间活跃以将位线225充电到低电压。

[0031] 电可编程存储器200具有众多应用。例如,通常使用此类存储器来用配置数据、修剪数据、RAM冗余信息、加密码、或其他合适的信息来配置片上系统(SOC)。图4解说了包括用电可编程存储器200增强的SOC的一些示例性设备。具体地,蜂窝电话400、膝上型设备405和平板PC 410都可以包括根据本公开构造的电可编程存储器200。其他示例性电子系统(诸如音乐播放器、视频播放器、通信设备和个人计算机)也可以用根据本公开的电可编程存储器来配置。

[0032] 如本领域普通技术人员至此将会领会并取决于手头的具体应用的,可以在本公开的设备的材料、装置、配置和使用方法上做出许多修改、替换和变动而不会脱离本公开的精神和范围。有鉴于此,本公开的范围不应当被限定于本文中所解说和描述的特定实施例(因为其仅是藉其一些示例来解说和描述的),而应当与所附权利要求及其功能等同方案完全相当。





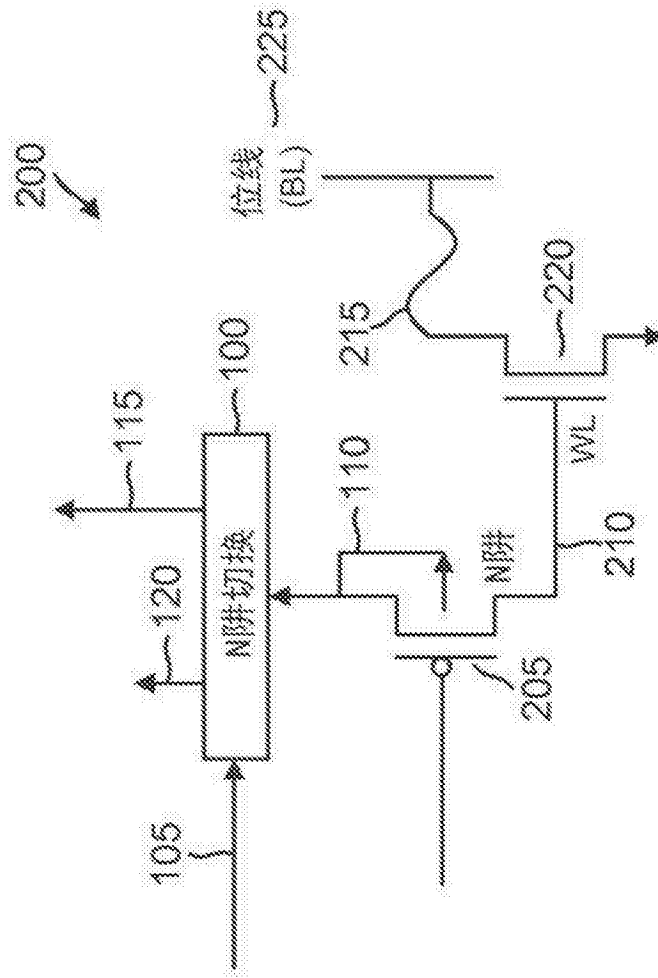


图2



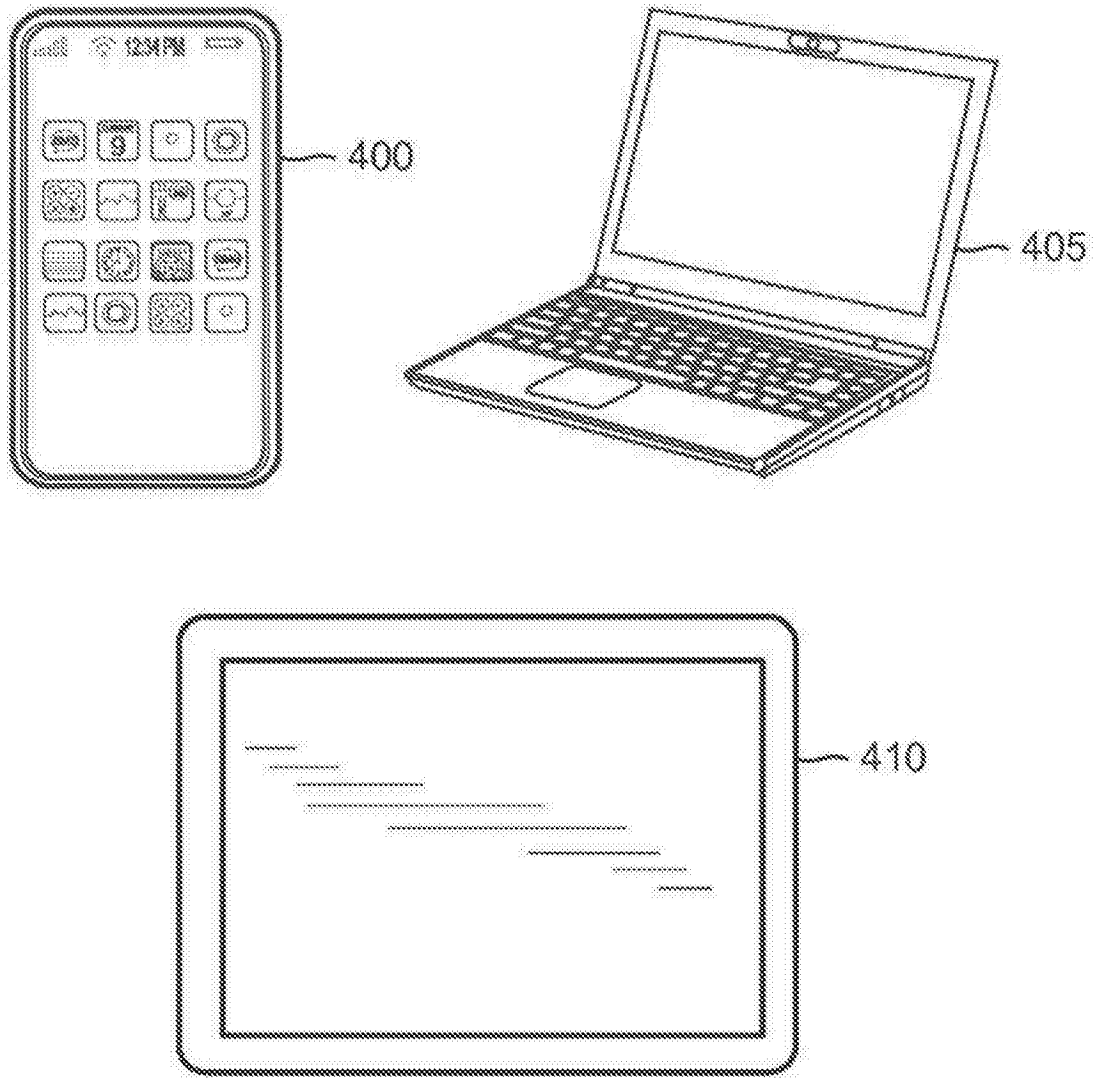


图4