

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月26日(26.04.2018)



(10) 国際公開番号

WO 2018/074427 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 29/12 (2006.01)
H01L 21/822 (2006.01) H01L 29/739 (2006.01)
H01L 21/8234 (2006.01) H01L 29/861 (2006.01)
H01L 27/04 (2006.01) H01L 29/868 (2006.01)
H01L 27/06 (2006.01)

(21) 国際出願番号: PCT/JP2017/037405

(22) 国際出願日: 2017年10月16日(16.10.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-203433 2016年10月17日(17.10.2016) JP

(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 Kanagawa (JP).

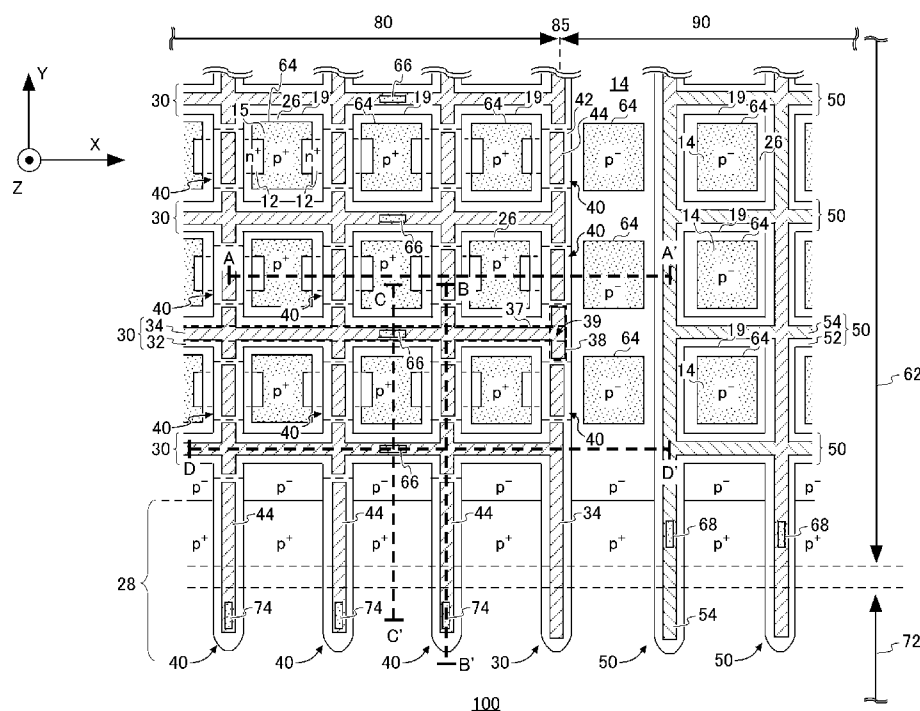
(72) 発明者: 内藤 達也 (NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 龍華国際特許業務法人 (RYUKA IP LAW FIRM); 〒1631522 東京都新宿区西新宿1-6-1 新宿エルタワー22階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: If the ratio of a dummy trench part to a gate trench part is raised, said dummy trench part having a conduction part that has an emitter electric potential, then a collector-gate capacitance (hereinafter, C_{CG}) decreases, and a collector-emitter capacitance (hereinafter, C_{CE}) increases. As a result, an oscillation phenomenon occurs more easily. Provided is a semiconductor device comprising: a semiconductor substrate of a first conduction type; a base region of a second conduction type that is provided to a surface side within the semiconductor

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

substrate; a gate trench part that is provided within the semiconductor substrate, from the surface of the semiconductor substrate through the base region, and has a gate conduction part; and a dummy trench part that is provided within the semiconductor substrate, from the surface of the semiconductor substrate through the base region, and includes an upper section dummy conduction part, having an emitter electric potential, and a lower section gate conduction part, being positioned below the upper section dummy conduction part and having a gate electric potential, wherein the lower section gate conduction part of the dummy trench part connects to the gate conduction part of the gate trench part.

(57) 要約: ゲートトレンチ部に対してエミッタ電位である導電部を有するダミートレンチ部の比率を高くすると、コレクタ-ゲート間容量(以下、 C_{CG})が減り、コレクタ-エミッタ間容量(以下、 C_{CE})が増える。これにより、発振現象が生じやすくなる。第1導電型の半導体基板と、半導体基板内の表面側に設けられた第2導電型のベース領域と、半導体基板の表面からベース領域を貫通して半導体基板内に設けられ、ゲート導電部を有する、ゲートトレンチ部と、半導体基板の表面からベース領域を貫通して半導体基板内に設けられ、エミッタ電位を有する上部ダミー導電部と、上部ダミー導電部の下に位置しゲート電位を有する下部ゲート導電部とを含む、ダミートレンチ部とを備え、ダミートレンチ部の下部ゲート導電部は、ゲートトレンチ部のゲート導電部と接続する半導体装置を提供する。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

[0002] ゲートトレンチを矩形環状に設けることが知られている（例えば、特許文献 1 参照）。また、ゲートトレンチおよびダミートレンチをそれぞれ矩形環状に設けることが知られている（例えば、特許文献 2 参照）。

[先行技術文献]

[特許文献]

[特許文献 1] 特開 2013-150000 号公報

[特許文献 2] 特開 2016-092177 号公報

解決しようとする課題

[0003] ゲートトレンチ部に対してエミッタ電位である導電部を有するダミートレンチ部の比率を高くすると、コレクタ - ゲート間容量（以下、 C_{CG} ）が減り、コレクタ - エミッタ間容量（以下、 C_{CE} ）が増える。これにより、発振現象が生じやすくなる。

一般的開示

[0004] 本発明の第 1 の態様においては、半導体装置を提供する。半導体装置は、半導体基板と、ベース領域と、ゲートトレンチ部と、ダミートレンチ部とを備えてよい。半導体基板は、第 1 導電型であってよい。ベース領域は、半導体基板内の表面側に設けられてよい。ベース領域は、第 2 導電型であってよい。ゲートトレンチ部は、半導体基板の表面からベース領域を貫通して半導体基板内に設けられてよい。ゲートトレンチ部は、ゲート導電部を有してよい。ダミートレンチ部は、半導体基板の表面からベース領域を貫通して半導体基板内に設けられてよい。ダミートレンチ部は、上部ダミー導電部と、下部ゲート導電部とを含んでよい。上部ダミー導電部は、エミッタ電位を有してよい。下部ゲート導電部は、上部ダミー導電部の下に位置してよい。下部

ゲート導電部は、ゲート電位を有してよい。ダミートレンチ部の下部ゲート導電部は、ゲートトレンチ部のゲート導電部と接続してよい。

[0005] 半導体基板の表面において、複数のゲートトレンチ部と複数のダミートレンチ部とが、メサ領域を囲んでよい。メサ領域は、半導体装置のトランジスタ部に設けられてよい。メサ領域は、ベース領域を有してよい。

[0006] 半導体基板の表面において、ダミートレンチ部は、第1の直線部と、第2の直線部と、交差部とを有してよい。第1の直線部は、第1方向に延伸してよい。第2の直線部は、第2方向に延伸してよい。第2方向は、第1方向に対して直交してよい。交差部において、第1の直線部と第2の直線部とが交わってよい。

[0007] 半導体基板の表面において、複数のメサ領域は、第1方向および第2方向に直線状に並んで設けられてよい。

[0008] 半導体基板の表面において、半導体装置のトランジスタ部に設けられベース領域を各々有する複数のメサ領域は、第1のグループと、第2のグループと、第3のグループとを含んでよい。第1のグループにおいて、各メサ領域は第1方向において直線状に並んで設けられてよい。第2のグループにおいて、各メサ領域は第1方向において直線状に並んで設けられてよい。第2のグループにおいて、各メサ領域は第2方向において第1のグループに対して最も近くてよい。第2のグループにおいて、各メサ領域は第1のグループの各メサ領域に対して第1方向において互いに半周期ずれて設けられてよい。第3のグループにおいて、各メサ領域は第1方向において直線状に並んで設けられてよい。第3のグループにおいて、各メサ領域は第2方向において第1のグループに対して2番目に近くてよい。第3のグループにおいて、各メサ領域は第1のグループの各メサ領域に対して第2方向において互いに並んで設けられてよい。

[0009] ダミートレンチ部は、半導体基板の表面において、メサ領域の第1方向に平行な辺に隣接して設けられてよい。ゲートトレンチ部は、半導体基板の表面において、メサ領域の第2方向に平行な辺に隣接して設けられてよい。

- [0010] 半導体装置は、半導体装置のトランジスタ部に隣接するダイオード部さらに備えてよい。トランジスタ部およびダイオード部に設けられた複数のダミートレンチ部の各々は、下部ゲート導電部を有してよい。
- [0011] 複数のダミートレンチ部のうち少なくとも一つのダミートレンチ部は、下部ゲート導電部を有さなくてもよい。
- [0012] 半導体装置は、半導体装置のトランジスタ部に隣接するダイオード部さらに備えてよい。トランジスタ部における複数のダミートレンチ部のうちダイオード部に最も近い複数の第2の直線部は、第2方向において隣接する第2の直線部同士が互いに連結してよい。ダイオード部に最も近い複数の第2の直線部は、下部ゲート導電部を有しなくてもよい。
- [0013] ダミートレンチ部の下部ゲート導電部は、ベース領域よりも下に設けられてよい。
- [0014] ダミートレンチ部は、上部絶縁膜と、下部絶縁膜とを有してよい。上部絶縁膜は、上部ダミー導電部の側部および底部に設けられてよい。下部絶縁膜は、下部ゲート導電部の側部および底部に設けられてよい。下部絶縁膜は、上部絶縁膜よりも厚くてよい。
- [0015] 半導体基板は、第1導電型のドリフト領域を有してよい。ドリフト領域は、ベース領域よりも下に位置してよい。ダミートレンチ部の上部絶縁膜は、ドリフト領域に接触しなくてよい。ダミートレンチ部の下部絶縁膜は、ドリフト領域に接触してよい。
- [0016] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0017] [図1]第1実施形態における半導体装置100の上面図である。
- [図2]図1のA - A'断面を示す図である。
- [図3]図1のB - B'断面を示す図である。
- [図4]図1のC - C'断面を示す図である。

[図5]図1のD - D'断面を示す図である。

[図6A]第1実施形態における、メサ領域19、ダミートレンチ部30およびゲートトレンチ部40を示す図である。

[図6B]第1実施形態の変形例における、メサ領域19、ダミートレンチ部30およびゲートトレンチ部40を示す図である。

[図7]ダミートレンチ部30の変形例を示す図である。

[図8]第2実施形態における半導体装置100のD - D'断面を示す図である。

[図9]第3実施形態における半導体装置100の上面図である。

[図10]第3実施形態における半導体装置100のD - D'断面を示す図である。

[図11]第4実施形態における半導体装置100の上面図である。

[図12]第4実施形態における半導体装置100のF - F'断面を示す図である。

[図13]第5実施形態における半導体装置100の上面図である。

[図14]第6実施形態における半導体装置100の上面図である。

発明を実施するための形態

[0018] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0019] 図1は、第1実施形態における半導体装置100の上面図である。本例の半導体装置100は、IGBT (Insulated Gate Bipolar Transistor) が設けられたIGBT部80と、FWD (Free Wheeling Diode) が設けられたFWD部90とを有する。IGBT部80は、トランジスタ部の一例である。トランジスタ部の他の例は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) であっても

よい。FWD部90は、ダイオード部の一例である。本例の半導体装置100は、IGBT部80とFWD部90とを1つの半導体基板に一体形成したRC-IGBT(Reverse-Conducting IGBT)である。

[0020] 本例のIGBT部80は、X方向においてFWD部90に隣接する。本例において、X方向とY方向とは互いに直交する方向である。X方向は第1方向の一例であり、Y方向は第2方向の一例である。Z方向はX-Y平面に垂直な方向である。X方向、Y方向およびZ方向は、いわゆる右手系を成す。なお、本例において「上」および「上方」は、半導体基板の裏面から表(おもて)面に向かう方向(+Z方向)を意味する。これに対して、「下」および「下方」は、+Z方向とは反対方向である-Z方向を意味する。本例において、上および下は相対的な位置関係を説明する便宜的な表現に過ぎない。Z方向は、必ずしも重力方向または地面に垂直な方向を意味しない。

[0021] 図1は、半導体基板の端部周辺における活性領域を示しており、半導体基板の中心部および半導体基板の端部に位置するエッジ終端部等の他の領域を省略している。半導体装置100は、上面視において活性部を囲むエッジ終端部を有してよい。本例において活性部とは、IGBT部80およびFWD部90を含む領域を指す。エッジ終端部は、半導体基板の表面側における電界集中を緩和する機能を有する。エッジ終端部は、例えば、ガードリング、フィールドプレート、リサーフまたはこれらの2種類以上を組み合わせた構造を有する。

[0022] 本例の半導体装置100は、半導体基板内の表面側において、 n^+ 型のエミッタ領域12、 p^- 型のベース領域14、 p^+ 型のコンタクト領域15、 p^+ 型のウェル領域28、ダミートレンチ部30、ゲートレンチ部40、および、ダミートレンチ部50を備える。なお、 n または p は、それぞれ電子または正孔が多数キャリアであることを意味する。また、 n または p の右肩に記載した+または-について、+はそれが記載されていないものよりもキャリア濃度が高く、-はそれが記載されていないものよりもキャリア濃度が低い

ことを意味する。

[0023] 本例の半導体基板は第1導電型のシリコン基板であるが、第1導電型の炭化シリコン基板または第1導電型の窒化ガリウム基板であってもよい。本例において第1導電型はn型であり、本例の半導体基板はn⁻型のシリコン基板である。第2導電型のベース領域14は、IGBT部80およびFWD部90に設けられる。本例において、第2導電型はp型である。なお、各例において説明する基板、領域およびその他の部分導電型は、それぞれ逆の導電型であってもよい。

[0024] 図1においては、半導体基板の表面上に設けられた層間絶縁膜26に設けられたコンタクトホール64、66および74、ならびに、FWD部90の層間絶縁膜26に設けられたコンタクトホール68を示す。コンタクトホール64、66および68は、エミッタ電極62と表面との電氣的接続を提供する。これに対して、コンタクトホール74は、ゲート金属層72と表面との電氣的接続を提供する。

[0025] [IGBT部80] 本例のIGBT部80は、複数のメサ領域19を有する。各メサ領域19は、ベース領域14を有する。IGBT部80のベース領域14は、メサ領域19の周辺部において半導体基板の表面に露出する。本例のメサ領域19は、半導体基板のおもて面において、2つのゲートトレンチ部40および2つのダミートレンチ部50により四方を囲まれる。本例のダミートレンチ部30は、メサ領域19のX方向に平行な辺に隣接する。また、本例のゲートトレンチ部は、メサ領域19のY方向に平行な辺に隣接して設けられる。なお、上面視におけるメサ領域19の形状は、矩形に限定されず、五角形以上の多角形でもよい。

[0026] 本例のIGBT部80のメサ領域19は、複数のエミッタ領域12を有する。エミッタ領域12は、メサ領域19の周辺部において、半導体基板の表面に露出する。本例のエミッタ領域12は、メサ領域19のY方向の midpoint 近傍であって、メサ領域19の±X方向端部に設けられる。つまり、本例においては、1つのメサ領域19が2つのエミッタ領域12を有する。本例のエ

ミッタ領域 12 は、Y 方向に延伸する帯形状を有する。

[0027] 本例の IGBT 部 80 のメサ領域 19 は、コンタクト領域 15 を有する。コンタクト領域 15 は、メサ領域 19 の中央部において、半導体基板の表面に露出する。コンタクト領域 15 は、メサ領域 19 よりも小さい範囲に設けられる。本例のコンタクト領域 15 は、メサ領域 19 と相似な矩形形状を有する。本例のコンタクト領域 15 は、コンタクトホール 64 の開口部において露出する。なお、本例のコンタクトホール 64 は、コンタクト領域 15 と同様にメサ領域 19 と相似な矩形形状を有する。コンタクトホール 64 は、図 1 における境界線の内側に開口を有する。例えば、エミッタ電極 62 およびコンタクト領域 15 は、コンタクトホール 64 の内側において互いに接続する。

[0028] ダミートレンチ部 30 およびゲートレンチ部 40 は、半導体基板の表面側からベース領域 14 を貫通して設けられる。本例において、レンチ部がベース領域 14 を貫通するとは、表面側の全体に設けられたベース領域 14 がエッチングにより上面視において分離された状況を指す。

[0029] 本例のダミートレンチ部 30 は、ダミートレンチの内壁に形成された上部絶縁膜 32 と、上部絶縁膜 32 で内壁が覆われたダミートレンチの内部に形成された上部ダミー導電部 34 とを少なくとも有する。上部ダミー導電部 34 は、コンタクトホール 66 を介してエミッタ電極 62 に接続する。なお、本例のエミッタ電極 62 は、ウェル領域 28 から +Y 方向に延伸し、IGBT 部 80 および FWD 部 90 の全体を覆う。なお、ウェル領域 28 は、-Y 方向端部に位置するベース領域 14 よりもさらに -Y 方向の位置に設けられる。

[0030] ダミートレンチ部 30 は、第 1 の直線部 37 と、第 2 の直線部 38 と、交差部 39 とを有する。本例においては、IGBT 部 80 の -Y 方向端部のメサ領域 19 に隣接するダミートレンチ部 30 において、第 1 の直線部 37 と、第 2 の直線部 38 と、交差部 39 とを示す。ただし、IGBT 部 80 の各ダミートレンチ部 30 は、同様な第 1 の直線部 37 と、第 2 の直線部 38 と

、交差部 39 とを有してよい。

[0031] 1つの第1の直線部 37 および1つの第2の直線部 38 を点線により囲んで示す。また、1つの交差部 39 を矢印により示す。第1の直線部 37 は、X方向に延伸する。これに対して、第2の直線部 38 は、Y方向に延伸する。本例においては、1つの第2の直線部 38 に対して、複数の第1の直線部 37 が直交する。第1の直線部 37 と、第2の直線部 38 とが交わる位置を交差部 39 と称する。

[0032] ダミートレンチ部 30 のダミートレンチは、所定の深さを有する。本例では、ゲートレンチ部 40 に加えてダミートレンチ部 30 を設けるので、トレンチ間にホールが蓄積されるキャリア蓄積効果を得ることができる。これにより、オン電圧を低減することができる。また、本例のダミートレンチ部 30 は、第1の直線部 37 と第2の直線部 38 とを離間させず交差部 39 において直交させるので、交差部 39 を設けない場合に比べてキャリア蓄積効果を向上させることができる。

[0033] なお、交差部 39 のダミートレンチは、第1の直線部 37 および第2の直線部 38 のダミートレンチよりも深くてもよい。仮に、交差部 39 がゲートレンチ部 40 に設けられる場合、交差部 39 近傍のゲート閾値電圧が、第1の直線部 37 および第2の直線部 38 のゲート閾値電圧とは異なり得る。つまり、ゲートレンチ部 40 の場所によって、ゲート閾値電圧が変動する問題が生じる。これに対して本例においては、ダミートレンチ部 30 に交差部 39 を設けてゲートレンチ部 40 には交差部 39 を設けないので、ゲート閾値電圧が変動する問題を回避することができる。

[0034] ゲートレンチ部 40 は、ゲートレンチの内壁に形成された絶縁膜 42 と、絶縁膜 42 で内壁が覆われたゲートレンチの内部に形成されたゲート導電部 44 とを有する。ゲート導電部 44 は、IGBTのチャネルを制御する機能を有する。ゲート導電部 44 は、コンタクトホール 74 を介してゲート金属層 72 に接続する。本例のゲート金属層 72 は、-Y方向の端部に位置するダミートレンチ部 30 およびゲートレンチ部 40 の一部を少なくとも

も覆う。本例のゲート金属層 7 2 は、主にウェル領域 2 8 上に設けられる。

[0035] ゲートトレンチ部 4 0 の内部に形成されたゲート導電部 4 4 に所定の電圧が印加されると、エミッタ領域 1 2 の下方に形成された p 型のベース領域においてゲートトレンチ部 4 0 と接する領域にチャンネルが形成される。エミッタ電極 6 2 に所定の低電位（例えば、接地電位）が印加され、かつ、半導体基板の裏面に設けられたコレクタ電極に所定の高電位（例えば、数十ボルトから数千ボルト）が印加された場合にチャンネルが形成されると、コレクタ電極からチャンネルを経由してエミッタ電極 6 2 に電流が流れる。

[0036] 本例では、ダミートレンチ部 3 0 およびゲートトレンチ部 4 0 によってメサ領域 1 9 を囲むので、半導体装置 1 0 0 の設計段階において半導体基板の表面におけるゲートトレンチ部 4 0 の密度を容易に調整できる。具体的には、2 つの第 1 の直線部 3 7 を連結させることにより、ゲートトレンチ部 4 0 をダミートレンチ部 3 0 とすることができる。これにより、ダミートレンチ部 3 0 の占有面積に対するゲートトレンチ部 4 0 の占有面積の比率を容易に調整することができる。なお、本例のダミートレンチ部 3 0 およびゲートトレンチ部 4 0 が有するトレンチは、同じ深さである。

[0037] なお、本例において、部分的にゲート金属層 7 2 の下に位置するゲートトレンチ部 4 0 は、Y 方向に延伸する直線形状である。ただし、2 つの当該ゲートトレンチ部 4 0 は、-Y 方向端部において U 字状に連結されてもよい。つまり、部分的にゲート金属層 7 2 の下に位置する 2 つのゲートトレンチ部 4 0 は、U 字の長手部を構成して、U 字の短手部により互いに連結されてもよい。

[0038] また、ゲートトレンチ部 4 0 の占有面積の比率を相対的に増加させることにより寄生ゲート容量を増加させ、ダミートレンチ部 3 0 の占有面積の比率を相対的に増加させることにより寄生ゲート容量を低下させることもできる。このように、本例の半導体装置 1 0 0 においては、半導体装置 1 0 0 の設計段階において寄生ゲート容量を所望の値に容易に調整することができる。

[0039] [FWD 部 9 0] 本例において、I G B T 部 8 0 と F W D 部 9 0 との境界

部 8 5 近傍における FWD 部 9 0 は、四方を何らかのトレンチ部で囲まれたメサ領域 1 9 を有しない。境界部 8 5 近傍における FWD 部 9 0 においては、ベース領域 1 4 が +Y 方向に延伸する。本例の FWD 部 9 0 は、ダミートレンチ部 5 0 を有する。ダミートレンチ部 5 0 は、I G B T 部 8 0 と FWD 部 9 0 との境界部 8 5 近傍におけるベース領域 1 4 の +X 方向に隣接する。

[0040] ダミートレンチ部 5 0 は、ダミートレンチの内壁に形成された絶縁膜 5 2 と、絶縁膜 5 2 で内壁が覆われたダミートレンチの内部に形成されたダミー導電部 5 4 とを少なくとも有する。ダミー導電部 5 4 は、コンタクトホール 6 8 を介してエミッタ電極 6 2 に接続する。ダミートレンチ部 5 0 に囲まれた領域には、複数のメサ領域 1 9 が設けられる。FWD 部 9 0 における各メサ領域 1 9 は、ベース領域 1 4 を有する。ベース領域 1 4 の構成は、I G B T 部 8 0 のベース領域 1 4 と同じであるので、重複説明を省略する。なお、FWD 部 9 0 のメサ領域 1 9 は、エミッタ領域 1 2 およびコンタクト領域 1 5 を有しない。

[0041] 図 2 は、図 1 の A - A' 断面を示す図である。A - A' 断面は、I G B T 部 8 0 および FWD 部 9 0 を通る断面図である。丸で囲んだ「E」、「G」および「C」は、それぞれ、エミッタ端子、ゲート端子およびコレクタ端子を意味する。エミッタ端子は、半導体基板 1 0 の表面上に位置するエミッタ電極 6 2 に電氣的に接続する。これに対してコレクタ端子は、半導体基板 1 0 の裏面下に位置するコレクタ電極 2 4 に電氣的に接続する。なお、ゲート導電部 4 4 とエミッタ電極 6 2 とは、層間絶縁膜 2 6 により互いに電氣的に分離される。

[0042] 本例の半導体基板 1 0 は、ベース領域 1 4 よりも裏面側であってゲートトレンチ 4 6 の底部よりも表面側に、 n^+ 型の蓄積領域 1 6 を有する。本例の蓄積領域 1 6 は、I G B T 部 8 0 および FWD 部 9 0 に渡って設けられる。半導体基板 1 0 は、蓄積領域 1 6 の下に n^- 型のドリフト領域 1 8 を有する。つまり、ドリフト領域 1 8 は、ベース領域 1 4 よりも下に位置する。また、半導体基板 1 0 は、ドリフト領域 1 8 の下に n 型のバッファ領域 2 0 を有する

。さらに、半導体基板 10 は、IGBT 部 80 におけるバッファ領域 20 の下に p⁺型のコレクタ領域 22 を有し、FWD 部 90 におけるバッファ領域 20 の下に n⁺型のカソード領域 92 を有する。また、コレクタ領域 22 およびカソード領域 92 の下にはコレクタ電極 24 が設けられる。本例の IGBT 部 80 は、活性領域において、おもて面に対して半導体基板 10 の裏面に垂直な方向にコレクタ領域 22 を投影したときの投影領域であって、エミッタ領域 12 およびコンタクト領域 15 を含む所定の単位構成が規則的に配置された領域に位置する。また、本例の FWD 部 90 は、活性領域において、カソード領域 92 に一致する裏面の領域、または、おもて面に対して半導体基板 10 の裏面に垂直な方向にカソード領域 92 を投影したときの投影領域に位置する。

[0043] バッファ領域 20 の n 型不純物濃度は、ドリフト領域 18 の n 型不純物濃度よりも高い。バッファ領域 20 は、ベース領域 14 の裏面側から広がる空乏層が、コレクタ領域 22 に到達することを防ぐフィールドストップ層として機能してよい。なお、図 2 においては、ゲートトレンチ部 40 におけるゲートトレンチ 46 と、ダミートレンチ部 50 におけるダミートレンチ 56 とを示す。ゲートトレンチ 46 およびダミートレンチ 56 は、エッチングにより形成されたトレンチ部の外形を指す。ゲートトレンチ 46 とダミートレンチ 56 は、同じ深さでもよいし、異なる深さであってもよい。

[0044] 図 3 は、図 1 の B - B' 断面を示す図である。B - B' 断面は、IGBT 部 80 のダミートレンチ部 30 およびゲートトレンチ部 40 を通る断面図である。丸で囲んだ「G」はゲート端子を意味する。ゲート端子は、ゲート金属層 72 に電氣的に接続する。

[0045] ダミートレンチ部 30 は、上部絶縁膜 32 および上部ダミー導電部 34 と、下部絶縁膜 33 および下部ゲート導電部 35 とを有する。下部ゲート導電部 35 は、上部ダミー導電部 34 の下に位置する。下部ゲート導電部 35 は、下部絶縁膜 33 で内壁が覆われたダミートレンチの内部に設けられる。上部ダミー導電部 34 と下部ゲート導電部 35 とは、上部絶縁膜 32 により電

氣的に分離される。

[0046] 下部ゲート導電部35は、ゲートトレンチ部40のゲート導電部44と接続する。それゆえ、下部ゲート導電部35はゲート電位を有する。これに対して、上部ダミー導電部34はエミッタ電位を有する。本例では、ゲート導電部44同士が別途の配線およびコンタクトホールを介して接続せず、下部ゲート導電部35を介してゲート導電部44同士が接続するので、半導体装置100の微細化が容易となる。

[0047] 仮に、ダミートレンチ部30の導電部が全てエミッタ電位の導電部である場合には、ゲートトレンチ部40に対するダミートレンチ部30の占有面積の比率を高くすると、対応して C_{CG} が減り C_{CE} が増えるので、発振現象（ゲートのオンオフに伴い半導体装置の出力が発振する現象）が生じやすくなる。仮に、 C_{CG} が減少するとゲートのスイッチングスピードが速くなる。これにより、単位時間当たりの電圧変化（ dv/dt ）が高くなるので発振現象が発生する。これに対して、本例におけるIGBT部80のダミートレンチ部30は、上部ダミー導電部34および下部ゲート導電部35のスプリット構造を有する。ダミートレンチ部30は下部ゲート導電部35を有するので、下部ゲート導電部35を介して C_{CG} が形成される。本例ではこのように C_{CG} を設けるので、ダミートレンチ部30がゲート電位の導電部を有さない場合に比べて、ゲートトレンチ部40に対するダミートレンチ部30の占有面積の比率を高くしても発振現象が生じることを抑制することができる。

[0048] 図4は、図1のC-C'断面を示す図である。C-C'断面は、IGBT部80のダミートレンチ部30を通る断面図である。下部ゲート導電部35は、ベース領域14よりも下に設けられてよい。本例の下部ゲート導電部35は、蓄積領域16の下に設けられる。これに伴い、下部ゲート導電部35を被包する下部絶縁膜33の底部および側部は、ドリフト領域18に接触する。これに対して、上部絶縁膜32は、ドリフト領域18に接触しない。

[0049] 上部ダミー導電部34の最下端は、蓄積領域16の上端および下端の間に位置してよい。上部ダミー導電部34の電位はエミッタ電極62と同じであ

る。また、ドリフト領域 18 における n 型不純物のドーピング濃度は例えば $1 \times 10^{14} / \text{cm}^3$ 程度かそれ以下である。IGBT がターンオンするときには、電荷キャリア（電子、正孔）の影響によりドリフト領域 18 の電位が変動する。エミッタ電極と同電位の上部ダミー導電部 34 の最下端がドリフト領域 18 に達していると、ドリフト領域 18 に接するトレンチ部の側壁に、正孔の反転層が容易に形成される。この正孔の反転層を伝って、正孔がベース領域 14 に入り、伝導度変調がし難くなる。そのため、ターンオン時間が長くなる。一方、蓄積領域 16 はドリフト領域 18 よりもドーピング濃度が高いので、正孔の反転層ができる電圧閾値はドリフト領域 18 よりも高い。そのため、上部ダミー導電部 34 の最下端が蓄積領域 16 の上端および下端の間に位置すれば、正孔の反転層はほとんど形成されず、ターンオン時間を短縮できる。

[0050] 図 4 に示した、下部ゲート導電部 35 の製造方法の一例を説明する。まず、半導体基板 10 の表面に、配列方向において延伸するダミートレンチ 36 およびゲートトレンチ 46 を形成する。次に、ダミートレンチ 36 およびゲートトレンチ 46 の内壁を覆う絶縁膜を形成する。当該絶縁膜は、二酸化シリコンであってよい。次に、ダミートレンチ部 30 およびゲートトレンチ部 40 内にポリシリコンを形成する。これにより、ゲートトレンチ部 40 における絶縁膜 42 およびゲート導電部 44 を形成する。

[0051] 次に、ゲートトレンチ部 40 等をマスク材料で覆い、ダミートレンチ部 30 のみをマスク材料から露出させる。そして、エッチングにより、ダミートレンチ部 30 内の絶縁膜およびポリシリコンを部分的に除去する。エッチング後において、ダミートレンチ部 30 内に残ったポリシリコンが下部ゲート導電部 35 となり、ダミートレンチ 36 の内壁に残った絶縁膜が下部絶縁膜 33 となる。

[0052] 次に、下部ゲート導電部 35 上に絶縁膜を形成する。当該絶縁膜も、二酸化シリコンであってよい。これにより上部絶縁膜 32 を形成する。次に、ダミートレンチ部 30 内の上部絶縁膜 32 に接してポリシリコンを形成する。

次に、上部ダミー導電部34となる部分を残して、ポリシリコンを除去する。これにより、図4のY-Z断面に示した構造を形成できる。

[0053] 図5は、図1のD-D'断面を示す図である。D-D'断面は、IGBT部80のダミートレンチ部30およびFWD部90のダミートレンチ部50を通る断面図である。本例において、IGBT部80におけるダミートレンチ部30の導電部は、上部ダミー導電部34および下部ゲート導電部35を有する。これに対して、FWD部90のダミートレンチ部50の導電部は、ダミー導電部54のみを有する。

[0054] 第1実施形態の第1変形例として、ダミートレンチ部50が、上部ダミー導電部34と下部ゲート導電部35とを有してもよい。つまり、IGBT部80およびFWD部90におけるダミートレンチ部30および50の各々が、上部ダミー導電部34と下部ゲート導電部35を有してもよい。これにより、半導体基板10の表面側における電位分布のアンバランスを解消することができる。

[0055] 図6Aは、第1実施形態における、メサ領域19、ダミートレンチ部30およびゲートトレンチ部40を示す図である。図6Aにおいては、説明のために、IGBT部80のメサ領域19、ダミートレンチ部30およびゲートトレンチ部40のみを示し、他の構成を省略する。なお、ダミートレンチ部30とゲートトレンチ部40との境界を点線により示す。

[0056] 本例において、複数のメサ領域19は、いわゆる格子状に設けられる。つまり、複数のメサ領域19は、第1方向および第2方向に直線状に並んで設けられる。つまり、X方向に並んだ各メサ領域19は、メサ領域19のY方向位置が一致する。また、Y方向に並んだ各メサ領域19は、メサ領域19のX方向位置が一致する。このように、ダミートレンチ部30およびゲートトレンチ部40が、各メサ領域19を囲むことにより、キャリア蓄積効果を得ることができる。

[0057] 図6Bは、第1実施形態の第2変形例における、メサ領域19、ダミートレンチ部30およびゲートトレンチ部40を示す図である。なお、図6Bに

においては、説明を容易にするために、ダミートレンチ部30と、ゲートトレンチ部40との境界を実線により示す。図6Bにおいても、図6Aと同様に、IGBT部80のメサ領域19、ダミートレンチ部30およびゲートトレンチ部40を示す。

[0058] 本例において、複数のメサ領域19は、いわゆる千鳥格子状に設けられる。本例における複数のメサ領域19は、第1のグループ119-1と、+Y方向において第1のグループ119-1に対して最も近い第2のグループ119-2と、+Y方向において第1のグループ119-1に対して2番目に近い第3のグループ119-3とを含む。

[0059] 第1のグループ119-1、第2のグループ119-2および第3のグループ119-3においては、各メサ領域19がX方向において直線状に並んで設けられる。第2のグループ119-2の各メサ領域19は、第1のグループ119-1の各メサ領域19に対してX方向において互いに半周期ずれて設けられる。なお、本例のメサ領域19に関する1周期とは、X方向に隣接するメサ領域19の中心間の長さを意味する。半周期は当該1周期の半分の長さを意味する。

[0060] 第3のグループ119-3の各メサ領域19は、第1のグループ119-1の各メサ領域19に対してY方向において互いに並んでいる。本例において、第1のグループ119-1および第3のグループ119-3の各メサ領域19は、中心の位置がX方向において一致する。第3のグループ119-3の+Y方向に隣接して、第2のグループ119-2と同様の第4のグループ119-4が設けられてよい。このように、第1のグループ119-1および第2のグループ119-2の構成が周期的にY方向に繰り返されてよい。なお、FWD部90も、IGBT部80と同様のメサ領域19の配置を有してよい。本例においても、図6Aの例と同様にキャリア蓄積効果を得ることができる。

[0061] 図7は、ダミートレンチ部30の変形例を示す図である。上部絶縁膜32と下部絶縁膜33との境界を点線により示す。ただし、上部絶縁膜32およ

び下部絶縁膜 33 が同じ材料である場合、境界は観察できなくてもよい。上部絶縁膜 32 は、上部ダミー導電部 34 の側部および底部に設けられる。下部絶縁膜 33 は、上部ダミー導電部 34 の底部と下部ゲート導電部 35 の頂部との間に加えて、下部ゲート導電部 35 の側部および底部に設けられる。本例の下部絶縁膜 33 の厚み t_1 は、上部絶縁膜 32 の厚み t_2 よりも厚い。当該構成においても、発振現象を抑制する C_{CG} を確保することができる。

[0062] 本例において、表面から上部ダミー導電部 34 の底部までの深さを D_1 とし、表面から下部ゲート導電部 35 の頂部までの深さを D_2 とする。本例において、深さ D_2 は、深さ D_1 よりも深い。本例の深さ D_1 は、ベース領域 14 よりも深く、蓄積領域 16 とドリフト領域 18 との境界よりも浅い。つまり、本例の上部ダミー導電部 34 の底部は、蓄積領域 16 と同じ深さ範囲に位置する。下部ゲート導電部 35 の頂部は、深さ D_1 よりも深い位置に設けられてよい。

[0063] 図 8 は、第 2 実施形態における半導体装置 100 の D - D' 断面を示す図である。複数のダミートレンチ部 30 のうち少なくとも一つのダミートレンチ部 30 は、下部ゲート導電部 35 を有さなくてもよい。本例において、-Y 方向端部に位置するダミートレンチ部 30 は下部ゲート導電部 35 を有さない。-Y 方向端部に位置するダミートレンチ部 30 は、ダミートレンチ 36 内において、ダミートレンチ部 50 と同様に、絶縁膜 52 とダミー導電部 54 とを有する。係る点が、第 1 実施形態と異なるが、本例においても第 1 実施形態と同様の有利な効果を得ることができる。また、本例と第 1 実施形態の変形例とを組み合わせてもよい。

[0064] なお、本例のダミートレンチ部 30 および 50 のように、導電部を全てダミー導電部 54 とする場合には、第 1 実施例と異なる製造方法を採用してよい。例えば、エッチングにより、ダミートレンチ部 30 内のポリシリコンを全て除去する。その後、ダミートレンチ部 30 内の全体にポリシリコンを形成することにより、ダミー導電部 54 を形成してよい。

[0065] 図 9 は、第 3 実施形態における半導体装置 100 の上面図である。本例に

において、IGBT部80におけるダミートレンチ部30の第1直線部が、+X方向に延伸してFWD部90におけるダミートレンチ部50と連結する。

[0066] 図10は、第3実施形態における半導体装置100のD-D'断面を示す図である。本例のダミートレンチ部30は、第1実施形態と同様に上部ダミー導電部34および下部ゲート導電部35を有する。下部ゲート導電部35は、境界部85において終端する。但し、上部ダミー導電部34は、FWD部90におけるダミー導電部54に連結する。係る点が、第1実施形態と異なるが、本例においても第1実施形態と同様の有利な効果を得ることができる。また、本例と第1実施形態の変形例および第2実施形態とを組み合わせてもよい。

[0067] 図11は、第4実施形態における半導体装置100の上面図である。本例においては、境界部85には、ダミートレンチ部30を配置し、ゲートトレンチ部40を配置しない。つまり、複数のダミートレンチ部30のうちIGBT部80に最も近い複数の第2の直線部38は、Y方向において隣接する第2の直線部38同士が互いに連結してよい。本例において、境界部85のダミートレンチ部30は、下部ゲート導電部35を有しない。つまり、本例において、境界部85のダミートレンチ部30は、FWD部90のダミートレンチ部50と同様に、絶縁膜52およびダミー導電部54を有する。

[0068] 図12は、第4実施形態における半導体装置100のF-F'断面を示す図である。図12においては実線で示す様に、ダミートレンチ部30の上部ダミー導電部34と、境界部85におけるダミートレンチ部30のダミー導電部54とは、離間する。ただし、他の例においては、点線で示す様に、上部ダミー導電部34はダミー導電部54に連結してもよい。係る点が、第1実施形態と異なるが、本例においても第1実施形態と同様の有利な効果を得ることができる。また、本例と第1実施形態の変形例、第2実施形態および第3実施形態とを組み合わせてもよい。

[0069] 図13は、第5実施形態における半導体装置100の上面図である。本例は、FWD部90のメサ領域19が、IGBT部80のメサ領域19と同様

にエミッタ領域 12 を有する。係る点が、第 1 実施形態と異なるが、本例においても第 1 実施形態と同様の有利な効果を得ることができる。また、本例と第 1 実施形態の変形例、第 2 実施形態、第 3 実施形態および第 4 実施形態とを組み合わせてもよい。

[0070] 図 14 は、第 6 実施形態における半導体装置 100 の上面図である。なお、図 14 においては、層間絶縁膜 26 を省略する。本例のダミートレンチ部 30 および 50 は、いわゆるストライプ形状を有する。本例のダミートレンチ部 30 および 50 は、Y 方向に平行に設けられる。ダミートレンチ部 30 は、第 1 の直線部 37 を有せず、第 2 の直線部 38 のみを有する。それゆえ、ダミートレンチ部 30 は、交差部 39 を有しない。本例においては、複数のダミートレンチ部 30 の各第 2 の直線部 38 上に、上部ダミー導電部 34 とエミッタ電極 62 とが電氣的に接続するためのコンタクトホール 66 が設けられる。係る点が、第 1 実施形態と異なるが、本例においても第 1 実施形態と同様の有利な効果を得ることができる。また、本例と第 1 実施形態の変形例とを組み合わせてもよい。本例と第 4 または第 5 実施形態を組み合わせてもよい。

[0071] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更又は改良を加えることが可能であることが当業者に明らかである。その様な変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0072] 請求の範囲、明細書、および図面中において示した装置および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示していない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順序で実施することが必須であることを意味するものではない。

符号の説明

[0073] 10・・・半導体基板、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、18・・・ドリフト領域、19・・・メサ領域、20・・・バッファ領域、22・・・コレクタ領域、24・・・コレクタ電極、26・・・層間絶縁膜、28・・・ウェル領域、30・・・ダミートレンチ部、32・・・上部絶縁膜、33・・・下部絶縁膜、34・・・上部ダミー導電部、35・・・下部ゲート導電部、36・・・ダミートレンチ、37・・・第1の直線部、38・・・第2の直線部、39・・・交差部、40・・・ゲートトレンチ部、42・・・絶縁膜、44・・・ゲート導電部、46・・・ゲートトレンチ、50・・・ダミートレンチ部、52・・・絶縁膜、54・・・ダミー導電部、56・・・ダミートレンチ、62・・・エミッタ電極、64、66、68・・・コンタクトホール、72・・・ゲート金属層、74・・・コンタクトホール、80・・・IGBT部、85・・・境界部、90・・・FWD部、92・・・カソード領域、100・・・半導体装置、119・・・グループ

請求の範囲

- [請求項1] 第1導電型の半導体基板と、
前記半導体基板内の表面側に設けられた第2導電型のベース領域と、
、
前記半導体基板の表面から前記ベース領域を貫通して前記半導体基板内に設けられ、ゲート導電部を有する、ゲートトレンチ部と、
前記半導体基板の表面から前記ベース領域を貫通して前記半導体基板内に設けられ、エミッタ電位を有する上部ダミー導電部と、前記上部ダミー導電部の下に位置しゲート電位を有する下部ゲート導電部とを含む、ダミートレンチ部と
を備え、
前記ダミートレンチ部の前記下部ゲート導電部は、前記ゲートトレンチ部の前記ゲート導電部と接続する
半導体装置。
- [請求項2] 前記半導体基板の表面において、複数の前記ゲートトレンチ部と複数の前記ダミートレンチ部とが、前記半導体装置のトランジスタ部に設けられ前記ベース領域を有するメサ領域を囲んでいる
請求項1に記載の半導体装置。
- [請求項3] 前記半導体基板の表面において、前記ダミートレンチ部は、
第1方向に延伸する第1の直線部と、
前記第1方向に対して直交する第2方向に延伸する第2の直線部と、
、
前記第1の直線部と、前記第2の直線部とが交わる交差部と
を有する
請求項2に記載の半導体装置。
- [請求項4] 前記半導体基板の表面において、複数の前記メサ領域は、第1方向および第2方向に直線状に並んで設けられる請求項3に記載の半導体装置。

- [請求項5] 前記半導体基板の表面において、前記半導体装置のトランジスタ部に設けられ前記ベース領域を各々有する複数の前記メサ領域は、
- 各メサ領域が前記第1方向において直線状に並んで設けられた第1のグループと、
- 各メサ領域が、前記第1方向において直線状に並んで設けられ、前記第2方向において前記第1のグループに対して最も近く、前記第1のグループの各メサ領域に対して前記第1方向において互いに半周期ずれて設けられた、第2のグループと、
- 各メサ領域が、前記第1方向において直線状に並んで設けられ、前記第2方向において前記第1のグループに対して2番目に近く、前記第1のグループの各メサ領域に対して前記第2方向において互いに並んで設けられた、第3のグループと
- を含む
- 請求項3に記載の半導体装置。
- [請求項6] 前記ダミートレンチ部は、前記半導体基板の表面において、前記メサ領域の前記第1方向に平行な辺に隣接して設けられ、
- 前記ゲートレンチ部は、前記半導体基板の表面において、前記メサ領域の前記第2方向に平行な辺に隣接して設けられる
- 請求項4または5に記載の半導体装置。
- [請求項7] 前記半導体装置のトランジスタ部に隣接するダイオード部さらに備え、
- 前記トランジスタ部および前記ダイオード部に設けられた複数の前記ダミートレンチ部の各々は、前記下部ゲート導電部を有する
- 請求項1から6のいずれか一項に記載の半導体装置。
- [請求項8] 複数の前記ダミートレンチ部のうち少なくとも一つの前記ダミートレンチ部は、前記下部ゲート導電部を有さない
- 請求項3から6のいずれか一項に記載の半導体装置。
- [請求項9] 前記半導体装置のトランジスタ部に隣接するダイオード部さらに備

え、

前記トランジスタ部における複数の前記ダミートレンチ部のうち前記ダイオード部に最も近い複数の前記第2の直線部は、前記第2方向において隣接する第2の直線部同士が互いに連結し、前記下部ゲート導電部を有しない

請求項3から6のいずれか一項に記載の半導体装置。

[請求項10] 前記ダミートレンチ部の前記下部ゲート導電部は、前記ベース領域よりも下に設けられる

請求項1から9のいずれか一項に記載の半導体装置。

[請求項11] 前記ダミートレンチ部は、
前記上部ダミー導電部の側部および底部に設けられる上部絶縁膜と、

前記下部ゲート導電部の側部および底部に設けられ、前記上部絶縁膜よりも厚い下部絶縁膜と
を有する

請求項1から10のいずれか一項に記載の半導体装置。

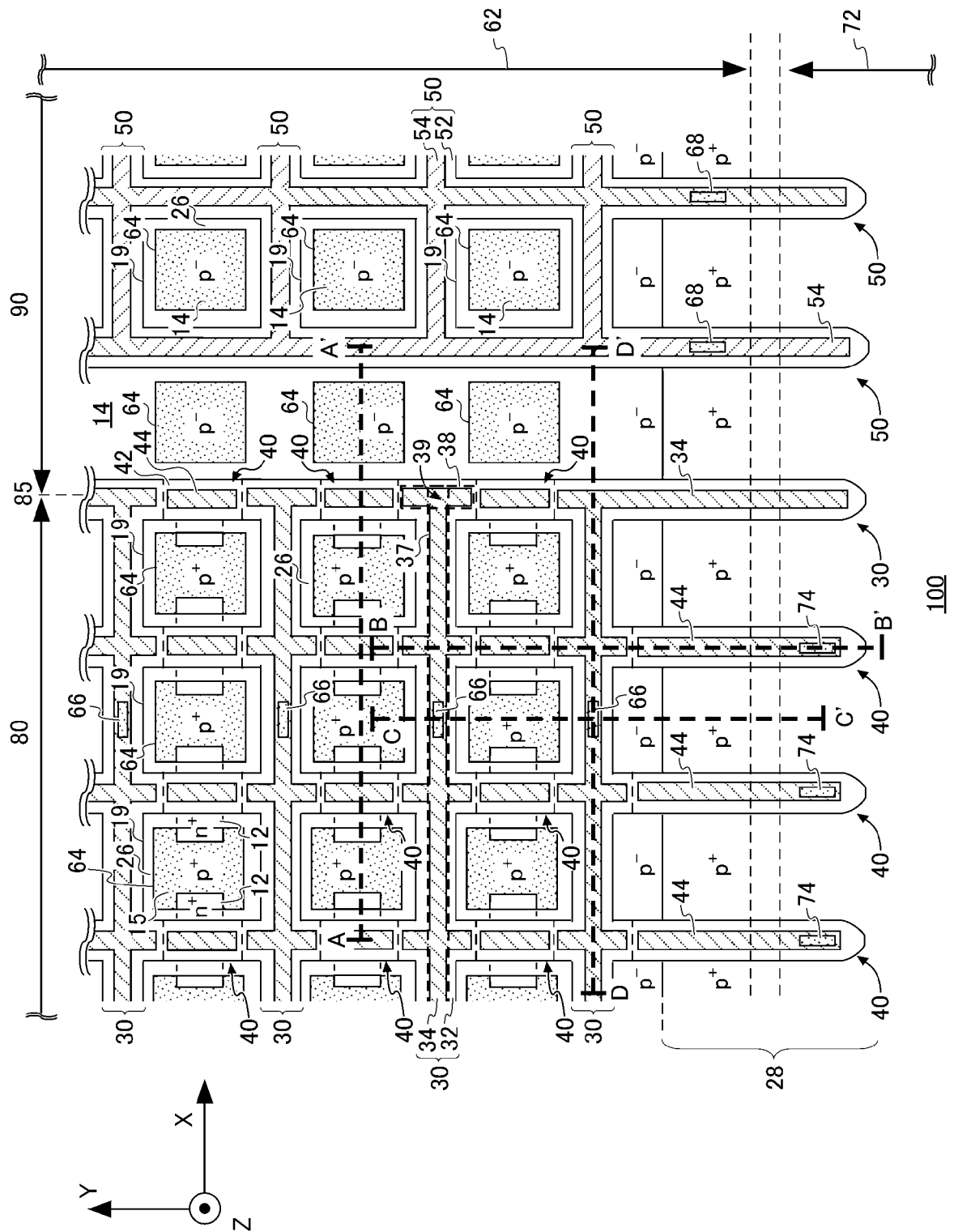
[請求項12] 前記半導体基板は、前記ベース領域よりも下に第1導電型のドリフト領域を有し、

前記ダミートレンチ部の前記上部絶縁膜は、前記ドリフト領域に接触せず、

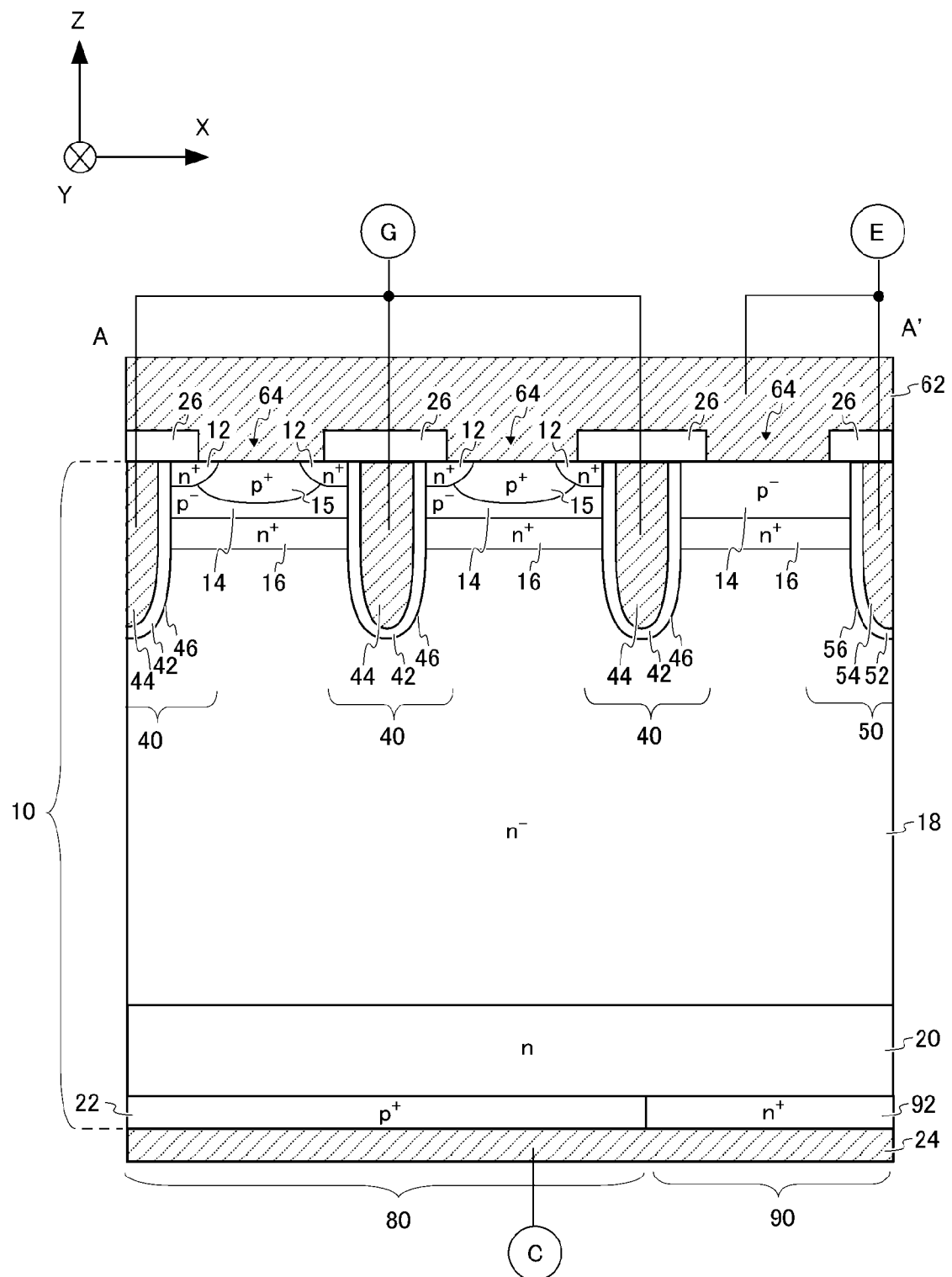
前記ダミートレンチ部の前記下部絶縁膜は、前記ドリフト領域に接触する

請求項11に記載の半導体装置。

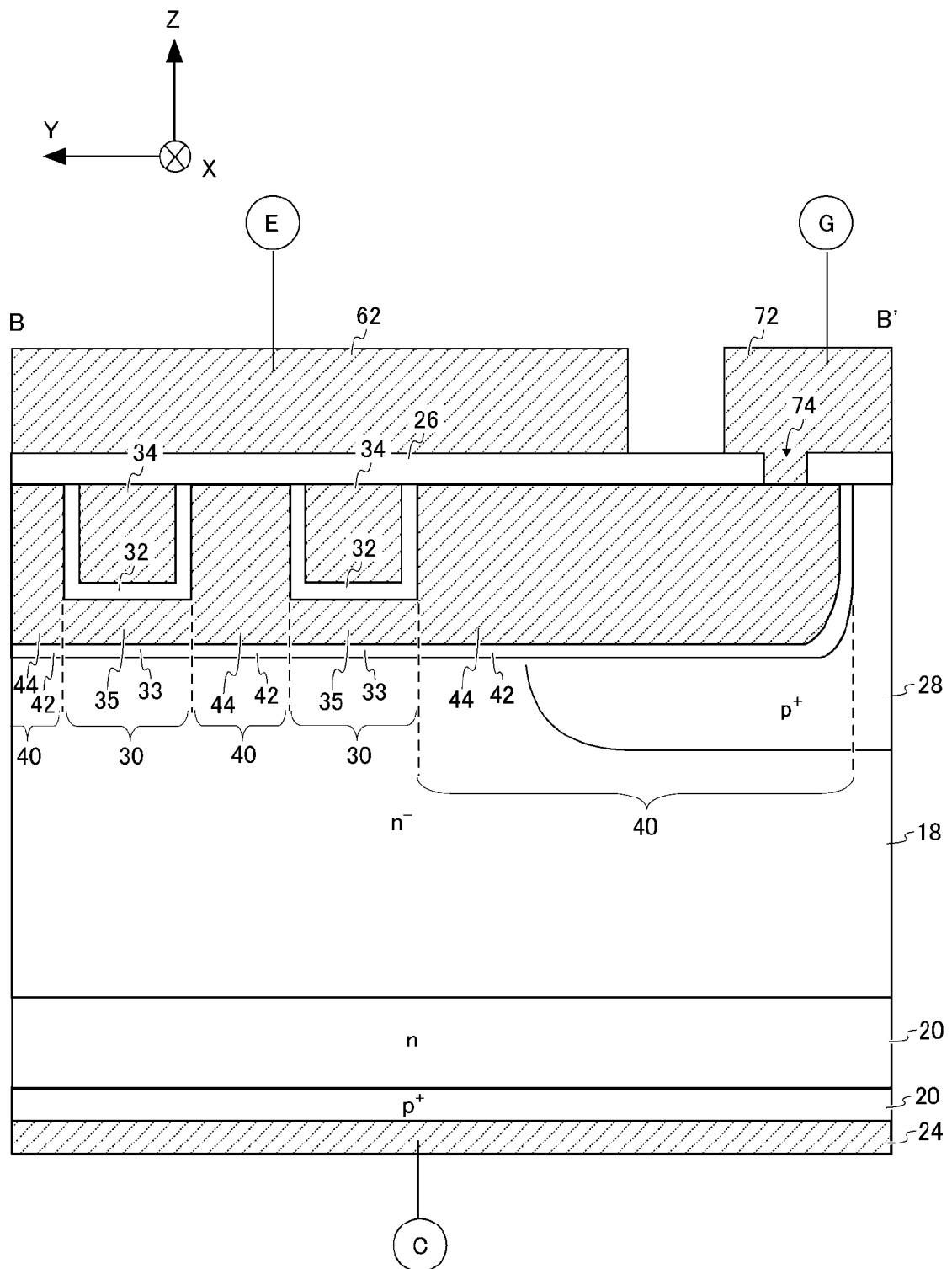
[図1]



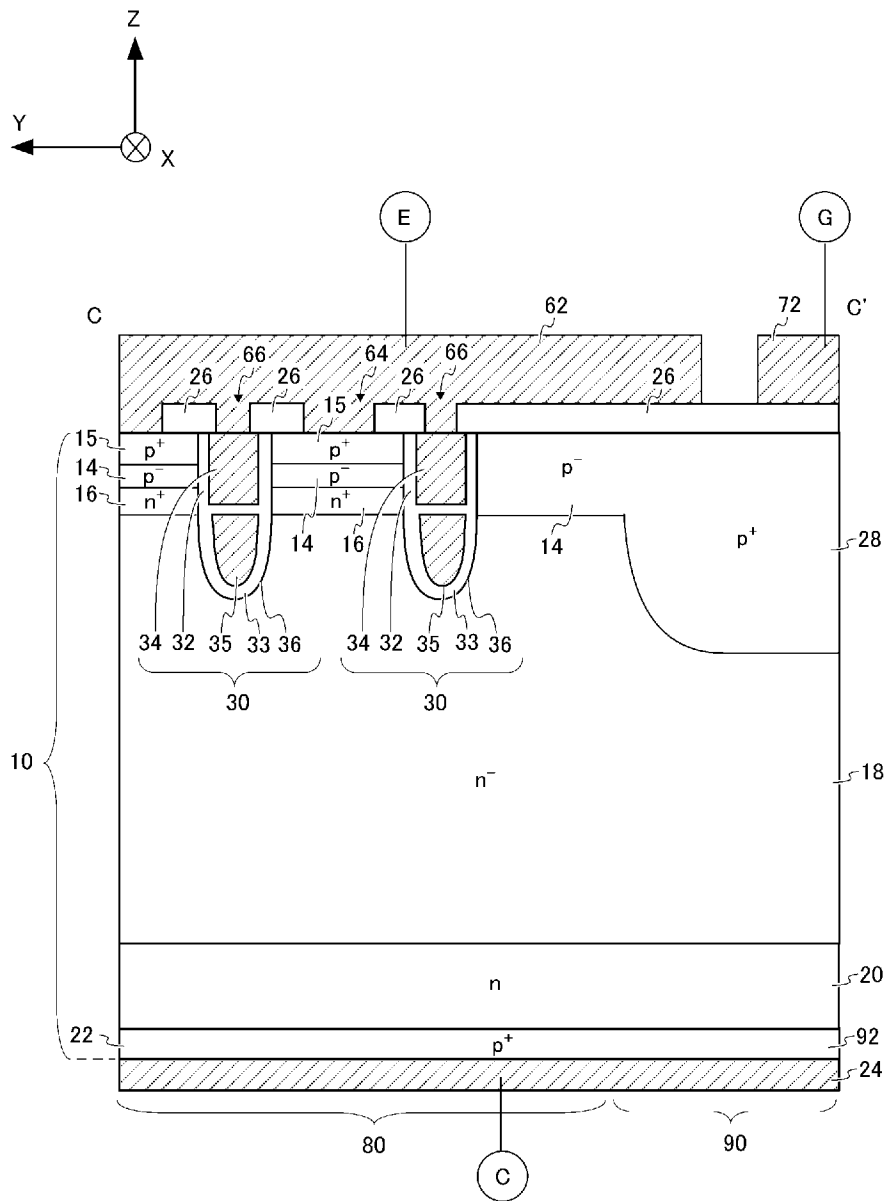
[図2]



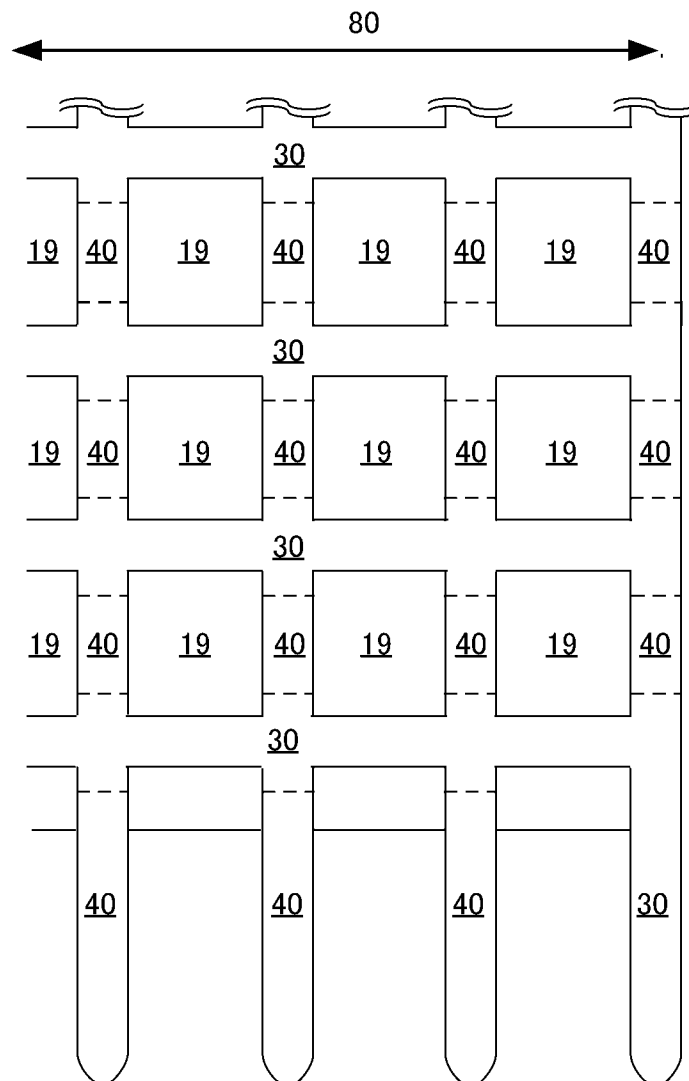
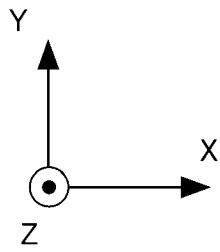
[図3]

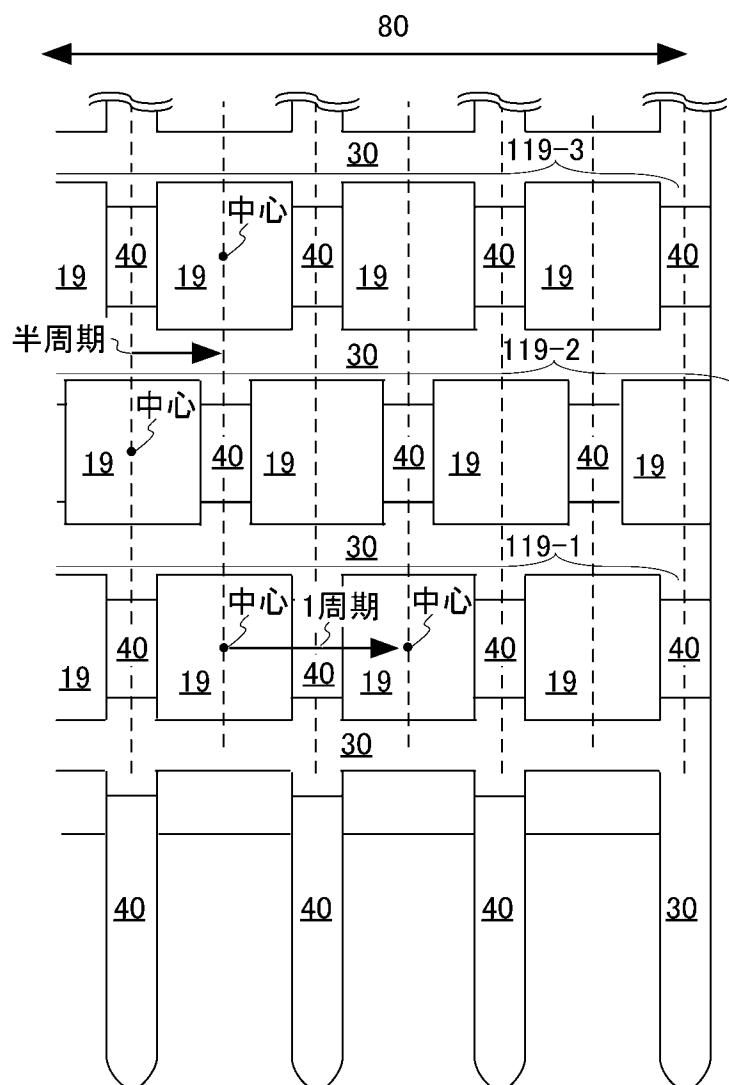


[図4]

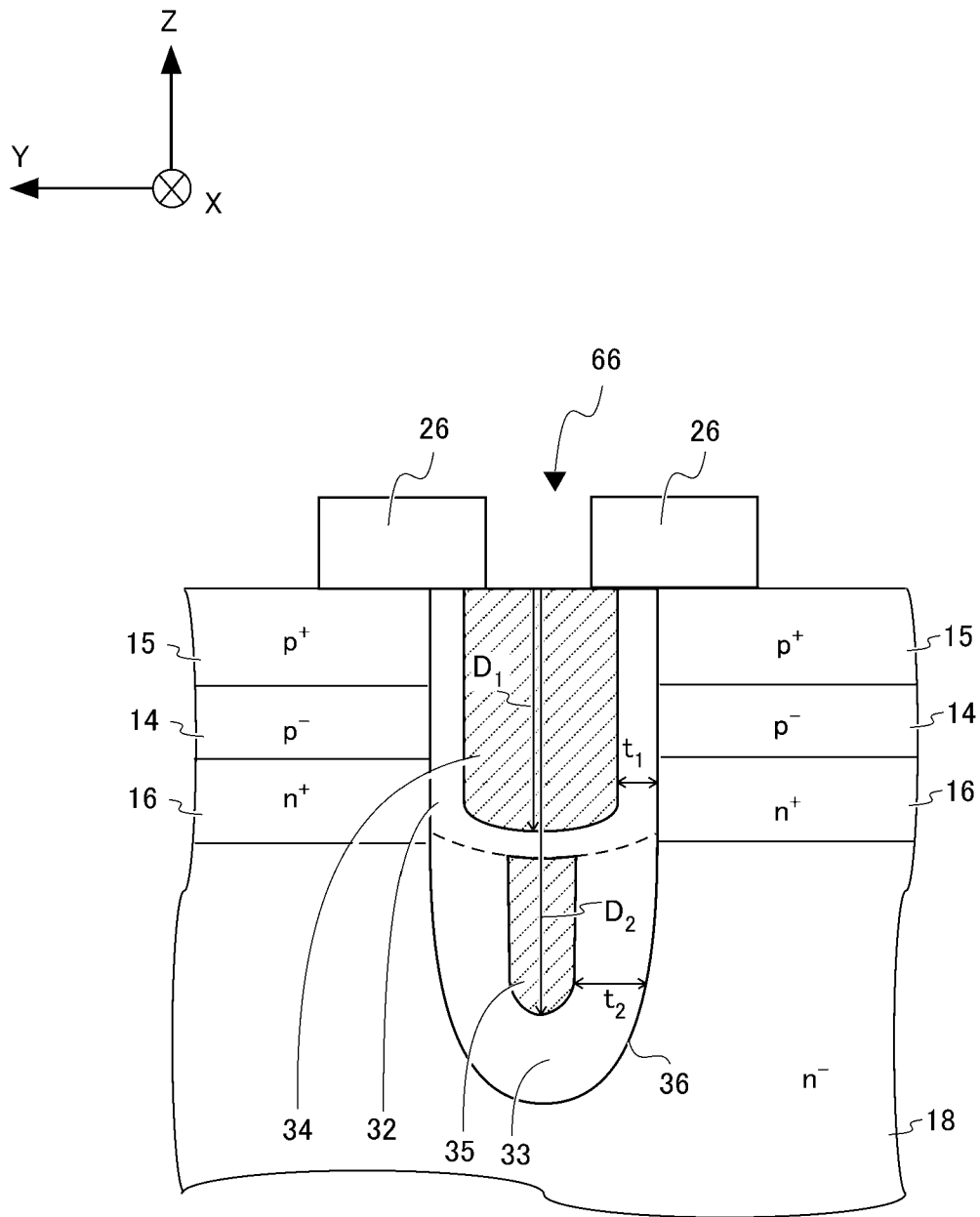


[図6A]

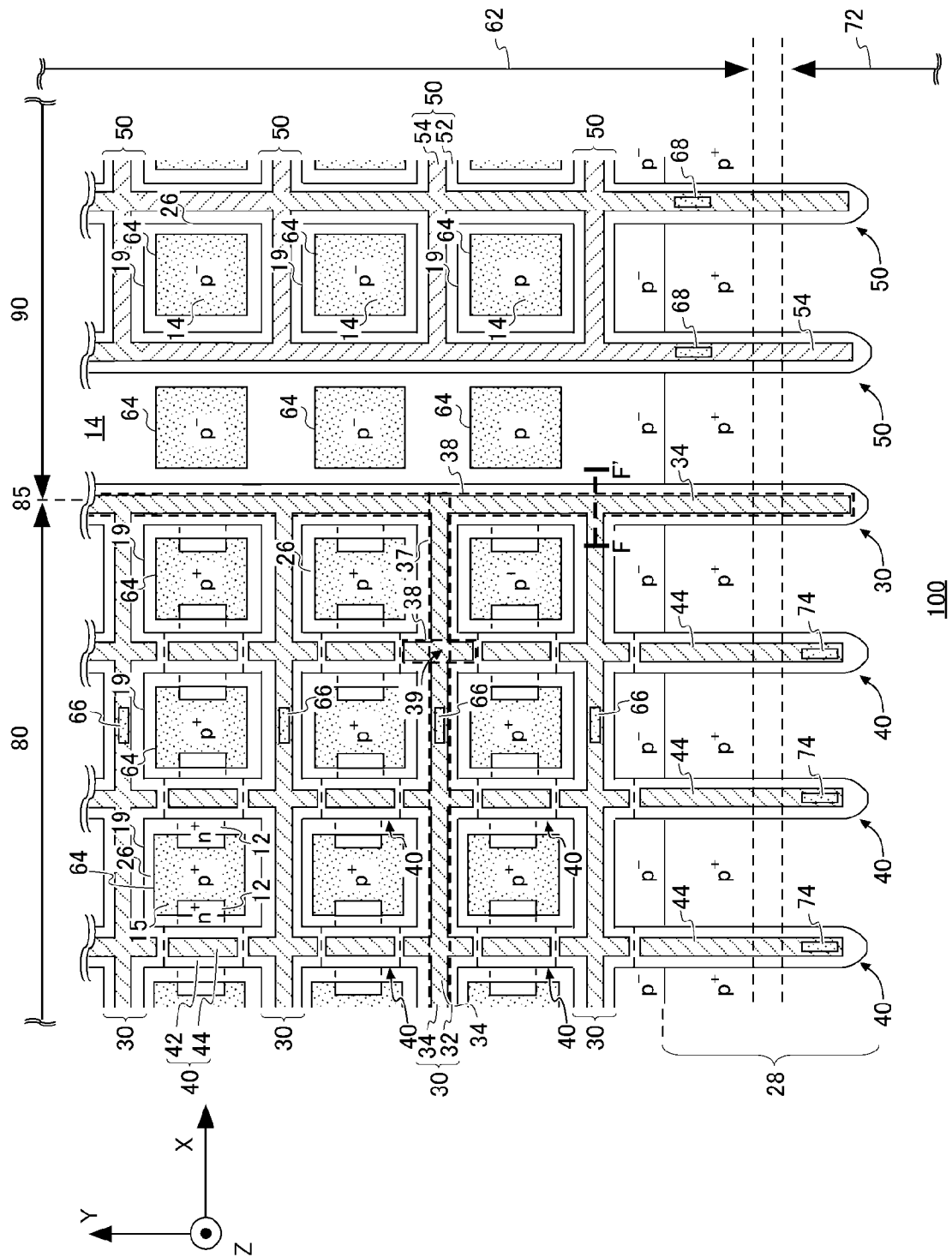




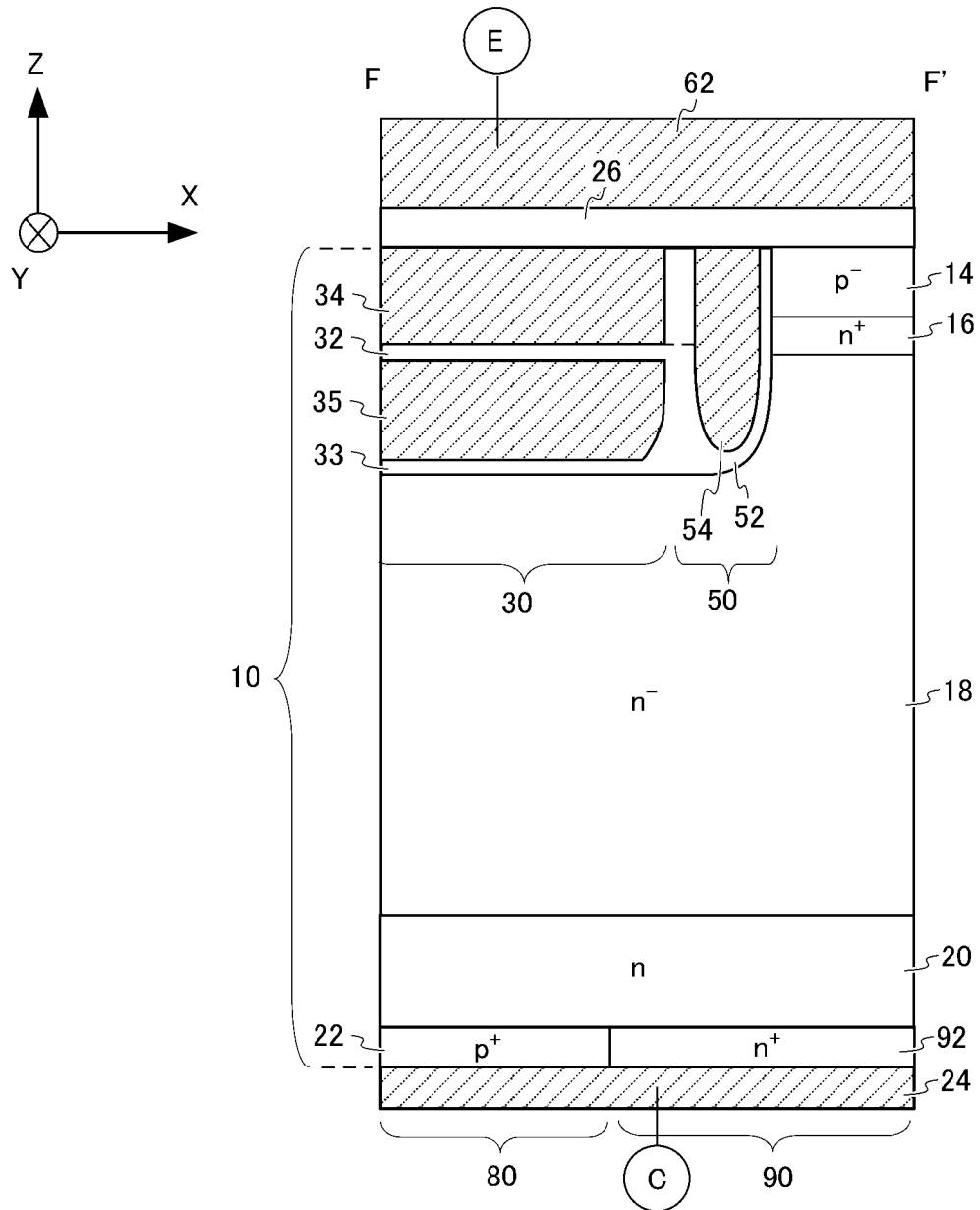
[図7]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/037405

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/78 (2006.01) i, H01L21/822 (2006.01) i,
H01L21/8234 (2006.01) i, H01L27/04 (2006.01) i, H01L27/06 (2006.01) i,
H01L29/12 (2006.01) i, H01L29/739 (2006.01) i, H01L29/861 (2006.01) i,
H01L29/868 (2006.01) i

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/78, H01L21/822, H01L21/8234, H01L27/04, H01L27/06,
H01L29/12, H01L29/739, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model specifications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012/0104555 A1 (ALPHA AND OMEGA SEMICONDUCTOR INCORPORATED) 03 May 2012, paragraphs [0030]-[0032], [0045], fig. 2, 8J & CN 102456718 B & TW 201232664 A	1-12
A	WO 2016/014224 A1 (UNITED SILICON CARBIDE, INC.) 28 January 2016, paragraphs [0046]-[0048], fig. 1-2 & US 2017/0213908 A1, paragraphs [0046]-[0048], fig. 1-2	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 December 2017 (14.12.2017)

Date of mailing of the international search report
26 December 2017 (26.12.2017)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/037405

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2002-83963 A (TOSHIBA CORP.) 22 March 2002, paragraphs [0030]-[0042], fig. 1-3 & US 2002/0030237 A1, paragraphs [0052]-[0066], fig. 1-3 & EP 1168455 B1	1-12
A	JP 2016-174029 A (TOSHIBA CORP.) 29 September 2016, paragraphs [0009]-[0044], fig. 1 & KR 10-2016-0111301 A & TW 201635528 A	1-12
A	WO 2014/097454 A1 (TOYOTA MOTOR CORP.) 26 June 2014, paragraphs [0012]-[0024], fig. 1-3 & US 2015/0295042 A1, paragraphs [0018]-[0030], fig. 1-3 & CN 104871312 A	1-12
A	JP 2014-11212 A (HITACHI, LTD.) 20 January 2014, paragraphs [0025]-[0031], fig. 1 & US 2014/0003109 A1, paragraphs [0036]-[0042], fig. 1 & DE 102013212561 A1	1-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/78(2006.01)i, H01L21/822(2006.01)i, H01L21/8234(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L29/12(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/78, H01L21/822, H01L21/8234, H01L27/04, H01L27/06, H01L29/12, H01L29/739, H01L29/861, H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2012/0104555 A1 (ALPHA AND OMEGA SEMICONDUCTOR INCORPORATED) 2012.05.03, 段落[0030]-[0032], [0045], 図 2, 8J & CN 102456718 B & TW 201232664 A	1-12
A	WO 2016/014224 A1 (UNITED SILICON CARBIDE, INC.) 2016.01.28, 段落[0046]-[0048], 図 1-2 & US 2017/0213908 A1, 段落[0046]-[0048], 図 1-2	1-12

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 2 . 2 0 1 7

国際調査報告の発送日

2 6 . 1 2 . 2 0 1 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

杉山 芳弘

5 F

6 3 1 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2002-83963 A (株式会社東芝) 2002. 03. 22, 段落[0030]-[0042], 図 1-3 & US 2002/0030237 A1, 段落[0052]-[0066], 図 1-3 & EP 1168455 B1	1-12
A	JP 2016-174029 A (株式会社東芝) 2016. 09. 29, 段落[0009]-[0044], 図 1 & KR 10-2016-0111301 A & TW 201635528 A	1-12
A	WO 2014/097454 A1 (トヨタ自動車株式会社) 2014. 06. 26, 段落[0012]-[0024], 図 1-3 & US 2015/0295042 A1, 段落[0018]-[0030], 図 1-3 & CN 104871312 A	1-12
A	JP 2014-11212 A (株式会社日立製作所) 2014. 01. 20, 段落[0025]-[0031], 図 1 & US 2014/0003109 A1, 段落[0036]-[0042], 図 1 & DE 102013212561 A1	1-12