

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-529487  
(P2004-529487A)

(43) 公表日 平成16年9月24日(2004.9.24)

(51) Int. Cl.<sup>7</sup>  
H01S 5/183

F I  
H01S 5/183

テーマコード(参考)  
5FO73

審査請求 未請求 予備審査請求 有 (全 48 頁)

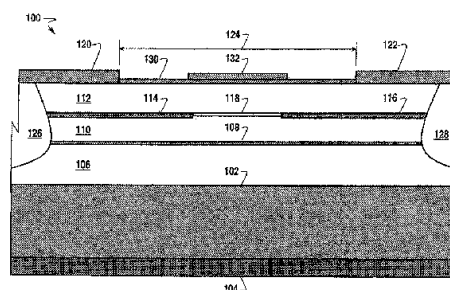
<p>(21) 出願番号 特願2002-547270 (P2002-547270)</p> <p>(86) (22) 出願日 平成13年11月26日 (2001.11.26)</p> <p>(85) 翻訳文提出日 平成15年5月28日 (2003.5.28)</p> <p>(86) 国際出願番号 PCT/US2001/044385</p> <p>(87) 国際公開番号 W02002/045217</p> <p>(87) 国際公開日 平成14年6月6日 (2002.6.6)</p> <p>(31) 優先権主張番号 09/724, 820</p> <p>(32) 優先日 平成12年11月28日 (2000.11.28)</p> <p>(33) 優先権主張国 米国 (US)</p> <p>(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CA, JP, KR</p>	<p>(71) 出願人 500575824 ハネウェル・インターナショナル・インコーポレーテッド アメリカ合衆国ニュージャージー州07962, モーリスタウン, コロンビア・ロード101</p> <p>(74) 代理人 100089705 弁理士 社本 一夫</p> <p>(74) 代理人 100076691 弁理士 増井 忠式</p> <p>(74) 代理人 100075270 弁理士 小林 泰</p> <p>(74) 代理人 100080137 弁理士 千葉 昭男</p>
--	--

最終頁に続く

(54) 【発明の名称】 単一モードVCSEL用の多機能方法およびシステム

(57) 【要約】

下部表面と上部表面とを有する半導体基板(102)と、基板の下部表面に沿って配置された下部電気接点(104)と、n型材料から形成され、基板の上部表面上に配置された下部ミラー(106)と、下部ミラー部分上に配置された複数の量子井戸を有する活性領域(108)と、等方性物質から形成され、活性領域上に配置された上部ミラー(110)と、上部ミラー部分上に配置された等電位層(112)と、第1の上部電気接点から特定の距離(124)をおいて等電位層上に配置された第1の上部電気接点(120)と、第1の上部接点の下に配置され、等電位層、上部ミラー、活性領域、下部ミラーを横切る第1の分離領域(126)と、第2の上部接点の下に配置され、等電位層、上部ミラー、活性領域、下部ミラーを横切る第2の分離領域(128)と、上部ミラーと等電位層との間に挿入され、第1の上部接点と第2の上部接点との間の特定の距離より小さい寸法の開口(118)をそれらの間に形成するように適合された絶縁層(114、116)とを含む、単一モードVCSEL(垂直空洞共振器表面発光ダイオードレーザ)コン



## 【特許請求の範囲】

## 【請求項 1】

基板と、前記基板の下部表面上に配置された底部接点部分と、前記基板の上部表面上に配置された下部ミラー部分と、前記下部ミラー部分上に配置された活性領域と、電気的等方性物質から形成され、活性領域上に配置された上部ミラー部分とを有する V C S E L 構造を形成するステップと、  
 前記上部ミラー部分上に配置された実質的等電位層を設けるステップと、  
 前記上部ミラー部分と前記等電位層との間に電気的絶縁層を選択的に挿入して、それらの間に開口を形成するステップと、  
 前記等電位層上に配置された上部接点部分を設けるステップと、  
 を含む単一モード V C S E L を生産する方法。

10

## 【請求項 2】

前記基板はガリウムヒ素材料から形成される、請求項 1 に記載の方法。

## 【請求項 3】

前記下部ミラー部分は n 型材料から形成され、前記上部ミラー部分は p 型材料から形成される、請求項 1 に記載の方法。

## 【請求項 4】

前記下部ミラー部分は p 型材料から形成され、前記上部ミラー部分は n 型材料から形成される、請求項 1 に記載の方法。

## 【請求項 5】

前記下部ミラー部分と前記上部ミラー部分はいずれも n 型材料から形成される、請求項 1 に記載の方法。

20

## 【請求項 6】

前記下部ミラー部分と前記上部ミラー部分はいずれも p 型材料から形成される、請求項 1 に記載の方法。

## 【請求項 7】

前記等電位層を設けるステップは、 $0.01$  オーム / cm の抵抗率を有する材料の層を設けるステップをさらに含む、請求項 1 に記載の方法。

## 【請求項 8】

前記等電位層を設けるステップは、ヒ化アルミニウムガリウムの層を設けるステップをさらに含む、請求項 1 に記載の方法。

30

## 【請求項 9】

電気的絶縁層を選択的に挿入する前記ステップは、開口を形成するように適合された複数の遠位分離絶縁領域を挿入するステップをさらに含む、請求項 1 に記載の方法。

## 【請求項 10】

前記絶縁層は酸化物を含む、請求項 1 に記載の方法。

## 【請求項 11】

前記絶縁層は  $Al_2O_3$  を含む、請求項 10 に記載の方法。

## 【請求項 12】

前記絶縁層は空気を含む、請求項 1 に記載の方法。

40

## 【請求項 13】

前記等電位層を設ける前記ステップは、前記上部ミラー部分のコンダクタンスよりかなり大きいコンダクタンスを有する材料の層を設けるステップをさらに含む、請求項 1 に記載の方法。

## 【請求項 14】

前記等電位層を設けるステップは、前記上部ミラー部分のコンダクタンスより少なくとも 4 倍大きいコンダクタンスを有する材料の層を設けるステップをさらに含む、請求項 13 に記載の方法。

## 【請求項 15】

前記等電位層を設けるステップは、前記上部ミラー部分のコンダクタンスより少なくとも

50

10倍大きいコンダクタンスを有する材料の層を設けるステップをさらに含む、請求項13に記載の方法。

【請求項16】

V C S E L構造を形成する前記ステップは、低い横方向コンダクタンスを有する材料から前記上部ミラー部分を形成するステップをさらに含む、請求項1に記載の方法。

【請求項17】

前記開口外部の反射率を低減するように前記絶縁層が形成される、請求項11に記載の方法。

【請求項18】

前記開口外部の実効屈折率を増加し、それにより、前記開口外部でより長い共振波長を発生するように前記絶縁層が形成される、請求項11に記載の方法。 10

【請求項19】

反射率を低減し、前記開口外部の実効屈折率を増加するように前記絶縁層が形成される、請求項11に記載の方法。

【請求項20】

V C S E L構造を形成する前記ステップは、トンネル接合によって互いに分離された複数のp n接合を有する活性領域を形成するステップをさらに含む、請求項1に記載の方法。

【請求項21】

V C S E L構造を形成する前記ステップは、前記下部ミラー部分と前記活性領域との間の第1の熱伝導層と、前記上部ミラー部分と活性領域との間の第2の熱伝導層とを形成するステップをさらに含む、請求項1に記載の方法。 20

【請求項22】

前記熱伝導層を形成するステップは、層内の電界の最小値および最大値に対応して熱伝導層に選択的にドーピングを施すステップをさらに含む、請求項21に記載の方法。

【請求項23】

基板と、前記基板の下部表面上に配置された底部接点部分と、前記基板の上部表面上に配置された下部ミラー部分と、前記下部ミラー部分上に配置された活性領域と、電気的等方性物質から形成され、前記活性領域上に配置された上部ミラー部分とを有するV C S E L構造と、

前記上部ミラー部分上に配置された等電位層と、 30

前記上部ミラー部分と前記等電位層との間に挿入され、それらの間に開口を形成するように適合された絶縁層と、

前記開口の外周部の外側の前記等電位層上に配置された上部接点部分と、を含む単一モードV C S E L。

【請求項24】

前記絶縁層は酸化物を含む、請求項23に記載のV C S E L。

【請求項25】

前記絶縁層は空気を含む、請求項23に記載のV C S E L。

【請求項26】

前記等電位層は、前記上部ミラー部分のコンダクタンスより少なくとも4倍大きいコンダクタンスを有する材料の層を含む、請求項23に記載のV C S E L。 40

【請求項27】

前記等電位層は、前記上部ミラー部分のコンダクタンスより少なくとも10倍大きいコンダクタンスを有する材料の層を含む、請求項23に記載のV C S E L。

【請求項28】

前記上部ミラー部分は、低い横方向コンダクタンスを有する材料を含む、請求項23に記載のV C S E L。

【請求項29】

基板と、該基板の下部表面上に配置された底部接点部分と、前記基板の上部表面上に配置された下部ミラー部分と、前記下部ミラー部分上に配置された活性領域と、等方性物質か 50

ら形成され、前記活性領域上に配置された上部ミラー部分とを有するV C S E L構造を形成するステップと、  
 前記上部ミラー部分上に配置された実質的等電位層を設けるステップと、  
 前記上部ミラー部分と前記等電位層との間に電氣的絶縁層を選択的に挿入して、それらの間に開口を形成するステップであって、前記電氣的絶縁層が前記開口内部より前記開口外部の方がより大きい公称空洞共振を提供するように適合されるステップと、  
 前記等電位層上に配置された上部接点部分を設けるステップと、  
 を含むV C S E Lにおけるアンチガイドモード選択性を提供する方法。

【請求項30】

下部表面と上部表面とを有する半導体基板と、  
 前記半導体基板の前記下部表面に沿って配置された下部電気接点と、  
 n型材料から形成され、前記半導体基板の上部表面上に配置された下部ミラーと、  
 前記下部ミラー部分上に配置された複数の量子井戸を有する活性領域と、  
 電氣的等方性物質から形成され、前記活性領域上に配置された上部電流拡散ミラーと、  
 前記上部ミラー部分上に配置された等電位層と、  
 V C S E Lコンポーネントの第1の横方向端部で前記等電位層上に配置された第1の上部電気接点と、  
 前記第1の上部電気接点から特定の距離をおいてV C S E Lコンポーネントの第2の端部で前記等電位層上に配置された第2の上部電気接点と、  
 前記上部ミラーと前記等電位層との間に挿入され、それらの間に開口を形成するように適合された絶縁層と、  
 を含む広い電流範囲にわたって単一モード動作を提供するように適合されたV C S E Lコンポーネント。

【請求項31】

基板と、前記基板の下部表面上に配置された底部接点部分と、前記基板の上部表面上に配置された下部ミラー部分と、前記下部ミラー部分上に配置された活性領域と、電氣的等方性物質から形成され、前記活性領域上に配置された上部ミラー部分とを有するV C S E L構造を形成するステップと、  
 前記上部ミラー部分上に配置された実質的な等電位層を設けるステップと、  
 前記上部ミラー部分と前記等電位層との間に電氣的絶縁層を選択的に挿入して、それらの間に開口を形成するステップであって、反射率を低減し、前記開口外部の実効屈折率を増加するように絶縁層が形成されるステップと、  
 前記等電位層上に配置された上部接点部分を設けるステップと、  
 を含む単一モードV C S E Lを生産する方法。

【発明の詳細な説明】

【0001】

発明の技術分野

本発明は、一般に半導体レーザに関し、特に単一横モード垂直共振器表面発光ダイオードレーザ(V C S E L)を生産するための多機能システムに関する。

【0002】

発明の背景

垂直空洞共振器表面発光ダイオードレーザ(V C S E L)は、急速に半導体オプトエレクトロニクスのための中心的技術になっている。V C S E Lは通常、他のレーザ源(たとえば、エッジ発光レーザ)を使用するところであればどこでも発光源として使用することができ、システム設計者に対しいくつかの利点を提供することができる。このため、V C S E Lは、最新の高速短波長通信システムや、光学エンコーダ、反射/透過センサ、光学読み取り/書き込み応用例などのその他の大容量応用例のためのえり抜きの光源として浮上しつつある。

【0003】

表面発光レーザは、ダイの上部または下部から半導体基板平面に対して垂直な放射線を放

出する。VCSELは、それらの間に光空洞共振器を形成し、それを囲むウェハ表面に対して平行に配置されたミラーを有する表面発光レーザである。VCSELは通常、その上に第1のミラースタックと第2のミラースタックが配置された基板を有し、それらの間に量子井戸活性領域がある。パス当たりの利得は、端面発光レーザよりVCSELの方がかなり低く、これは、より優れたミラー反射率を必要とする。このため、VCSEL内のミラースタックは通常、複数の分布ブラッグ反射型(DBR)ミラーを含み、これは99%以上の反射率を有する可能性がある。電気接点は通常、第2のミラースタック上に位置決めされ、もう1つの接点は基板と接触している反対側端部に設けられる。2つの接点間を流れるように電流が誘導されると、レイジングが活性領域から誘導され、VCSELの上部または下部いずれかの表面を通して放出される。

10

**【0004】**

VCSELはマルチ横モードと単一横モードに大まかに類別することができ、各カテゴリはそれぞれ異なる状況で有利である。単一モードVCSELを製造する際の目標は、他の動作特性を損なわずに、すべての動作条件にわたる単一モード挙動を想定することである。一般に、単一モードVCSELの活性領域は小さい横寸法を必要とし、直列抵抗とビーム広がり角を増加させる傾向がある。さらに、ある動作条件では単一モードであるデバイスが他の動作条件ではマルチモードになる可能性があり、その結果、VCSELの放出放射線のスペクトル幅およびビームの広がりが劇的に増加する。

**【0005】**

応用例に応じて、VCSELの出力モードは、信号伝送およびその他の応用例での使用にプラスまたはマイナスの影響を及ぼす可能性がある。モードが異なると、伝送媒体(たとえば、光ファイバ)への結合方法が異なる可能性があるので、モード構造は重要である。そのうえ、モードが異なると、異なるしきい値電流を有する可能性があり、異なる立上りおよび立下り時間を示す可能性もある。各種モードによって発生する可能性のあるしきい値電流の変動は、各種モードの各種結合効率と組み合わせると、伝送媒体への結合が電流に関して非常に非線形に変動する可能性がある。伝送媒体への可変結合は、様々なモードの各種立上りおよび立下り時間と組み合わせると、信号パルス波形がその結合の特定の特性に応じて変動する可能性がある。これにより、伝送が一貫し信頼性のある信号に依存するような信号通信応用例の問題が提示される可能性がある。その他の応用例(たとえば、印刷装置、分析機器)は、複数モードソースを非効率的または使用不能にするような一貫した集束光源またはスペクトル純度特性を必要とする場合がある。

20

30

**【0006】**

モード制御および高動作特性を備えたVCSELを製造することは、いくつかの難題を提起する。下位モード(単一モード)で効率よく動作するVCSELを製造することは難しい。ほとんどの従来のVCSELは上位モードでレーザ発振する傾向があるが、センサなどの一部の応用例には単一横モードレイジングが好ましい。単一モードVCSELを生産しようという従来の試みは一般に、小さい電流範囲のみにわたって単一モードを維持するので、ほとんどの応用例での実用には不十分な出力電力を有する構造になっている。通常、VCSELを製造するには、低い直列抵抗と高い電力出力を達成するために比較的大きな電流開口径を必要とする。大きな電流開口に関する問題は、(仮にあるとしても)しきい値のすぐ上でのみ単一モードレイジングが発生するように上位レイジングモードが導入されることである。単一モード挙動を得るためにより小さい電流開口を備えたVCSELを製造すると、複数の問題が発生する。すなわち、直列抵抗が大きくなり、ビーム広がり角が大きくなり、達成可能な電力が小さくなる。一部の従来のアンチガイド構造は、これを達成することができるが、特にエピタキシャル成長の中断、パターン形成ステップ、後続の追加エピタキシを必要とする際に製造上の困難が発生する可能性がある。他の大型単一モードVCSELでは、製造のためにマルチステップMBEまたはMBE/MOCVDの組合せを必要とし、アライメントおよび歩留まりの問題を発生し、生産コストが増加し、商業上の実現性が低下する。

40

**【0007】**

50

## 発明の概要

以下に示す本発明の概要は、本発明に固有の革新的特徴の一部を理解しやすくするために示すものであり、完全に記述するためのものではない。本発明の様々な態様に対する完全な理解は、明細書全体、特許請求の範囲、添付図面、要約を全体として考慮することによって得ることができる。

### 【0008】

したがって、前述の従来の方法の制約を克服しながら、商業上実現可能なVCSSELの電力出力と動作を提供し、すべての電流範囲にわたって単一モード動作を維持し、費用効果が高く効率的に単一モードVCSSELを生産するための多機能システムが必要とされている。

10

### 【0009】

本発明では、VCSSELコンポーネントの電気特性、熱特性、幾何光学特性は、最下位モードのピークと一致してVCSSELデバイスの中心で電流がピークに達し、上位モードで損失を最大限にするかまたは完全に除去するように設計され選択されている。任意選択で、基本モードの方を選ぶように損失プロファイルを光学的に調整するために、本発明の技法とともに他のモード制御技法を使用することができる。

### 【0010】

本発明は、基板と、基板の下部表面上に配置された底部接点部分と、基板の上部表面上に配置された下部ミラー部分と、下部ミラー部分上に配置された活性領域と、電気的等方性物質から形成され、活性領域上に配置された電流拡散上部ミラー部分と、上部電流拡散ミラー部分上に配置され、追加ミラーを含むことができる等電位部分と、上部電流拡散ミラー部分と等電位部分との間に挿入され、それらの間に開口を形成するように適合された絶縁層と、開口の外周部の外側の等電位層上に配置された上部接点部分とを含む、単一モードVCSSELを生産するための構造および方法を提供する。

20

### 【0011】

本発明は、広い電流範囲にわたって単一モード動作を提供するように適合され、下部表面と上部表面とを有する半導体基板と、半導体基板の下部表面に沿って配置された下部電気接点と、n型材料から形成され、半導体基板の上部表面上に配置された下部ミラーと、下部ミラー部分上に配置された複数の量子井戸を有する活性領域と、電気的等方性物質から形成され、活性領域上に配置された上部電流拡散ミラーと、上部ミラー部分上に配置され、他のミラーを含むことができる等電位層と、VCSSELコンポーネントの第1の横方向端部で等電位層上に配置された第1の上部電気接点と、第1の上部電気接点から特定の距離をおいてVCSSELコンポーネントの第2の端部で等電位層上に配置された第2の上部電気接点と、第1の上部接点の下に配置され、等電位層、上部ミラー、活性領域、下部ミラーを横切る第1の分離領域と、第2の上部接点の下に配置され、等電位層、上部ミラー、活性領域、下部ミラーを横切る第2の分離領域と、上部ミラーと等電位層との間に挿入され、それらの間に開口を形成するように適合された絶縁層とを含む、VCSSELコンポーネントを提供する。

30

### 【0012】

本発明はさらに、基板と、基板の下部表面上に配置された底部接点部分と、基板の上部表面上に配置された下部ミラー部分と、下部ミラー部分上に配置された活性領域と、電気的等方性物質から形成され、活性領域上に配置された上部電流拡散ミラー部分とを有するVCSSEL構造を形成するステップと、上部ミラー部分上に配置された実質的等電位層を設けるステップと、上部ミラー部分と等電位層との間に電気的絶縁層を選択的に挿入して、それらの間に開口を形成するステップであって、電気的絶縁層が開口内部より開口外部の方がより大きい公称空洞共振を提供するように適合されるステップと、等電位層上に配置された上部接点部分を設けるステップとを含む、VCSSELにおけるアンチガイドモード選択性を提供する方法を提供する。

40

### 【0013】

本発明の新規の特徴は、以下に示す本発明の詳細な説明を考察すると当業者には明らかに

50

なるか、または本発明を実施することによって知ることができる。しかし、本発明の範囲内の様々な変更および修正は以下に示す本発明の詳細な説明と特許請求の範囲から当業者には明らかになるので、本発明の詳細な説明と提示する特定の例は、本発明の所与の実施形態を示しているが、例証のみのために示されていることを理解されたい。

【0014】

添付図面では同様の参照番号は個別の図面全体を通して同一または機能的に同様の要素を参照しており、添付図面は明細書に組み込まれ、明細書の一部を形成しているが、さらに本発明を例証するものであり、本発明の詳細な説明と相俟って本発明の原理を説明する働きをするものである。

【0015】

添付図面は必ずしも一定の縮尺で描かれているわけではなく、図形記号、架空線、線図表現、断片図を使用して実施形態が例示されていることを理解されたい。所与の例では、本発明の理解に不要である細部または他の細部を認識しにくくするような細部が省略されている可能性がある。当然のことながら、本発明は必ずしもここに例証した特定の実施形態に限定されないことを理解されたい。

【0016】

発明の詳細な説明

本発明の様々な実施形態の作成および使用について以下に詳細に述べるが、本発明は広範囲の特定の状況で実施可能な数多くの適用可能な発明概念を提供するものであることを理解されたい。本明細書で述べる特定の実施形態は、単に本発明を作成し使用するための特定のの方法の例証となるものにすぎず、本発明の範囲の限界を定めるものではない。

【0017】

本明細書で開示する原理および応用例は広範囲のオプトエレクトロニクス応用例で適用可能であることを理解されたい。説明および例証のため、本発明はVCSSELレーザ源に関連して以下に説明する。しかし、単一モードソースを使用する他の応用例でも同じシステムを適用可能である。

【0018】

前述の通り、従来の単一モードVCSSEL手法の制限の1つは、電流が増加するにつれてマルチモードになる傾向があり、その結果、有効電流範囲が非常に小さくなり、このため、単一モード動作の電力出力が最小限になることである。従来のVCSSELは一般に、放出領域のエッジ付近に電流が集中し、その結果、デバイスの中心で得られる利得が低下するために、電流が増加するにつれてマルチモードになるが、その利得の低下は中心における最下位モードの鋭いピークによっても発生するものである。これは、モード制御構造を有する従来のデバイスでも当てはまることである。

【0019】

対照的に、本発明では、基本(すなわち、最下位)モードのピークと一致してVCSSELデバイスの中心で電流がピークに達する。任意選択で、基本モードの方を選ぶように損失プロファイルを光学的に調整するために、本発明の技法とともに他のモード制御技法を使用することができる(たとえば、長い空洞、上部表面のパターン形成を使用する)。

【0020】

したがって、本発明は、費用感度の高い商業応用例のパフォーマンス要件を満たすのに十分な出力電力を有する単一モードVCSSELを提供する。まず、図1を参照すると、本発明によるVCSSELコンポーネント100の断面図が示されている。VCSSEL100は、適当な半導体材料(たとえば、ガリウムヒ素[GaAs]、リン化インジウム[InP]、またはその組合せ)から形成された基板102を含む。VCSSEL100は、適当な金属またはその他の導体材料から形成され、基板102の下部表面に隣接する裏面接点部分104をさらに含む。第1の半導体ミラースタック106は、基板102の上部表面に沿って配置されている。ミラー106は、低屈折率材料と高屈折率材料が交互になっている複数のミラー対(たとえば、DBRミラー)を含み、たとえば、n型ドープを施すことができる。ミラー106の上部表面上には活性領域108が配置されている。活性領域1

10

20

30

40

50

08は、いくつかの量子井戸（たとえば、3つのGaAs量子井戸）を含む。第2の半導体電流拡散ミラースタック110は、領域108の上部部分に沿って配置され、たとえば、p型ドーパ材料からなる複数のミラー対を含むことができる。伝導層112は、電流拡散ミラー110の上に、それに隣接して配置されている。ミラー110の抵抗率は層112よりかなり高く、ミラー110の伝導率は可能な限り等方性である。層112は、ミラー110の上に非常に高い導電率の層（たとえば、ミラー110のコンダクタンスの4~10倍）を含み、これは実質的に等電位線と同様に作用する（たとえば、約0.01オーム/cmの抵抗率）。層112は、VCSEL100の下部構造上で成長させたハイドープの半導体（たとえば、AlGaAs）を含むことができる。また、層112は、DBRミラー構造を具備するかまたは含むこともできる。別法として、層112は、ミラー110の実質的等電位部分を含むことができる。n型ミラーは通常、異方性伝導を有するので、ミラー110を形成するためにp型材料を使用することが好ましい可能性がある。トンネル接合により通常のpn接合特性なしでn型領域とp型領域の間にほとんどオーム接合を生成するVCSEL生産プロセスでは、図4に関連してより詳細に以下に記載するように、ミラー106および110はどちらも、p型材料またはn型材料のいずれかで形成することができる。

10

#### 【0021】

一般に、いずれかの使用材料の組成が3つ以上の化学元素を含む場合、その材料の熱伝導率は大幅に低下する。これにより、熱レンズは増大し、最大電力は低下する。したがって、特に領域108の近傍（すなわち、ミラー106および110内）では二元組成を使用

20

#### 【0022】

VCSEL100は、互いに遠位分離関係にあって、ミラー110と伝導層112との間に挿入され、ミラー110と層112との間に開口118を形成する、第1の電気絶縁領域114と第2の電気絶縁領域116とをさらに含む。図1の断面図に示すように、領域114および116は別構造であるが、そこに形成された開口（たとえば、円形開口）を有する単一の連続した絶縁領域のセグメントを含むことができることに留意することは重要である。この実施形態では、開口118のエリアを除き、層112とミラー110との間に何らかの電気絶縁があるはずである。これは、VCSEL100の中心に向かう電流を制限する。任意選択で、後で図3を参照して記載するように、領域114および116は層110内に（すなわち、層112に直接隣接しない）さらに形成することができる。絶縁領域114および116は、酸化物または所望の半導体プロセスで使用可能なその他の適当な絶縁体を含むことができる。絶縁領域は、任意の厚さの任意の絶縁材料（たとえば、 $Al_2O_3$  または空気）にすることができるが、絶縁領域の厚さおよび位置の選択によって、領域108から測定したミラー110の反射率が最小限になる場合が最適である。これにより、上位モードではより多くの損失が発生する。したがって、絶縁領域は、基本モードに向かって動作の選択性が増大するように設計またはパターン形成することができる。また、絶縁領域の厚さおよび位置決めも、開口118外部の公称空洞共振が内部より長い波長になり、アンチガイド効果をもたらすように最適化することができる。 $Al_2O_3$  などの材料の実際の指数が低いにもかかわらず、絶縁領域の厚さおよび位置決めが適切であれば、より高い実効屈折率をもたらされ、その結果、より長い共振波長が得られることになる。使用するプロセスおよび材料に応じて、VCSEL100のパフォーマンスに対して異なる電気および光学効果を有する領域114および116から拡張した絶縁領域が広がる可能性がある。この現象を利用すると、絶縁領域の組成を変更すること（たとえば、その領域にプロトン注入を加えること）により、光学および抵抗効果の独立制御を可能にすることができる。

30

40

#### 【0023】

VCSELコンポーネント100は、第1の上部接点部分120と第2の上部接点部分122とをさらに含む。接点120および122は、スパン124だけ分離され、互いに遠位分離関係にあって、伝導層112の上に適当な金属またはその他の導体材料から形成さ

50

れる。図示の通り、領域 114 および 116 は、開口 118 がスパン 124 より小さくなるように、それぞれ接点 120 および 122 の下に形成され、その上に延びている。別法として、接点 120 および 122 と領域 114 および 116 は、接点 120 および 122 が領域 114 および 116 の上に重なり、その結果、開口 118 がスパン 124 より大きくなるように形成することができる。図 1 に示すように、第 1 の分離領域 126 は、接点 120 の下に注入され、層 112、領域 114、ミラー 110、領域 108 の一部分を横切り、ミラー 106 内に延びている。同様に、第 2 の分離領域 128 は、接点 122 の下に注入され、層 112、領域 116、ミラー 110、領域 108 の一部分を横切り、ミラー 106 内に延びている。

#### 【0024】

層 112 の伝導率およびシートコンダクタンスは、ミラー 110 の数倍（たとえば、1 桁違い）である。層 112 は、ミラー 110 の反射率を強化するのに十分な厚さに形成される。ミラー 110 の横方向コンダクタンスは、横方向電流拡散が最小限になるように低くなければならない。ミラー 110 および 112 は、この組合せ構造によって開口 118 内部で最大反射率が得られるような位相関係を有するように設計される。層 112 は、その外界との境界面のために、ミラー反射率を提供する。

#### 【0025】

ミラー 110 の垂直コンダクタンスは、抵抗を過度に増大しないように十分な高さでなければならない。ミラースタックは異なるバンドギャップの半導体から作られるので、ミラーは、横方向電流を低減するのに妥当な限り等方導電性のものとして設計しなければならない。このため、より高い移動度を有する層はより低いドーピングを必要とし、より低い移動度を有する層はより高いドーピングを必要とするので、抵抗率は全面的に方向とは無関係にほとんど同じになる。ホール濃度と移動度との積は、ミラー 110 のできるだけ多くの部分について定数になる必要がある。半導体間の境界面は、そのグレードの中間組成の方が移動度が低く、より広いギャップ材料に隣接してより低いギャップ材料が変調ドーピングされるので、より高濃度にドーブし、 그레이ジングする必要がある。

#### 【0026】

等電位部分 112 と、前述の特性を備えた電流拡散ミラー 110 を形成し、それらの間に電流制限開口 118 を設けることにより、本発明は、フリンジ電流を最小限にして分散させ、上位モードを効果的に除去しながら、最下位モードでデバイスの中心に VCSEL 電流を集束させる。前述の通り、本発明の安置ガイド効果により、さらにモード選択性が提供される。図 2 は、本発明の利点を例証するものである。インジケータ 200 は VCSEL 100 の動作電流を示している。電流密度は、最下位モードのピークと一致して、VCSEL 100 の中心部分 202 で最大限になる。上位モードと一致する電流は広く分散し、このようなモードでの損失を最大限にし、最下位モード以外のすべてのものを効果的に減衰させる。したがって、本発明は、広い電流範囲にわたって動作可能な単一モード（すなわち、最下位モード）の VCSEL デバイスを提供する。

#### 【0027】

前に示した通り、本発明に関連してモード選択性をさらに増大させるためにいくつかの任意選択の措置を実現することができる。VCSEL 100 の様々なコンポーネント層の間隔および厚さを変更して、上位モードに関連する電流の拡散効果（すなわち、損失）を増加させることができる（たとえば、層 114 および 116 の厚さを増加させることができる）。VCSEL 100 に追加構造を追加して、光学選択性を強化することができる。図 1 に戻って参照すると、VCSEL 100 に関連して、1 つのこのようなオプションが示されている。層 112 の上に、誘電体スタックモード制御構造が配置されている。この構造は、スパン 124 に沿って層 112 の上部表面上に配置された第 1 の誘電体層 130 と、層 130 の上に配置された第 2 の誘電体層 132 とを含む。層 132 は、開口 118 と位置合せされるように位置決めすることができる。層 130 は、VCSEL 100 によって供給される光の波長の  $1/4$ （またはその何らかの倍数）と同等の厚さの適当な材料（たとえば、 $\text{SiO}_2$ ）から形成される。層 132 は、層 130 の厚さと組み合わせた場合

10

20

30

40

50

に、VCSEL100によって供給される光の波長の1/2（またはその何らかの倍数）と同等の厚さの適当な材料（たとえば、 $\text{Si}_3\text{N}_4$ ）から形成される。層130の下の有効ミラー反射率は低減され、層132を形成するために使用する材料に応じて、ミラー反射率が影響を受けないかまたは強化される層132の下領域は除き、光損失は増加する。したがって、層132の下ミラーに戻る反射は増加し、より大きい上位モードは抑制される。このような効果は、本発明の他の教示と組み合わせると、単一モード選択および出力をさらに増強することができる。

#### 【0028】

次に、図3を参照すると、本発明によるVCSELコンポーネント300の代替実施形態の断面図が示されている。VCSEL300は、材料および構造の点で図1のVCSEL100と実質的に同様であり、例外について以下に詳述する。VCSEL300は、基板302と、基板302の下部表面に隣接する裏面接点部分304とを含む。第1の半導体ミラースタック306は、基板302の上部表面に沿って配置されている。ミラー306の上部表面上には活性領域308が配置されている。第2の半導体ミラースタック310は領域308の上部部分に沿って配置され、伝導層312はミラー310の上にそれに隣接して配置されている。VCSEL300は、互いに遠位分離関係にあって、領域308と伝導層312との間のミラー310内の中央に挿入され、開口318を形成する、第1の電気絶縁領域314と第2の電気絶縁領域316とをさらに含む。VCSEL300は、ピーク利得および電流密度がVCSEL300の中心に向かって実現されるような長さ形成することができる。この実施形態では、領域314および316の上にあるミラー310の一部（すなわち、層312に直接隣接する部分）は、制御制約および自由キャリア吸収制約に基づいて、妥当な限り低い抵抗率を有するものでなければならない。

#### 【0029】

前に教示した通り、加熱は防止しなければならない。自由キャリア吸収によりVCSELデバイス内に大量の熱が発生する。電界ピークで可能な限り低いドーピングを施すことにより、加熱を最小限にすることができる。ドーピングを過度に低減して自由キャリア吸収を削減する場合、I-R加熱は重大なものになる可能性がある。これを銘記して、次に図4を参照すると、同図は、このような懸念に対処し、上記の教示に基づく本発明の一実施形態を示している。

#### 【0030】

図4は、本発明によるVCSELコンポーネント400の一実施形態の断面図を示している。VCSEL400は、適当な半導体材料（たとえば、ガリウムヒ素[ $\text{GaAs}$ ]、リン化インジウム[ $\text{InP}$ ]、またはその組合せ）から形成された基板402を含む。VCSEL400は、基板402の上部表面に沿って配置された第1の半導体ミラースタック404をさらに含む。ミラー404は、低屈折率材料と高屈折率材料が交互になっている複数のミラー対（たとえば、DBRミラー）を含む。熱伝導率を改善するための最低指数値として $\text{AlAs}$ を使用する $\text{AlGaAs}$ のDBRミラーを使用することができる。別法として、可能な限り極端な組成の $\text{InP}$ により $\text{InP}$ に格子整合した $\text{AlInGaAsP}$  Sbを使用して熱伝導率を改善することができる。ミラー404の上部表面上には第1の熱伝導層406が配置されている。層406は、基板に適した材料（たとえば、 $\text{GaAs}$ 基板の場合は $\text{AlAs}$ 、 $\text{InP}$ 基板の場合は $\text{InP}$ ）を含む。層406は、最小限の電界でドーピングを最大限にするために定期的にドーピングし、1ミクロン程度の厚さに形成することができる。この定期的ドーピングは、電界がゼロのときの高濃度ドーピングと、電界がピークのときの低濃度ドーピングとを含むことができる。この定期的ドーピングにより、伝導率が改善され、自由キャリア吸収が削減される。均一高濃度ドーピングを使用すると、一般に、直列抵抗が低減される。

#### 【0031】

層406上には活性領域408が配置されている。活性領域408は、層406上に配置された下部pn接合層410と、層410上に配置された第1のトンネル接合412と、接合412上に配置された上部pn接合層414と、層414上に配置された第2のトン

ネル接合 4 1 6 とを含む。層 4 1 0 および 4 1 4 はいくつかの量子井戸を含むことができる。トンネル接合 4 1 2 および 4 1 6 を使用することにより、ミラーおよび熱伝導層に n 型材料を使用し、所与の伝導率の場合に自由キャリア吸収を大幅に削減することができる。領域 4 0 8 内では、これは、電流および加熱効果を低減するために特に効果的な方法である。

#### 【 0 0 3 2 】

領域 4 0 8 の上部表面上には第 2 の熱伝導層 4 1 8 が配置されている。層 4 1 8 も、電流拡散器として等方性に形成されている。層 4 1 8 は、低濃度ドーブを施し、基板に適した材料（たとえば、GaAs 基板の場合は AlAs、InP 基板の場合は InP）を含む。

#### 【 0 0 3 3 】

第 2 の半導体ミラースタック 4 2 0 は、層 4 1 8 の上に配置されている。ミラー 4 2 0 は、第 1 の上部ミラー層 4 2 2 と、第 2 の上部ミラー層 4 2 4 と、第 3 の上部ミラー層 4 2 6 とを含む。層 4 2 2 は、可能な限り等方性になるように形成され、自由キャリア吸収のために低濃度ドーブが施されている。層 4 2 2 は、4 . 5 周期にほぼ等しい厚さになるように形成することができる。層 4 2 2 は、上記の通り、使用するプロセスに応じて、n 型ドーブまたは p 型ドーブのいずれかを施した材料の複数のミラー対を含むことができる。n 型材料を使用する場合、層 4 2 2 は層 4 2 4 の上に形成することができる（図示せず）。層 4 2 2 を図 4 に示すように形成する場合、層 4 1 8 は、たとえば約 1 ミクロンの厚さに形成することができる。層 4 2 2 を層 4 2 4 の上に形成する場合、層 4 1 8 は、より厚く、たとえば約 2 . 6 ミクロンの厚さに形成しなければならない。

#### 【 0 0 3 4 】

VCSEL 4 0 0 は、互いに遠位分離関係にあって、層 4 2 4 内に挿入され、それらの間に開口 4 3 2 を形成する、第 1 の電気絶縁領域 4 2 8 と第 2 の電気絶縁領域 4 3 0 とをさらに含む。開口 4 3 2 の形成は、VCSEL 4 0 0 の中心に向かう電流を制限する。前述の通り、絶縁領域 4 2 8 および 4 3 0 は、任意の厚さの任意の適切な絶縁材料（たとえば、酸化物）を含むことができるが、領域 4 0 8 から測定したミラー 4 2 0 の反射率を最小限にし、さらにアンチガイドを可能にするように公称空洞共振を最適化する方向に向かって形成されるものとする。この場合も、使用するプロセスおよび材料に応じて、VCSEL 4 0 0 のパフォーマンスに対して異なる電気および光学効果を有する領域 4 2 8 および 4 3 0 から拡張した抵抗領域 4 3 4 および 4 3 6 が広がる可能性がある。前に教示した通り、領域 4 3 4 および 4 3 6 は、独立した光学および抵抗制御を可能にするために設計により操作することができるが、一般に、これらの領域は領域 4 2 8 および 4 3 0 の隣接領域周囲のできるだけ狭い範囲に制限されることが望ましい。

#### 【 0 0 3 5 】

図 5 に関連して後で例証するように、開口 4 3 2 内部の電流密度は他の場所より高くなっている。この電流密度により相当な IR 加熱が発生するが、これは防止しなければならない。したがって、層 4 2 4 は、高濃度の p 型ドーブ材料または適度な濃度の n 型ドーブ材料、あるいは開口 4 3 2 内で直列抵抗および加熱効果の低減を可能にするその他の適切な材料（たとえば、InP ベースの VCSEL の場合は n - InP）を含むことができる。任意選択で、先端を電界ゼロに位置決めして領域 4 2 8 および 4 3 0 の両端にテーパ 4 3 8 を形成し、電流制限およびモード選択性を強化することができる。層 4 2 6 は、抵抗を最適化し、伝導層 4 4 0 に関連して等電位線を形成するように適切な厚さ（たとえば、AlGaAs 材料の場合は約 16 周期）で形成した高濃度ドーブの材料を含む。伝導層 4 4 0 は、ミラー 4 2 0 の上にそれに隣接して配置され、抵抗を最小限にするように非常に高濃度のドーブ材料から形成される。ミラー 4 2 0 の抵抗率は層 4 4 0 内より高く、ミラー 4 2 0 の伝導率は可能な限り等方性である。層 4 4 0 はミラー 4 2 0 の上に非常に高い伝導率の層を含み、これは実質的に等電位線と同様に作用する。

#### 【 0 0 3 6 】

VCSEL コンポーネント 4 0 0 は、第 1 の上部接点部分 4 4 2 と第 2 の上部接点部分 4 4 4 とをさらに含む。接点 4 4 2 および 4 4 4 は、スパン 1 2 4 だけ分離され、互いに遠

10

20

30

40

50

位分離関係にあって、伝導層440の上に適当な金属またはその他の導体材料から形成される。VCSEL400は、前述の誘電体ミラーまたはモード制御構造などの適切なモード選択性構造446をさらに含むことができる。

【0037】

図5は、VCSEL400の電流を例証するものである。インジケータ500はVCSEL400の動作電流を示している。電流密度は、最下位モードのピークと一致して、VCSEL400の中心部分502で最大限になる。上位モードと一致する電流は広く分散し、このようなモードでの損失を最大限にし、最下位モード以外のすべてのものを効果的に減衰させる。したがって、前に教示したように、本発明は、広い電流範囲にわたって動作可能な単一モード（すなわち、最下位モード）のVCSELデバイスを提供する。

10

【0038】

本明細書に示す実施形態および例は、本発明およびその実用的な応用例を最も良く説明し、それにより、当業者が本発明を作成し使用できるようにするために提示するものである。しかし、当業者であれば、上記の説明および例が例証および実例のみのために提示されたものであることが分かるだろう。本発明の教示および概念は、(100)配向以外で生産されたVCSELコンポーネントなど、他のタイプのコンポーネント、パッケージ、構造に適用することができる。本発明は、特定のパッケージ構成とは無関係に適用可能である。本発明のその他の変形形態および変更形態は当業者にとって明白になり、このような変形形態および変更形態を含むことが特許請求の範囲の意図である。ここに示す説明は、網羅的なものではなく、本発明の範囲を制限するためのものでもない。特許請求の範囲の精神および範囲を逸脱せずに、上記の教示を考慮すると、数多くの変更形態および変形形態が可能である。本発明の使用は各種特性を有するコンポーネントを含むことができることが企図されている。すべての点で同等のものを完全に認識し、特許請求の範囲によって本発明の範囲が定義されるものとする。

20

【図面の簡単な説明】

【図1】

本発明によるVCSELコンポーネントの概略図である。

【図2】

図1のVCSELコンポーネントの動作を示す説明図である。

【図3】

本発明による他のVCSELコンポーネントの概略図である。

30

【図4】

本発明によるVCSELコンポーネントの概略図である。

【図5】

図4のVCSELコンポーネントの動作を示す説明図である。

【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization  
International Bureau



(43) International Publication Date  
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number  
WO 02/45217 A2

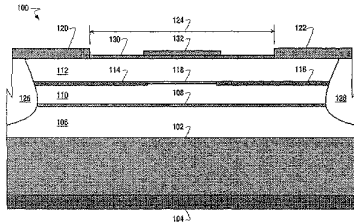
- (51) International Patent Classification: H01S 3/00
- (74) Agents: CRISS, Roger, H.; Honeywell International Inc., 101 Columbia Avenue, P.O. Box 2245, Morristown, NJ 07960 et al. (US).
- (21) International Application Number: PCT/US01/44385
- (81) Designated States (national): CA, JP, KR.
- (22) International Filing Date: 26 November 2001 (26.11.2001)
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 09/724,820 28 November 2000 (28.11.2000) US
- Published: — without international search report and to be republished upon receipt of that report
- (71) Applicant: HONEYWELL INTERNATIONAL INC. [US/US], 101 Columbia Avenue, P.O. Box 2245, Morristown, NJ 07960 (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(72) Inventors: JOHNSON, Ralph, H.; 211 Ridgeview Drive, Murphy, TX 75094 (US). MORALES, Gilberto; 1920 Paloma Way, Arlington, TX 76006 (US).



(54) Title: VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS



WO 02/45217 A2

(57) Abstract: A system and method for providing a single mode VCSEL (vertical cavity surface emitting laser) component (100) is disclosed, comprising a semiconductor substrate (102) having a lower surface and an upper surface, a bottom electrical contact (104) disposed along the lower surface of the substrate, a lower mirror (106) formed of n-type material and disposed upon the upper surface of the substrate, an active region (108) having a plurality of quantum wells disposed upon the lower mirror portion, an upper mirror (110) formed from isotropic material and disposed upon the active region, an equipotential layer (112) disposed upon the upper mirror portion, a first upper electrical contact (120) disposed upon the equipotential layer at a particular distance (124) from the first upper electrical contact, a first isolation region (126) disposed beneath the first upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, a second isolation region (128) disposed beneath the second upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, and an insulating layer (114, 116) interposed between the upper mirror and the equipotential layer and adapted to form therebetween an aperture (118) of smaller dimension than the particular distance between the first and second upper contacts.

WO 02/45217

PCT/US01/44385

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

APPLICATION FOR UNITED STATES PATENT

**VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS**

INVENTORS

Ralph H. Johnson  
211 Ridgeview Drive  
Murphy, Texas 75094

Gilberto Morales  
1920 Paloma Way  
Arlington, Texas 76006

Citizens of the United States of America

WO 02/45217

PCT/US01/44385

**VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS****TECHNICAL FIELD OF THE INVENTION**

The present invention relates, in general, to semiconductor lasers and, in particular,  
5 to a versatile system for producing single transverse mode Vertical-Cavity Surface-Emitting  
Lasers (VCSELS).

**BACKGROUND OF THE INVENTION**

The Vertical Cavity Surface Emitting Laser (VCSEL) is rapidly becoming a workhorse technology for semiconductor optoelectronics. VCSELs can typically be used as light emission sources anywhere other laser sources (e.g., edge emitting lasers) are used, and provide a number of advantages to system designers. Hence, VCSELs are emerging as the light source of choice for modern high-speed, short-wavelength communication systems and other high-volume applications such as optical encoders, reflective/transmissive sensors and optical read/write applications.

Surface-emitting lasers emit radiation perpendicular to the semiconductor substrate plane, from the top or bottom of the die. A VCSEL is a surface-emitting laser having mirrors disposed parallel to the wafer surfaces that form and enclose an optical cavity between them. VCSELs usually have a substrate upon which a first mirror stack and second mirror stack are disposed, with a quantum well active region therebetween. Gain per pass is much lower with a VCSEL than an edge-emitting laser, which necessitates better mirror reflectivity. For this reason, the mirror stacks in a VCSEL typically comprise a plurality of Distributed Bragg Reflector (DBR) mirrors, which may have a reflectivity of 99% or higher. An electrical contact is usually positioned on the second mirror stack, and another contact is provided at the opposite end in contact with the substrate. When an electrical current is induced to flow between the two contacts, lasing is induced from the active region and emits through either the top or bottom surface of the VCSEL.

VCSELs may be broadly categorized into multi-transverse mode and single-transverse mode, each category being advantageous in different circumstances. A goal in manufacturing single-mode VCSELs is to assume single-mode behavior over all operating conditions, without compromising other performance characteristics. Generally, the active regions of single transverse mode VCSELs require small lateral dimensions, which tend to increase the series resistance and beam divergence angle. Furthermore, a device that is single-mode at one operating condition can become multi-mode at another

WO 02/45217

PCT/US01/44385

operating condition, an effect that dramatically increases the spectral width and the beam divergence of the emitted radiation of the VCSEL.

5 Depending upon the application, the output mode of a VCSEL can either positively or negatively affect its use in signal transmission and other applications. The mode structure is important because different modes can couple differently to a transmission medium (e.g., optical fiber). Additionally, different modes may have different threshold currents, and can also exhibit different rise and fall times. Variation in threshold currents, which can be caused by different modes, combined with different coupling efficiencies of  
10 different modes can cause coupling into a transmission medium to vary in a highly non-linear manner with respect to current. Variable coupling to a transmission medium, combined with different rise and fall times of the various modes, can cause signal pulse shapes to vary depending on particular characteristics of the coupling. This can present problems in signal communications applications where transmission depends on a  
15 consistent and reliable signal. Other applications (e.g., printing devices, analytical equipment) may require a consistent and focused light source or spectral purity characteristics that render multiple mode sources inefficient or unusable.

20 Manufacturing a VCSEL with mode control and high performance characteristics poses a number of challenges. It is difficult to manufacture VCSELS that efficiently operate in the lower order mode (single mode). Most conventional VCSELS tend to lase in higher-order transverse modes, whereas single transverse mode lasing is preferred for some applications, such as sensors. Conventional attempts to produce a single mode VCSEL have generally resulted in structures having output power insufficient for practical use in  
25 most applications, as they remain single mode only over small current ranges. Usually, to manufacture a VCSEL, a relatively large current aperture size is required to achieve a low series resistance and high power output. A problem with a large current aperture is that higher order lasing modes are introduced so that single mode lasing only occurs just above

WO 02/45217

PCT/US01/44385

threshold, if at all. Manufacturing a VCSEL with a smaller current aperture to obtain single mode behavior causes multiple problems: the series resistance becomes large, the beam divergence angle becomes large, and the attainable power becomes small. Some conventional anti-guide structures may achieve this but suffer from manufacturing difficulties, particularly in requiring an interruption in epitaxial growth, a patterning step, and subsequent additional epitaxy. Other large single mode VCSELs require multi-step MBE or MBE/MOCVD combinations to manufacture, creating alignment and yield problems; increasing production costs and reducing commercial viability.

WO 02/45217

PCT/US01/44385

**BRIEF SUMMARY OF THE INVENTION**

The following summary of the invention is provided to facilitate an understanding of some of the innovative features unique to the present invention, and is not intended to be a full description. A full appreciation of the various aspects of the invention can be gained  
5 by taking the entire specification, claims, drawings, and abstract as a whole.

Therefore, a versatile system for producing a single mode VCSEL in a cost-effective and efficient manner, sustaining single mode operation over all current ranges is now needed, providing commercially viable VCSEL power output and performance while  
10 overcoming the aforementioned limitations of conventional methods.

In the present invention, electrical, thermal, and geometric optical properties of VCSEL components are designed and selected to provide current peaking in the center of a VCSEL device, coincident with the peak of the lowest order mode and to maximize loss  
15 in, or eliminate completely, higher order modes. Optionally, other mode control techniques can be used in conjunction with the teachings of the present invention to optically tailor the loss profile to prefer the fundamental mode.

The present invention provides structures and methods for producing a single mode  
20 VCSEL comprising a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper surface of the substrate, an active region disposed upon the lower mirror portion, and a current spreading upper mirror portion formed from electrically isotropic material and disposed upon the active region, an equipotential portion, which can include an additional mirror, disposed upon the  
25 upper current spreading mirror portion, an insulating layer interposed between the upper current spreading mirror portion and the equipotential portion and adapted to form an aperture therebetween, and an upper contact portion disposed upon the equipotential layer outside the perimeter of the aperture.

WO 02/45217

PCT/US01/44385

The present invention provides a VCSEL component adapted to provided single mode operation over wide current ranges, comprising a semiconductor substrate having a lower surface and an upper surface, a bottom electrical contact disposed along the lower surface of the semiconductor substrate, a lower mirror formed of n-type material and disposed upon the upper surface of the semiconductor substrate, an active region having a plurality of quantum wells disposed upon the lower mirror portion, an upper current spreading mirror formed from electrically isotropic material and disposed upon the active region, an equipotential layer, which can include another mirror, disposed upon the upper mirror portion, a first upper electrical contact disposed upon the equipotential layer at a first lateral end of the VCSEL component, a second upper electrical contact disposed upon the equipotential layer at a second end of the VCSEL component at a particular distance from the first upper electrical contact, a first isolation region disposed beneath the first upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, a second isolation region disposed beneath the second upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, and an insulating layer interposed between the upper mirror and the equipotential layer and adapted to form therebetween an aperture.

The present invention further provides a method of providing antiguide mode selectivity in a VCSEL, including the forming of a VCSEL structure having a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper surface of the substrate, an active region disposed upon the lower mirror portion, and an upper current spreading mirror portion formed from electrically isotropic material and disposed upon the active region, providing a substantially equipotential layer disposed upon the upper mirror portion, selectively interposing an electrically insulating layer between the upper mirror portion and the equipotential layer to form an aperture therebetween, wherein the electrically insulating layer is adapted to

WO 02/45217

PCT/US01/44385

provide a greater nominal cavity resonance outside the aperture than inside it, and providing an upper contact portion disposed upon the equipotential layer.

5 The novel features of the present invention will become apparent to those of skill in the art upon examination of the following detailed description of the invention or can be learned by practice of the present invention. It should be understood, however, that the detailed description of the invention and the specific examples presented, while indicating certain embodiments of the present invention, are provided for illustration purposes only because various changes and modifications within the scope of the invention will become  
10 apparent to those of skill in the art from the detailed description of the invention and claims that follow.

WO 02/45217

PCT/US01/44385

**BRIEF DESCRIPTION OF THE DRAWINGS**

The accompanying figures, in which like reference numerals refer to identical or functionally-similar elements throughout the separate views and which are incorporated in and form part of the specification, further illustrate the present invention and, together with  
5 the detailed description of the invention, serve to explain the principles of the present invention.

FIG. 1 is an illustrative schematic of VCSEL component according to the present invention;

FIG. 2 is an illustrative diagram of the operation of the VCSEL component in  
10 FIG. 1;

FIG. 3 is an illustrative schematic of another VCSEL component according to the present invention;

FIG. 4 is an illustrative schematic of VCSEL component according to the present invention; and

15 FIG. 5 is an illustrative diagram of the operation of the VCSEL component in FIG. 4.

It should be understood that the drawings are not necessarily to scale and that the embodiments are illustrated using graphic symbols, phantom lines, diagrammatic  
20 representations and fragmentary views. In certain instances, details which are not necessary for an understanding of the present invention or which render other details difficult to perceive may have been omitted. It should be understood, of course, that the invention is not necessarily limited to the particular embodiments illustrated herein.

WO 02/45217

PCT/US01/44385

**DETAILED DESCRIPTION OF THE INVENTION**

While the making and using of various embodiments of the present invention are discussed in detail below, it should be appreciated that the present invention provides many applicable inventive concepts which can be embodied in a wide variety of specific contexts.

5 The specific embodiments discussed herein are merely illustrative of specific ways to make and use the invention and do not delimit the scope of the invention.

It should be understood that the principles and applications disclosed herein can be applied in a wide range of optoelectronic applications. For purposes of explanation and illustration, the present invention is hereafter described in reference to VCSEL laser sources. However, the same system might be applied in other applications where a single mode source is utilized.

As previously discussed, one of the limitations of conventional single mode VCSEL approaches is their tendency to become multi-moded as current is increased, resulting in a very small effective current range and, hence, minimal power output, for single mode operation. Conventional VCSELs generally become multi-moded as current is increased because of current crowding near the edge of the emitting region and the resulting reduction in available gain in the center of the device, which is also caused by the sharp peaking of the lowest order mode in the center. This is true even for conventional devices having mode control structures.

In contrast, the present invention provides current peaked in the center of a VCSEL device, coincident with the peak of the fundamental (i.e., lowest order) mode. Optionally, other mode control techniques can be used in conjunction with the teachings of the present invention to optically tailor the loss profile to prefer the fundamental mode (e.g., use of long cavities, top surface patterning).

WO 02/45217

PCT/US01/44385

The present invention thus provides a single mode VCSEL having output power sufficient to meet the performance requirements of cost-sensitive commercial applications. Referring first to FIG. 1, a cross-sectional view of a VCSEL component 100 in accordance with the present invention is illustrated. VCSEL 100 comprises a substrate 102, formed of a suitable semiconductor material (e.g., Gallium Arsenide [GaAs], Indium Phosphide [InP], or combinations thereof). VCSEL 100 further comprises a backside contact portion 104, formed of a suitable metallic or other conductive material, and adjoining a lower surface of substrate 102. A first semiconductor mirror stack 106 is disposed along the upper surface of substrate 102. Mirror 106 comprises a plurality of mirror pairs of alternating low and high refractive indexed material (e.g., DBR mirrors) and can be n-doped, for example. Disposed upon an upper surface of mirror 106 is active region 108. Active region 108 contains a number of quantum wells (e.g., three GaAs quantum wells). A second semiconductor current spreading mirror stack 110 is disposed along an upper portion of region 108 and can include a plurality of mirror pairs of p-doped material, for example. A conduction layer 112 is disposed atop and adjoining current spreading mirror 110. The resistivity of mirror 110 is much higher than in layer 112, and the conductivity of mirror 110 is as isotropic as possible. Layer 112 comprises a very high conductivity layer (e.g., 4 to 10 times the conductance of mirror 110) on top of mirror 110, which acts substantially like an equipotential (e.g., resistivity of about 0.01 ohm/cm). Layer 112 can comprise a highly doped semiconductor grown on the lower structures of VCSEL 100 (e.g., AlGaAs). Layer 112 can also comprise or include a DBR mirror structure. Alternatively, layer 112 can comprise a substantially equipotential portion of mirror 110. Because n-type mirrors typically have anisotropic conduction, it can be preferable to use a p-type material to form mirror 110. In VCSEL production processes where tunnel junctions produce nearly ohmic contact between n and p regions, without normal p-n junction characteristics, mirrors 106 and 110 can both be formed of either p-type or n-type material, as described hereafter in greater detail with reference to FIG. 4.

WO 02/45217

PCT/US01/44385

Generally, when the composition of any of the materials used comprises more than two chemical elements, that material's thermal conductivity decreases significantly. This increases thermal lensing while decreasing maximum power. It is thus desirable to use binary compositions, especially in proximity to region 108 (i.e., in mirrors 106 and 110).

5 VCSEL 100 further comprises a first electrical insulation region 114 and a second electrical insulation region 116, interposed between mirror 110 and conduction layer 112 in distally separate relation to one another, forming an aperture 118 between mirror 110 and layer 112. Although, as depicted in the cross sectional view of FIG. 1, regions 114 and 116 are separate structures, it is important to note that they can include segments of a  
10 single contiguous insulating region having the aperture (e.g., a circular aperture) formed therein. In this embodiment, there should be some electrical insulation between layer 112 and mirror 110, except for the area of aperture 118. This confines current flow toward the center of VCSEL 100. Optionally, regions 114 and 116 can be formed further within layer 110 (i.e., not immediately adjacent to layer 112), as described in later reference to FIG. 3.

15 Insulation regions 114 and 116 can comprise an oxide, or some other suitable insulator available in the desired semiconductor process. The insulating regions can be any insulating material of any thickness (e.g.,  $Al_2O_3$  or air), but is optimal when reflectance of mirror 110, as measured from region 108, is minimized by the choice of thickness and position of the insulating regions. This causes more loss for higher order modes. Thus,  
20 the insulation regions can be designed or patterned to increase operational selectivity toward the fundamental mode. The thickness and positioning of the insulating regions can also be optimized such that the nominal cavity resonance outside the aperture 118 is at a longer wavelength than inside, providing an antiguide effect. Despite lower real indices of materials such as  $Al_2O_3$ , proper thickness and positioning of the insulating regions will  
25 provide an effective higher index and result in a longer resonant wavelength. It is possible that, depending upon the processes and materials used, extended insulation areas may emanate from regions 114 and 116, having different electrical and optical effects on the performance of VCSEL 100. This phenomenon may be exploited to provide independent

WO 02/45217

PCT/US01/44385

control of the optical and resistive effects, by altering the composition of the insulation regions (e.g., adding a proton implant to the regions).

VCSEL component 100 further comprises a first upper contact portion 120 and a  
5 second upper contact portion 122. Contacts 120 and 122 are formed of a suitable metallic  
or other conductive material atop conduction layer 112 in distally separate relation to one  
another, separated by a span 124. As depicted, regions 114 and 116 are formed beneath,  
and extending beyond, contacts 120 and 122, respectively, such that aperture 118 is  
smaller than span 124. Alternatively, contacts 120 and 122 and regions 114 and 116 can  
10 be formed such that contacts 120 and 122 overlap regions 114 and 116, resulting in an  
aperture 118 larger than span 124. As shown in FIG. 1, a first isolation region 126 is  
implanted beneath contact 120, traversing portions of layer 112, region 114, mirror 110,  
and region 108, and extending into mirror 106. Similarly, a second isolation region 128 is  
implanted beneath contact 122, traversing portions of layer 112, region 116, mirror 110,  
15 and region 108, and extending into mirror 106.

The conductivity and sheet conductance of layer 112 are many times (e.g., an order  
of magnitude) that of mirror 110. Layer 112 is formed of a thickness sufficient to enhance  
reflectivity of mirror 110. The lateral conductance of mirror 110 should be low, such that  
20 lateral current spreading is minimized. Mirror 110 and 112 are designed to have a phase  
relationship such that the combined structures provide maximum reflectivity inside aperture  
118. Layer 112 provides mirror reflectivity because of its interface with the outside world.

Vertical conductance of mirror 110 should be high enough not to increase resistance  
25 excessively. Because the mirror stack is made of semiconductors of different band gaps,  
the mirror should be designed as isotropically conductive as is reasonable to reduce lateral  
current flow. As such, layers which have higher mobilities need lower doping, and layers  
with lower mobilities need higher doping, so that the resistivity is nearly the same all the

WO 02/45217

PCT/US01/44385

way through and independent of direction. The product of the hole concentration and the mobility needs to be a constant for as much of mirror 110 as is possible. The interfaces between the semiconductors need to be doped more heavily and graded due to lower mobilities in the intermediate compositions of the grade and the modulation doping of lower gap material adjacent to wider gap material.

By forming an equipotential portion 112, and current spreading mirror 110 with the properties described above, and providing the current-restrictive aperture 118 therebetween, the present invention focuses the VCSEL current in the center of the device and at the lowest order mode, while minimizing and dispersing fringe current and effectively eliminating higher order modes. Mode selectivity is further provided by the antiguide effects of the present invention, as described above. FIG. 2 provides an illustration of advantages of the present invention. Indicators 200 depict operational current flow of VCSEL 100. The current density is maximized in the center portion 202 of VCSEL 100, coinciding with the peak of the lowest order mode. Current coinciding with higher order modes is widely dispersed, maximizing loss for those modes and effectively damping all but the lowest order mode. The present invention thus provides a single mode (i.e. the lowest order mode) VCSEL device, operational over a wide current range.

As previously indicated, a number of optional measures can be implemented to further increase modal selectivity in conjunction with the present inventions. Spacing and thickness of the various component layers of VCSEL 100 can be varied to increase spreading effects (i.e., loss) of current associated with higher order modes (e.g., thickness of layers 114 and 116 can be increased). Additional structures can be added to VCSEL 100 to enhance optical selectivity. Referring back to FIG. 1, one such option is depicted in conjunction with VCSEL 100. A dielectric stack mode control structure is disposed atop layer 112. This structure comprises a first dielectric layer 130, disposed on an upper surface of layer 112 along span 124, and a second dielectric layer 132, disposed atop layer

WO 02/45217

PCT/US01/44385

130. Layer 132 can be positioned to align with aperture 118. Layer 130 is formed of a suitable material (e.g., SiO<sub>2</sub>) with a thickness equivalent to one fourth (or some multiple thereof) the wavelength of light sourced by VCSEL 100. Layer 132 is formed of a suitable material (e.g., Si<sub>3</sub>N<sub>4</sub>) of a thickness, when combined with the thickness of layer 130, equivalent to one half (or some multiple thereof) the wavelength of light sourced by VCSEL 100. The effective mirror reflectivity under layer 130 is reduced and optical loss is increased, except for the area under layer 132, where the mirror reflectivity is either unaffected or enhanced, depending upon the material used to form layer 132. Thus, reflection back to the mirror under layer 132 is greater; and larger, higher order modes are suppressed. These effects can be combined with the other teachings of the present invention to further strengthen single mode selection and output.

Referring now to FIG. 3, a cross-sectional view of an alternative embodiment of a VCSEL component 300 in accordance with the present invention is illustrated. VCSEL 300 is substantially similar, in materials and construction, to VCSEL 100 of FIG. 1, with the exceptions detailed hereafter. VCSEL 300 comprises a substrate 302 and a backside contact portion 304 adjoining a lower surface of substrate 302. A first semiconductor mirror stack 306 is disposed along the upper surface of substrate 302. Disposed upon an upper surface of mirror 306 is active region 308. A second semiconductor mirror stack 310 is disposed along an upper portion of region 308, and a conduction layer 312 is disposed atop and adjoining mirror 310. VCSEL 300 further comprises a first electrical insulation region 314 and a second electrical insulation region 316, medially interposed within mirror 310 between region 308 and conduction layer 312, in distally separate relation to one another, forming an aperture 318. VCSEL 300 can be so formed as long as peak gain and current density is realized toward the center of VCSEL 300. In this embodiment, the portion of mirror 310 above regions 314 and 316 (i.e., that portion directly adjacent to layer 312) should have as low a resistivity as is reasonable based on control constraints and free carrier absorption constraints.

WO 02/45217

PCT/US01/44385

As previously taught, heating must be prevented. Free carrier absorption causes a lot of heating in VCSEL devices. Heating can be minimized by having as low a doping at the electric field peaks as possible. I-R heating can become severe if doping is reduced excessively to reduce free carrier absorption. Keeping this in mind, reference is now made to FIG. 4, which presents an embodiment of the present invention addressing these concerns and building upon the teachings above.

FIG. 4 depicts a cross-sectional view of an embodiment of a VCSEL component 400 in accordance with the present invention. VCSEL 400 comprises a substrate 402, formed of a suitable semiconductor material (e.g., Gallium Arsenide [GaAs], Indium Phosphide [InP], or combinations thereof). VCSEL 400 further comprises a first semiconductor mirror stack 404 disposed along the upper surface of substrate 402. Mirror 404 comprises a plurality of mirror pairs of alternating low and high refractive indexed material (e.g., DBR mirrors). AlGaAs DBR mirrors, using AlAs as the lower index extreme to improve thermal conductivity, can be utilized. Alternatively, AlInGaAsPSb, lattice matched to InP with a possible extreme composition of InP, can be utilized to improve thermal conductivity. Disposed upon an upper surface of mirror 404 is a first heat conduction layer 406. Layer 406 comprises a substrate-appropriate material (e.g., AlAs for GaAs substrates, InP for InP substrates). Layer 406 is periodically doped to maximize doping at minima of electric fields and can be formed with a thickness on the order of one micron. This periodic doping can comprise doping heavily in the nulls of the electric field and doping lightly at the peaks of the electric field. The periodic doping improves conductivity and reduces the free carrier absorption. Use of uniformly heavy doping generally reduces series' resistance.

Disposed upon layer 406 is active region 408. Active region 408 comprises a lower p-n junction layer 410 disposed upon layer 406, a first tunnel junction 412 disposed upon layer 410, an upper p-n junction layer 414 disposed upon junction 412, and a second tunnel

WO 02/45217

PCT/US01/44385

junction 416 disposed upon layer 414. Layers 410 and 414 can contain a number of quantum wells. By using tunnel junctions 412 and 416, a designer can then utilize n-type material in the mirror and heat conduction layers, providing significant reduction in free carrier absorption for a given conductivity. Within region 408, this is a particularly effective way to reduce currents and heating effects.

Disposed upon an upper surface of region 408 is a second heat conduction layer 418. Layer 418 is also isotropically formed as a current spreader. Layer 418 comprises a lightly doped substrate-appropriate material (e.g., AlAs for GaAs substrates, InP for InP substrates).

A second semiconductor mirror stack 420 is disposed above layer 418. Mirror 420 comprises a first upper mirror layer 422, a second upper mirror layer 424, and a third upper mirror layer 426. Layer 422 is formed to be as isotropic as possible and is lightly doped for free carrier absorption. Layer 422 can be formed to be of a thickness approximately equal to 4.5 periods. Layer 422 can comprise a plurality of mirror pairs of either n-doped or p-doped material, depending upon the process used, as previously noted. If n-type material is used, layer 422 can be formed above layer 424 (not shown). If layer 422 is formed as shown in FIG. 4, layer 418 may be formed with a thickness of approximately one micron, for example. If layer 422 is formed above layer 424, then layer 418 should be thicker, formed with a thickness of approximately 2.6 microns, for example.

VCSEL 400 further comprises a first electrical insulation region 428 and a second electrical insulation region 430, interposed within layer 424 in distally separate relation to one another, forming an aperture 432 therebetween. The formation of aperture 432 confines current flow towards the center of VCSEL 400. As previously described, insulation regions 428 and 430 can comprise any appropriate insulating material of any thickness (e.g., an oxide) provided that they are formed toward minimizing reflectance of mirror 420,

WO 02/45217

PCT/US01/44385

as measured from region 408, and also toward optimizing nominal cavity resonance to provide an antiguiding. Again, it is possible that, depending upon the processes and materials used, extended resistive regions 434 and 436 may emanate from regions 428 and 430, respectively, having different electrical and optical effects on the performance of VCSEL 400. As previously taught, regions 434 and 436 can be manipulated through design to provide independent optical and resistive control; however, generally, it is desirable that these regions are confined as narrowly as possible around the immediate area of regions 428 and 430.

10 Inside aperture 432, current density is higher than anywhere else, as is later illustrated in reference to FIG. 5. This current density causes significant IR heating, which must be prevented. Thus, layer 424 can comprise a heavily p-doped type material, or a moderately n-doped type material, or any other appropriate material (e.g., n-InP for an InP based VCSEL) that provides reduced series resistance and heating effects within aperture 15 432. Optionally, tapers 438 can be formed on the ends of regions 428 and 430, with tips positioned at electric field nulls, to enhance current confinement and mode selectivity. Layer 426 comprises a heavily doped material formed of appropriate thickness (e.g., approximately 16 periods for AlGaAs material) to optimize resistance and form, in relation to a conduction layer 440, an equipotential. Conduction layer 440 is disposed atop and adjoining mirror 420 and is formed of a very heavily doped material to minimize resistance. 20 The resistivity of mirror 420 is higher than in layer 440, and the conductivity of mirror 420 is as isotropic as possible. Layer 440 comprises a very high conductivity layer on top of mirror 420, which acts substantially like an equipotential.

25 VCSEL component 400 further comprises a first upper contact portion 442 and a second upper contact portion 444. Contacts 442 and 444 are formed of a suitable metallic or other conductive material atop conduction layer 440 in distally separate relation to one another, separated by a span 124. VCSEL 400 can further comprise an appropriate mode

WO 02/45217

PCT/US01/44385

selectivity structure 446, such as a dielectric mirror or mode control structure as previously described.

FIG. 5 provides an illustration of the current flow of VCSEL 400. Indicators 500  
5 depict operational current flow of VCSEL 400. The current density is maximized in the center portion 502 of VCSEL 400, coinciding with the peak of the lowest order mode. Current coinciding with higher order modes is widely dispersed, maximizing loss for those modes and effectively damping all but the lowest order mode. As previously taught, the present invention thus provides a single mode (i.e. the lowest order mode) VCSEL device,  
10 operational over a wide current range.

The embodiments and examples set forth herein are presented to best explain the present invention and its practical application and to thereby enable those skilled in the art to make and utilize the invention. Those skilled in the art, however, will recognize that the  
15 foregoing description and examples have been presented for the purpose of illustration and example only. The teachings and concepts of the present invention can be applied to other types of components, packages and structures, such as VCSEL components produced with other than a (100) orientation. The invention is applicable independent of a particular package configuration. Other variations and modifications of the present invention will be  
20 apparent to those of skill in the art, and it is the intent of the appended claims that such variations and modifications be covered. The description as set forth is not intended to be exhaustive or to limit the scope of the invention. Many modifications and variations are possible in light of the above teaching without departing from the spirit and scope of the following claims. It is contemplated that the use of the present invention can involve  
25 components having different characteristics. It is intended that the scope of the present invention be defined by the claims appended hereto, giving full cognizance to equivalents in all respects.

WO 02/45217

PCT/US01/44385

**CLAIMS**

The embodiments of an invention in which an exclusive property or right is claimed are defined as follows:

1. A method of producing a single mode VCSEL comprising the steps of:  
forming a VCSEL structure having a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper surface of the substrate, an active region disposed upon the lower mirror portion, and an  
5 upper mirror portion formed from electrically isotropic material and disposed upon the active region;  
providing a substantially equipotential layer disposed upon the upper mirror portion;  
selectively interposing an electrically insulating layer between the upper mirror  
portion and the equipotential layer to form an aperture therebetween; and  
10 providing an upper contact portion disposed upon the equipotential layer.
2. The method of claim 1 wherein the substrate is formed of Gallium Arsenide material.
3. The method of claim 1 wherein the lower mirror portion is formed of a n-type material and the upper mirror portion is formed of a p-type material.
4. The method of claim 1 wherein the lower mirror portion is formed of a p-type material and the upper mirror portion is formed of a n-type material.
5. The method of claim 1 wherein the both the lower and upper mirror portions are formed of n-type material.
6. The method of claim 1 wherein the both the lower and upper mirror portions are formed of p-type material.

WO 02/45217

PCT/US01/44385

7. The method of claim 1 wherein the step of providing an equipotential layer further comprises providing a layer of material having a resistivity of 0.01 ohm/cm.
8. The method of claim 1 wherein the step of providing an equipotential layer further comprises providing a layer of Aluminum Gallium Arsenide.
9. The method of claim 1 wherein the step of selectively interposing an electrically insulating layer further comprises interposing a plurality of distally separated insulating regions adapted to form the aperture.
10. The method of claim 1 wherein the insulating layer comprises an oxide.
11. The method of claim 10 wherein the insulating layer comprises  $Al_2O_3$ .
12. The method of claim 1 wherein the insulating layer comprises air.
13. The method of claim 1 wherein the step of providing an equipotential layer further comprises providing a layer of material having electrical conductance much greater than the conductance of the upper mirror portion.
14. The method of claim 13 wherein the step of providing an equipotential layer further comprises providing a layer of material having conductance at least four times greater than the conductance of the upper mirror portion.
15. The method of claim 13 wherein the step of providing an equipotential layer further comprises providing a layer of material having conductance at least ten times greater than the conductance of the upper mirror portion.

WO 02/45217

PCT/US01/44385

16. The method of claim 1 wherein the step of forming a VCSEL structure further comprises forming the upper mirror portion of material having low lateral conductance.

17. The method of claim 11 wherein the insulating layer is formed to reduce reflectivity outside the aperture.

18. The method of claim 11 wherein the insulating layer is formed to increase effective index outside the aperture and thereby produce a longer resonant wavelength outside the aperture.

19. The method of claim 11 wherein the insulating layer is formed to reduce reflectivity and to increase effective index outside the aperture.

20. The method of claim 1 wherein the step of forming a VCSEL structure further comprises forming an active region having a plurality of p-n junctions separated from each other by a tunnel junction.

21. The method of claim 1 wherein the step of forming a VCSEL structure further comprises forming a first heat conductive layer between the lower mirror portion and the active region, and a second heat conductive layer between the upper mirror portion and the active region.

5

22. The method of claim 21 wherein the forming of the heat conductive layers further comprises selectively doping the heat conductive layers in correspondence to electric field minima and maxima within the layer.

23. A single mode VCSEL comprising:

WO 02/45217

PCT/US01/44385

a VCSEL structure having a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper surface of the substrate, an active region disposed upon the lower mirror portion, and an upper mirror portion formed from electrically isotropic material and disposed upon the active region;  
5 an equipotential layer disposed upon the upper mirror portion;  
an insulating layer interposed between the upper mirror portion and the equipotential layer and adapted to form an aperture therebetween; and  
10 an upper contact portion disposed upon the equipotential layer outside the perimeter of the aperture.

24. The VCSEL of claim 23 wherein the insulating layer comprises an oxide.

25. The VCSEL of claim 23 wherein the insulating layer comprises air.

26. The VCSEL of claim 23 wherein the equipotential layer comprises material having conductance at least four times greater than the conductance of the upper mirror portion.

27. The VCSEL of claim 23 wherein the equipotential layer comprises material having conductance at least ten times greater than the conductance of the upper mirror portion.

28. The VCSEL of claim 23 wherein the upper mirror portion comprises material having low lateral conductance.

29. A method of providing antiguide mode selectivity in a VCSEL comprising the steps of:

forming a VCSEL structure having a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper

WO 02/45217

PCT/US01/44385

- 5 surface of the substrate, an active region disposed upon the lower mirror portion, and an upper mirror portion formed from isotropic material and disposed upon the active region; providing a substantially equipotential layer disposed upon the upper mirror portion; selectively interposing an electrically insulating layer between the upper mirror portion and the equipotential layer to form an aperture therebetween, wherein the electrically insulating layer is adapted to provide a greater nominal cavity resonance outside the aperture than inside it; and
- 10 the aperture than inside it; and providing an upper contact portion disposed upon the equipotential layer.
30. A VCSEL component, adapted to provided single mode operation over wide current ranges, comprising:
- a semiconductor substrate having a lower surface and an upper surface;
- a bottom electrical contact disposed along the lower surface of the semiconductor
- 5 substrate;
- a lower mirror formed of n-type material and disposed upon the upper surface of the semiconductor substrate;
- an active region having a plurality of quantum wells disposed upon the lower mirror portion;
- 10 an upper current spreading mirror formed from electrically isotropic material and disposed upon the active region;
- an equipotential layer disposed upon the upper mirror portion;
- a first upper electrical contact disposed upon the equipotential layer at a first lateral end of the VCSEL component;
- 15 a second upper electrical contact disposed upon the equipotential layer at a second end of the VCSEL component at a particular distance from the first upper electrical contact; and
- an insulating layer interposed between the upper mirror and the equipotential layer and adapted to form therebetween an aperture.

WO 02/45217

PCT/US01/44385

20

31. A method of producing a single mode VCSEL comprising the steps of:  
forming a VCSEL structure having a substrate, a bottom contact portion disposed upon a lower surface of the substrate, a lower mirror portion disposed upon an upper surface of the substrate, an active region disposed upon the lower mirror portion, and an  
5 upper mirror portion formed from electrically isotropic material and disposed upon the active region;  
providing a substantially equipotential layer disposed upon the upper mirror portion;  
selectively interposing an electrically insulating layer between the upper mirror portion and the equipotential layer to form an aperture therebetween, wherein the insulating  
10 layer is formed to reduce reflectivity and to increase effective index outside the aperture;  
and  
providing an upper contact portion disposed upon the equipotential layer.

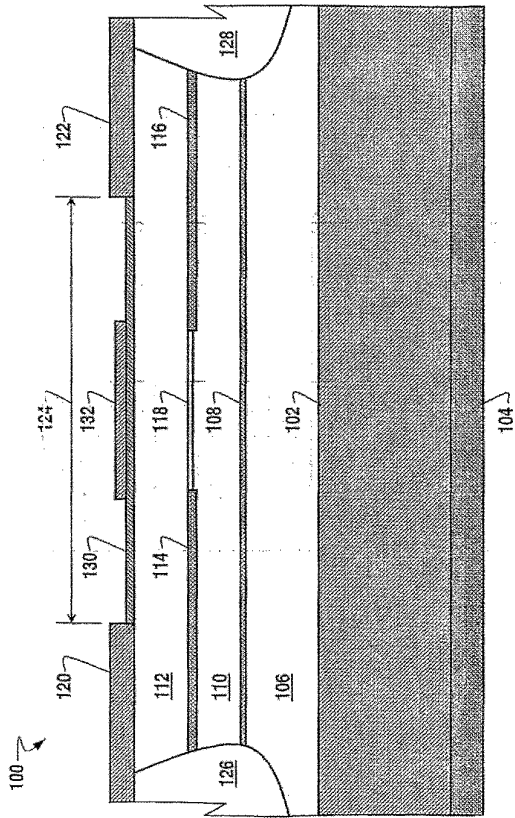
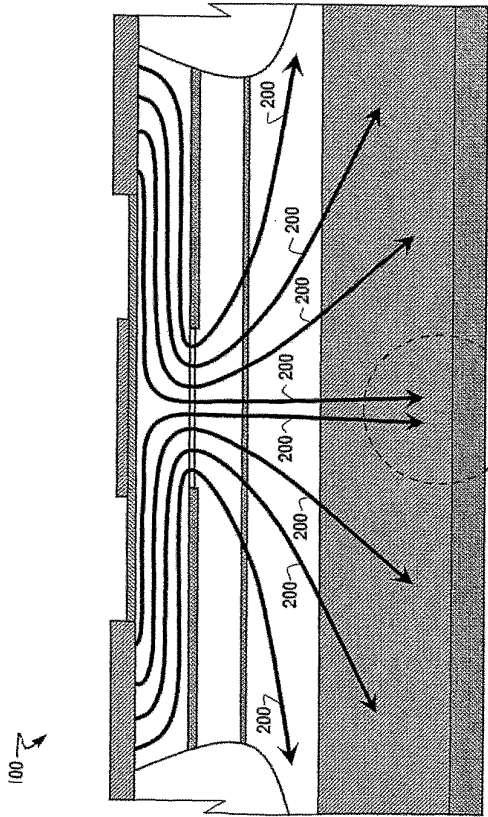
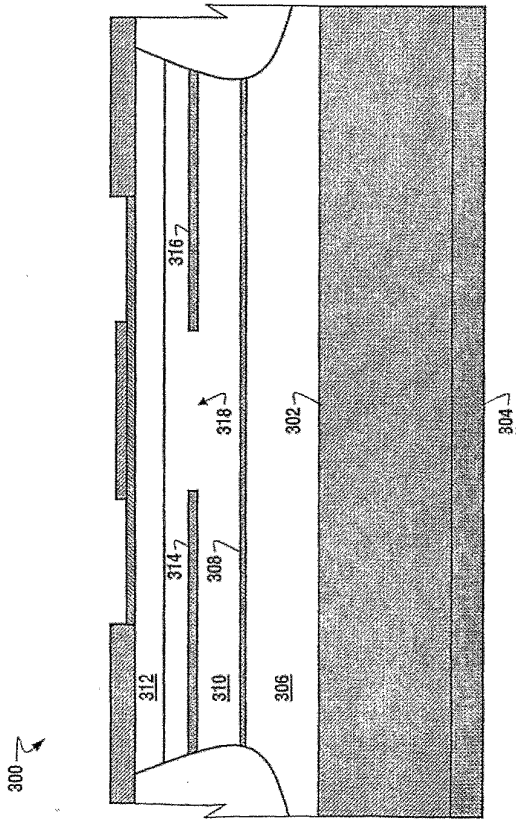


Fig.



202  
Fig. 2



WO 02/45217

PCT/US01/44385

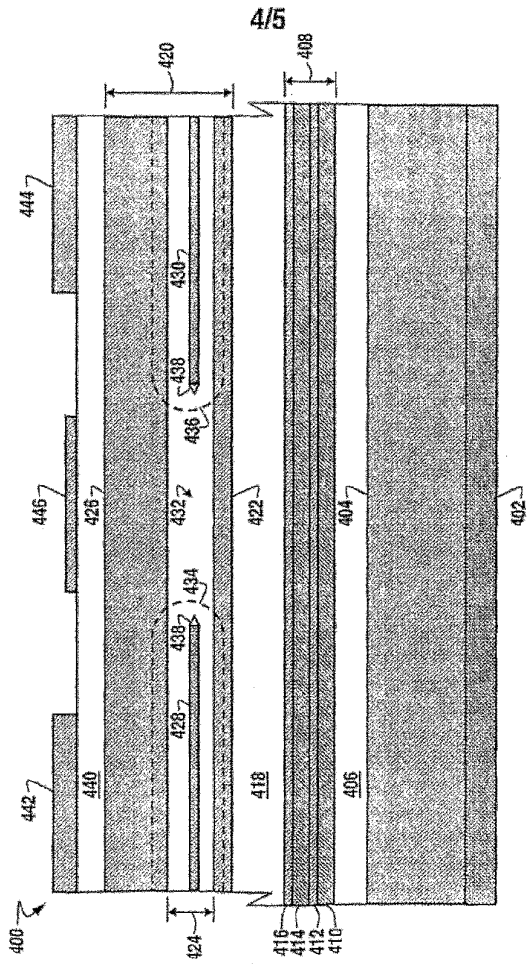


Fig. 4

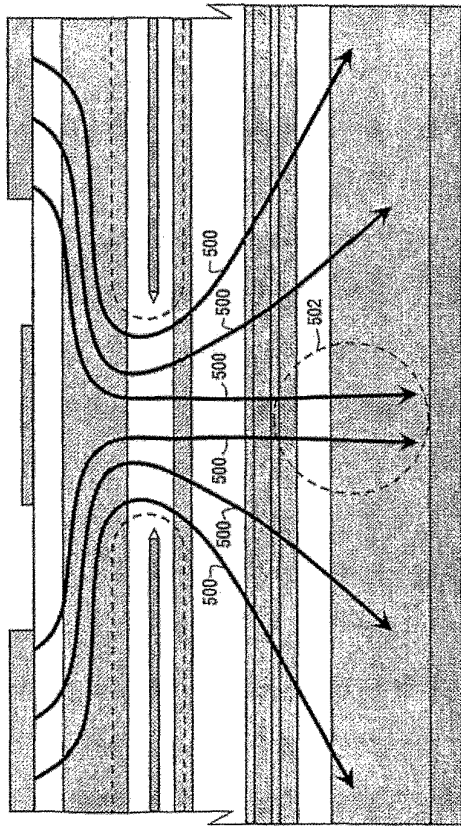


Fig. 5

## 【 国際公開パンフレット ( コレクション ) 】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

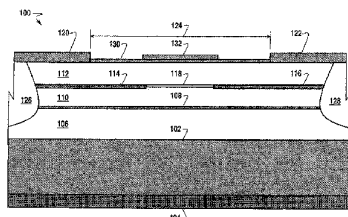
(19) World Intellectual Property Organization  
International Bureau(43) International Publication Date  
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number  
WO 02/045217 A3

- (51) International Patent Classification: H01S 5/183 (74) Agents: **CRISS, Roger, H.**, Honeywell International Inc., 101 Columbia Avenue, P.O. Box 2245, Morristown, NJ 07960 et al. (US).
- (21) International Application Number: PCT/US01/44385
- (22) International Filing Date: 26 November 2001 (26.11.2001) (81) Designated States (national): CA, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BI, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Publication Language: English Published:  
— with international search report  
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments
- (30) Priority Data: 09/724,820 28 November 2000 (28.11.2000) US (88) Date of publication of the international search report: 14 August 2003
- (71) Applicant: **HONEYWELL INTERNATIONAL INC.** [US/US], 101 Columbia Avenue, P.O. Box 2245, Morristown, NJ 07960 (US).
- (72) Inventors: **JOHNSON, Ralph, H.**, 211 Ridgeview Drive, Murphy, TX 75094 (US). **MORALES, Gilberto**, 1920 Paloma Way, Arlington, TX 76006 (US).  
*For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.*

(54) Title: VERSATILE METHOD AND SYSTEM FOR SINGLE MODE VCSELS



(57) Abstract: A system and method for providing a single mode VCSEL (vertical cavity surface emitting laser) component (100) is disclosed, comprising a semiconductor substrate (102) having a lower surface and an upper surface, a bottom electrical contact (104) disposed along the lower surface of the substrate, a lower mirror (106) formed of n-type material and disposed upon the upper surface of the substrate, an active region (108) having a plurality of quantum wells disposed upon the lower mirror portion, an upper mirror (110) formed from isotropic material and disposed upon the active region, an equipotential layer (112) disposed upon the upper mirror portion, a first upper electrical contact (120) disposed upon the equipotential layer at a particular distance (124) from the first upper electrical contact, a first isolation region (126) disposed beneath the first upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, a second isolation region (128) disposed beneath the second upper contact and traversing the equipotential layer, the upper mirror, the active region, and the lower mirror, and an insulating layer (114, 116) interposed between the upper mirror and the equipotential layer and adapted to form therebetween an aperture (118) of smaller dimension than the particular distance between the first and second upper contacts.

WO 02/045217 A3

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internal application No PCT/US 01/44385
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01S5/183		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01S		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 822 630 A (HEWLETT PACKARD CO) 4 February 1998 (1998-02-04) column 7, line 36 -column 8, line 29; figure 1A	1-6, 10, 11, 30 23, 29, 31
Y	column 8, line 53-58 column 4, line 33 -column 5, line 40 ---	
A	US 5 818 861 A (TAN MICHAEL R ET AL) 6 October 1998 (1998-10-06) column 1, line 63 -column 2, line 17 --- -/--	1, 7, 8, 13-15, 23-31
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step which the document is taken alone *Y* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search 12 June 2003		Date of mailing of the international search report 20/06/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Claessen, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Internat <sup>n</sup> Application No PCT/US 01/44385
C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim No.
A	TAI K ET AL: "90% COUPLING OF TOP SURFACE EMITTING GAAS/ALGAAS QUANTUM WELL LASER OUTPUT INTO 8 μm DIAMETER CORE SILICA FIBRE" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 26, no. 19, 13 September 1990 (1990-09-13), pages 1628-1629, XP000106911 ISSN: 0013-5194 the whole document	1-31
Y	OH T-H ET AL: "SINGLE-MODE OPERATION IN AN ANTIGUIDED VERTICAL-CAVITY SURFACE- EMITTING LASER USING A LOW-TEMPERATURE GROWN ALGAAS DIELECTRIC APERTURE" IEEE PHOTONICS TECHNOLOGY LETTERS, IEEE INC. NEW YORK, US, vol. 10, no. 8, 1 August 1998 (1998-08-01), pages 1064-1066, XP000769857 ISSN: 1041-1135 page 1064, left-hand column, last paragraph	23,29,31
A	ZHOU D ET AL: "SIMPLIFIED-ANTIRESONANT REFLECTING OPTICAL WAVEGUIDE-TYPE VERTICAL-CAVITY SURFACE-EMITTING LASERS" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS, NEW YORK, US, vol. 76, no. 13, 27 March 2000 (2000-03-27), pages 1659-1661, XP000950542 ISSN: 0003-6951 page 1659	1,23,29, 31
A	MARTINSSON H ET AL: "TRANSVERSE MODE SELECTION IN LARGE-AREA OXIDE-CONFINED VERTICAL-CAVITY SURFACE-EMITTING LASERS USING A SHALLOW SURFACE RELIEF" IEEE PHOTONICS TECHNOLOGY LETTERS, IEEE INC. NEW YORK, US, vol. 11, no. 12, December 1999 (1999-12), pages 1536-1538, XP000924488 ISSN: 1041-1135 figure 1	1,23, 29-31
A	US 5 245 622 A (JEWELL JACK L ET AL) 14 September 1993 (1993-09-14) the whole document	1-31

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Internat Application No  
PCT/US 01/44385

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
EP 0822630	A	04-02-1998	US 5805624 A EP 0822630 A1 JP 10075013 A	08-09-1998 04-02-1998 17-03-1998
US 5818861	A	06-10-1998	NONE	
US 5245622	A	14-09-1993	AU 4236993 A CA 2135182 A1 CN 1081541 A DE 69323433 D1 DE 69323433 T2 EP 0663112 A1 EP 0898347 A1 JP 7507183 T WO 9322813 A1	29-11-1993 11-11-1993 02-02-1994 18-03-1999 02-09-1999 19-07-1995 24-02-1999 03-08-1995 11-11-1993

---

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 ジョンソン,ラルフ・エイチ

アメリカ合衆国テキサス州75094,マーフィー,リッジビュー・ドライブ 211

(72)発明者 モラルズ,ギルバート

アメリカ合衆国テキサス州76006,アーリントン,パロマ・ウェイ 1920

Fターム(参考) 5F073 AA07 AA51 AA61 AB17

【要約の続き】

ポーネント(100)を提供するためのシステムおよび方法を開示する。

【選択図】図1