

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年1月25日(2007.1.25)

【公開番号】特開2004-96750(P2004-96750A)

【公開日】平成16年3月25日(2004.3.25)

【年通号数】公開・登録公報2004-012

【出願番号】特願2003-299973(P2003-299973)

【国際特許分類】

H 03K 19/0944 (2006.01)

H 03F 3/34 (2006.01)

H 03F 3/345 (2006.01)

H 03K 17/04 (2006.01)

H 03K 19/0185 (2006.01)

【F I】

H 03K 19/094 A

H 03F 3/34 Z

H 03F 3/345 Z

H 03K 17/04 E

H 03K 19/00 101B

【手続補正書】

【提出日】平成18年8月15日(2006.8.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

個々のテール電流を制御して出力電圧振幅を生成するようそれが動作可能な1以上の電流モード論理ゲートを備える論理回路と、

テール電流レベルの変化によらず、各電流源モード論理ゲートの電圧振幅を維持するよう動作可能なバイアス回路と、

を備えることを特徴とする回路システム。

【請求項2】

前記論理回路が、

第1の電圧のレールに結合され、電源電流を供給するよう動作可能な電流源と、

第2の電圧のレールに結合され、調整可能な負荷抵抗を有する負荷と、

前記電流源と前記負荷の間に接続され、コンプリメンタリ入力及び出力を有する差動対電流制御回路網とを備え、

前記バイアス回路は、前記電流源に接続された電源電流設定出力と前記負荷に接合された負荷抵抗設定出力を有しており、

前記バイアス回路は、所与の電源電流を供給するよう前記電流源を設定し、また、電源電流源に逆行して前記負荷を設定し、結果として所与の電源電流設定に対して前記論理回路の前記コンプリメンタリ出力間のロジック信号振幅レベルをほぼ維持するように前記負荷を設定するよう動作可能である

ことを特徴とする請求項1に記載の回路システム。

【請求項3】

前記負荷が、前記バイアス回路の前記負荷抵抗設定出力に接続される制御入力をそれぞ

れ有する一対のトランジスタを備えることを特徴とする請求項 2 に記載の回路システム。

**【請求項 4】**

前記バイアス回路が、ロジック信号振幅設定トランジスタを備えることを特徴とする請求項 2 に記載の回路システム。

**【請求項 5】**

前記バイアス回路は、前記電流源を設定して入力した基準電流に基づく所与の電源電流を供給するよう動作可能であり、さらに、前記バイアス回路に接続され、基準クロック周波数に相関して前記基準電流を調整するよう動作可能なバイアス電流調整回路を備えることを特徴とする請求項 2 に記載の回路システム。

**【請求項 6】**

前記バイアス電流調整回路は、前記論理回路とほぼマッチさせてあって前記論理回路のスイッチング速度を表わす出力信号を生成するよう動作可能なスイッチング速度基準回路を備える

ことを特徴とする請求項 5 に記載の回路システム。

**【請求項 7】**

前記スイッチング速度基準回路がリング発振器を備えることを特徴とする請求項 6 に記載の回路システム。

**【請求項 8】**

前記スイッチング速度基準回路からの前記出力信号と基準周波数信号との比較に基づいて出力を生成するよう動作可能な周波数比較器を備える

ことを特徴とする請求項 6 に記載の回路システム。

**【請求項 9】**

個々のテール電流を制御して出力電圧振幅を生成するようそれが動作可能な 1 以上の電流モード論理ゲートを有する論理回路と、前記 1 以上の電流モード論理ゲートの固有スイッチング速度を検出するよう動作可能なスイッチング速度基準回路とを備えることを特徴とする回路システム。

**【請求項 10】**

個々のテール電流を制御して出力電圧振幅を発生させるようそれが動作可能な 1 以上の電流モード論理ゲートを有する論理回路と、

前記電流モード論理ゲートのテール電流を動的に調整し、基準クロック周波数に相関させて論理ゲートスイッチング速度を維持するよう動作可能なテール電流調整回路とを備えることを特徴とする回路システム。

**【手続補正 2】**

**【補正対象書類名】**明細書

**【補正対象項目名】**0 0 0 3

**【補正方法】**変更

**【補正の内容】**

**【0 0 0 3】**

最大の絶縁だけでなく  $V_{dd}$  およびグラウンド・レールにおける最小の電源変動もまた要求される回路にとって、従来のレール・ツー・レール CMOS 論理回路系の過渡期間中の電流スパイクから生ずる電圧リップルは慎重に抑圧しなければならない。クロック速度が数ギガビットのレートを超すと、この問題は制御がますます難しいものとなる。これらの動作環境では、CML (電流モード論理回路) として知られる論理回路系が代わりに用いられることが一般的である。CML 論理回路系では、各スイッチごとに一定の電流が常時存在する。この電流の制御が、論理 1 或いは論理 0 に対応する差動電圧を生成する。CML 論理回路系は電流スパイクを減らすが、クロック速度や論理回路の遷移に拘わらず電力消費を必要とする。

**【手続補正 3】**

**【補正対象書類名】**明細書

【補正対象項目名】 0 0 0 4

【補正方法】 変更

【補正の内容】

【0 0 0 4】

図1を参照すると、従来のCML論理バッファ10は差動対トランジスタ12, 14と負荷抵抗16, 18とトランジスタ差動対の電源を供給する電流源20からなる。差動対の追加スタッフを論理ツリー内に挿入して論理回路を合体させることができる。例えば、図2に示すように、3個の差動対を用いてラッチ22を形成することができる。図3を参照すると、CML電流源用のバイアス電流は通常、基準電流( $I_{ref}$ )をダイオード構成されているN F E Tカレントミラー26へ供給する主基準電流源24により供給される。主基準電流( $I_{ref}$ )は、定電圧( $V_{ref}$ )源を備えた電圧-電流( $V - I$ )変換器から導出される。定電圧源は、バンドギャップ電圧基準と抵抗( $R$ )から導くことができる。この抵抗は、CMLゲートの負荷抵抗に整合させるか、或いは一定電流が必要な場合は外部の、或いはレーザトリミングを施した精密抵抗とすることができる。