(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月15日(15.03.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/047488 A1

(51) 国際特許分類:
H03H 7/01 (2006.01)　　*H05K 9/00* (2006.01)

(21) 国際出願番号：　PCT/JP2017/026771

(22) 国際出願日：　2017年7月25日(25.07.2017)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2016-176944　2016年9月9日(09.09.2016)　JP

(71) 出願人：株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]；〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

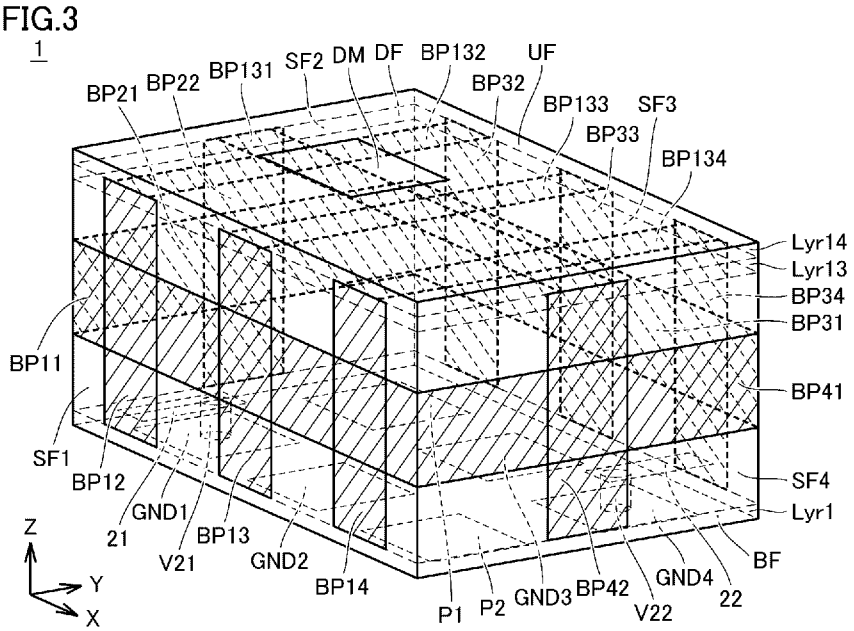
(72) 発明者：宮原　邦浩 (MIYAHARA, Kunihiro)；〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 増田　豊(MASUDA, Yutaka)；〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 元木　幹太(MOTOKI, Kanta)；〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 南雲　正二(NAGUMO, Shoji)；〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人：特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.)；〒5300005 大阪府大阪市北区中之島二丁目２番７号 中之島セントラルタワー Osaka (JP).

(54) **Title:** ELECTRONIC COMPONENT

(54) 発明の名称：電子部品

FIG.3



(57) **Abstract:** The present invention suppresses a reduction in a Q-value while ensuring a shield effect. An electronic component (1) according to an embodiment has a laminate of a plurality of dielectric layers (Lyr1 to Lyr14). The electronic component (1) is provided with a circuit pattern and a plurality of band-like conductor patterns (BP11 to BP14). The circuit pattern is disposed inside the laminate and includes a conductor pattern that forms an inductor. The plurality of band-like conductor patterns (BP11 to BP14) are grounded. The plurality of band-like conductor patterns (BP11 to BP14) cover a portion of a shield surface. An internal surface (DF) is positioned between the circuit pattern and an upper surface (UF). A non-shield region that is not covered by any of the plurality of band-like conductor patterns (BP11 to BP14) and

WO 2018/047488 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

through which a magnetic flux produced by the inductor can permeate, is formed on the shield surface (SF1).

(57) 要約：シールド効果を確保しつつ、Ｑ値の低下を抑制する。実施形態に係る電子部品（１）は、複数の誘電体層（Ｌｙｒ１～Ｌｙｒ１４）の積層体を有する。電子部品（１）は、回路パターンと、複数の帯状導体パターン（ＢＰ１１～ＢＰ１４）とを備える。回路パターンは、積層体の内部に配置され、インダクタを形成する導体パターンを含む。複数の帯状導体パターン（ＢＰ１１～ＢＰ１４）は、接地されている。複数の帯状導体パターン（ＢＰ１１～ＢＰ１４）は、シールド面の一部を覆っている。内部面（ＤＦ）は、回路パターンと上面（ＵＦ）との間に位置している。シールド面（ＳＦ１）には、複数の帯状導体パターン（ＢＰ１１～ＢＰ１４）のいずれによっても覆われておらず、インダクタから生じる磁束が通過可能な非シールド領域が形成されている。

明　細　書

発明の名称 ： 電子部品

技術分野

[0001] 本発明は、シールド電極を備える電子部品に関する。

背景技術

[0002] 集積回路を構成する電子部品は、基板上に近接して配置されることが多い。そのため、電子部品の内部で発生したノイズが外部に漏れると、当該電子部品に近接する他の電子部品に影響を与えることがある。

[0003] このような事態を防止するために、特開平９－１２１０９３号公報（特許文献１）に開示されているシールド型積層電子部品のように、シールド電極が電子部品の表面に形成されることがある。

先行技術文献

特許文献

[0004] 特許文献1：特開平９－１２１０９３号公報

発明の概要

発明が解決しようとする課題

[0005] 電子部品の内部あるいは外部からのノイズは、シールド電極を介して接地電極に導かれる。シールド電極を備える電子部品においては、外部からのノイズの侵入を抑制することができるとともに、外部への磁束の漏洩を抑制することができる。シールド電極によるこのような効果を、以下ではシールド効果ともいう。

[0006] たとえば積層型ローパスフィルタのように、電子部品の内部にインダクタ（コイル）が形成されている場合、インダクタに電流が流れると、インダクタから磁束が生じる。この磁束が、特許文献１のように部品表面の各面においてほぼ全域を覆うような１つのシールド電極によって遮られると、シールド電極に渦電流が発生して電子部品の挿入損失が増加するため、電子部品のＱ値を悪化させることになり得る。このように、シールド効果とＱ値とはト

レードオフの関係にあるので、両者を適切にバランスさせることが必要となる。

[0007] 本発明は上記のような課題を解決するためになされたものであり、その目的は、シールド効果を確保しつつ、Q値の低下を抑制することである。

課題を解決するための手段

[0008] 本発明の第１の局面に係る電子部品は、複数の誘電体層からなる積層体を有する。電子部品は、回路パターンと、複数の帯状導体パターンとを備える。回路パターンは、積層体の内部に配置され、インダクタを形成する導体パターンを含む。複数の帯状導体パターンは、接地されている。電子部品は、上面と、下面と、側面と、内部面とを含む。下面は、上面と対向する。側面は、上面と下面とを連結する。内部面は、回路パターンと上面との間に位置し、かつ上面と平行である。複数の帯状導体パターンは、シールド面の一部を覆っている。シールド面は、上面、側面、および内部面の少なくとも１つを含む。シールド面には、複数の帯状導体パターンのいずれによっても覆われておらず、インダクタから生じる磁束が通過可能な非シールド領域が形成されている。

[0009] 本発明の第２の局面に係る電子部品は、複数の誘電体層からなる積層体を有する。電子部品は、回路パターンと、部分シールド部とを備える。回路パターンは、積層体の内部に配置され、インダクタを形成する導体パターンを含む。インダクタは、巻回軸のまわりに巻回されるように形成されている。部分シールド部は、接地されている。電子部品は、上面と、下面と、側面と、内部面とを含む。下面は、上面と対向する。側面は、上面と下面とを連結する。内部面は、回路パターンと上面との間に位置し、かつ上面と平行である。部分シールド部は、シールド面の一部を覆っている。シールド面は、上面、側面、および内部面の少なくとも１つを含む。シールド面には、部分シールド部によって覆われていない非シールド領域が形成されている。非シールド領域は、インダクタの巻回軸の方向から平面視したときに、インダクタの空芯部の一部と重なっている。

発明の効果

[0010] 本発明の第１の局面に係る電子部品においては、シールド電極として複数の帯状導体パターンをシールド面に配置することにより、シールド面に複数の帯状導体パターンによって覆われていない非シールド領域が形成されることになる。このため、電子部品内部のインダクタから発生する磁束を遮る領域と遮らない領域をシールド面にそれぞれ様々な形状で形成することが可能となる。本発明の第１の局面に係る電子部品によれば、シールド効果を確保しつつ、Ｑ値の低下を抑制するバランス調整を、容易に行うことができる。

[0011] 本発明の第２の局面に係る電子部品においては、インダクタの巻回軸の方向から平面視したときに、非シールド領域がインダクタの空芯部の一部と重なっている。そのため、インダクタ空芯部の全域がシールド電極と重なることによる電子部品のＱ値の大幅な悪化が防止される。そのため、インダクタの巻回軸と直交する方向におけるシールド効果を高めながら、Ｑ値の低下を抑制することができる。本発明の第２の局面に係る電子部品によれば、電子部品のシールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

図面の簡単な説明

[0012] [図1]実施の形態１に係る電子部品の一例であるローパスフィルタ１の回路図である。

[図2]図１のローパスフィルタの外観斜視図である。

[図3]図１のローパスフィルタの外観透視図である。

[図4]図１のローパスフィルタの積層構造を示す分解斜視図である。

[図5]インダクタから発生する磁束を模式的に示した図である。

[図6]ローパスフィルタの内部からの磁束が外部に漏洩する様子をシミュレーションした結果である。

[図7]図２に示されるローパスフィルタをインダクタの巻回軸方向（積層方向）から平面視したときの透視図を示す図である。

[図8]ローパスフィルタにおいて、接地電極から他の接地電極までの経路の一例を説明するための図である。

[図9]実施の形態１の変形例１に係る電子部品の一例であるローパスフィルタを、インダクタの巻回軸方向（積層方向）から平面視したときの透視図を示す図である。

[図10]実施の形態１の変形例２に係る電子部品の一例であるローパスフィルタにおいて、接地電極から帯状導体パターンの開放端までの経路の一例を説明するための図である。

[図11]実施の形態１の変形例３に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図12]実施の形態１の変形例４に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図13]実施の形態１の変形例５に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図14]実施の形態１の変形例６に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図15]実施の形態１の変形例７に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図16]実施の形態１の変形例８に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図17]実施の形態１の変形例９に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図18]実施の形態２に係る電子部品の一例であるバンドパスフィルタの回路図である。

[図19]実施の形態２に係る電子部品の一例であるバンドパスフィルタの外観斜視図である。

[図20]図１９のバンドパスフィルタの外観透視図である。

[図21]図１９のバンドパスフィルタの積層構造を示す分解斜視図である。

[図22]実施の形態３に係る電子部品の一例であるローパスフィルタの外観斜視図である。

[図23]図２２に示されるローパスフィルタをインダクタの巻回軸方向（積層方向）から平面視したときの透視図を示す図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0014] ［実施の形態１］

図１は、実施の形態１に係る電子部品の一例であるローパスフィルタ１の回路図である。ローパスフィルタ１は、回路基板上に実装される電子部品であり、内部に図１に示される回路に対応する回路パターンが形成されている。図１に示されるように、ローパスフィルタ１は、入出力端子Ｐ１と、入出力端子Ｐ２と、ＬＣ並列共振器ＬＣ１と、ＬＣ直列共振器ＬＣ２とを備える。

[0015] ＬＣ並列共振器ＬＣ１は、インダクタＬ１およびコンデンサＣ１を含む。インダクタＬ１は、入出力端子Ｐ１および入出力端子Ｐ２の間に接続されている。コンデンサＣ１は、入出力端子Ｐ１および入出力端子Ｐ２の間でインダクタＬ１に対して並列に接続されている。

[0016] ＬＣ直列共振器ＬＣ２は、インダクタＬ２、コンデンサＣ２、およびコンデンサＣ３を含む。インダクタＬ２は、一方端が接地点ＧＮＤに接続されている。コンデンサＣ２は、入出力端子Ｐ１とインダクタＬ２の他方端との間に接続されている。コンデンサＣ３は、入出力端子Ｐ２とインダクタＬ２の他方端との間に接続されている。

[0017] 図２は、図１のローパスフィルタ１の外観斜視図である。図３は、図１のローパスフィルタ１の外観透視図である。図３においては、図面の複雑化を避けるために、ローパスフィルタ１の内部に形成されている回路パターンを示していない。ローパスフィルタ１は、後に図４を用いて説明するように、複数の誘電体層Ｌｙｒ１～Ｌｙｒ１４をＺ軸方向（積層方向）に積層した積層体である。

[0018] 図２および図３に示されるように、ローパスフィルタ１は、たとえば直方体状である。積層方向に垂直なローパスフィルタ１の最外層の面を下面ＢＦおよび上面ＵＦとする。下面ＢＦは、上面ＵＦに対向している。積層方向に平行な面のうちＺＸ平面と平行な面を側面ＳＦ１およびＳＦ３とする。積層方向に平行な面のうちＹＺ平面と平行な面を側面ＳＦ２およびＳＦ４とする。側面ＳＦ１～ＳＦ４は、上面ＵＦと下面ＢＦとを連結している。

[0019] 下面ＢＦには、入出力端子Ｐ１、Ｐ２、および接地電極ＧＮＤ１～ＧＮＤ４が形成されている。入出力端子Ｐ１、Ｐ２、および接地電極ＧＮＤ１～ＧＮＤ４は、たとえば下面ＢＦに平面電極が規則的に配置されたＬＧＡ（Land Grid Array）端子である。ローパスフィルタ１は、下面ＢＦが不図示の回路基板に対向する状態で回路基板上に実装される。

[0020] 上面ＵＦには、方向識別マークＤＭが形成されている。方向識別マークＤＭは、ローパスフィルタ１の実装時の向きを識別するために配置されている。

[0021] 内部面ＤＦは、最上位層の誘電体層Ｌｙｒ１４と上から２番目の誘電体層Ｌｙｒ１３とが接している面である。側面ＳＦ１～ＳＦ４および内部面ＤＦには、シールド電極として複数の帯状導体パターンＢＰ１１～ＢＰ１４，ＢＰ２１，ＢＰ２２，ＢＰ３１～ＢＰ３４，ＢＰ４１，ＢＰ４２，ＢＰ１３１～ＢＰ１３４が格子状に配置されている。側面ＳＦ１～ＳＦ４および内部面ＤＦは、本発明のシールド面に対応する。シールド電極は、下面ＢＦを含む誘電体層Ｌｙｒ１および上面ＵＦを含む誘電体層Ｌｙｒ１４の側面には形成されていない。

[0022] シールド電極によって、外部からのノイズがローパスフィルタ内に侵入することを抑制するとともに、回路パターンから放射される磁束が外部に漏洩することを抑制することができる。ローパスフィルタ１の内部に形成されているインダクタＬ１，Ｌ２から生じる磁束は、帯状導体パターンのいずれによっても覆われていない領域（非シールド領域）を通過することができる。

[0023] 実施の形態１において非シールド領域は、インダクタＬ１の巻回軸の方向

（Ｚ軸方向）から平面視したときに見えるシールド面である内部面ＤＦ、およびインダクタＬ１の巻回軸と直交する方向（Ｘ軸方向およびＹ軸方向）から平面視したときに見えるシールド面である側面ＳＦ１～ＳＦ４のいずれにも形成されている。

[0024] 側面ＳＦ１には、帯状導体パターンＢＰ１１～ＢＰ１４が配置されている。帯状導体パターンＢＰ１１は、Ｘ軸方向に延びている。帯状導体パターンＢＰ１２～ＢＰ１４は、Ｘ軸方向に間隔をあけて配置されている。帯状導体パターンＢＰ１２～ＢＰ１４の各々は、Ｚ軸方向に延びている。帯状導体パターンＢＰ１２～ＢＰ１４の各々は、Ｙ軸方向から平面視したとき、帯状導体パターンＢＰ１１と十字形を形成している。帯状導体パターンＢＰ１２は、線路導体パターン２１およびビア導体パターンＶ２１を介して接地電極ＧＮＤ１に接続されている。

[0025] 側面ＳＦ２には、帯状導体パターンＢＰ２１，ＢＰ２２が配置されている。帯状導体パターンＢＰ２１は、Ｙ軸方向に延びており、帯状導体パターンＢＰ１１に接続されている。帯状導体パターンＢＰ２２は、Ｚ軸方向に延びている。帯状導体パターンＢＰ２２は、Ｘ軸方向から平面視したとき、帯状導体パターンＢＰ２１と十字形を形成している。

[0026] 側面ＳＦ３には、帯状導体パターンＢＰ３１～ＢＰ３４が配置されている。帯状導体パターンＢＰ３１は、Ｘ軸方向に延びており、帯状導体パターンＢＰ２１に接続されている。帯状導体パターンＢＰ３２～ＢＰ３４は、Ｘ軸方向に間隔をあけて配置されている。帯状導体パターンＢＰ３２～ＢＰ３４の各々は、Ｚ軸方向に延びておいる。帯状導体パターンＢＰ３２～ＢＰ３４の各々は、Ｙ軸方向から平面視したとき、帯状導体パターンＢＰ３１と十字形を形成している。帯状導体パターンＢＰ３４は、線路導体パターン２２およびビア導体パターンＶ２２を介して接地電極ＧＮＤ４に接続されている。

[0027] 側面ＳＦ４には、帯状導体パターンＢＰ４１，ＢＰ４２が配置されている。帯状導体パターンＢＰ４１は、Ｙ軸方向に延びており、帯状導体パターンＢＰ１１およびＢＰ３１に接続されている。帯状導体パターンＢＰ４２は、

Ｚ軸方向に延びている。帯状導体パターンＢＰ４２は、帯状導体パターンＢＰ４１と十字形を形成している。

[0028] 内部面ＤＦには、帯状導体パターンＢＰ１３１～ＢＰ１３４が配置されている。帯状導体パターンＢＰ１３１は、Ｘ軸方向に延びており、帯状導体パターンＢＰ２２およびＢＰ４２に接続されている。帯状導体パターンＢＰ１３２～ＢＰ１３４の各々は、Ｙ軸方向に延びている。帯状導体パターンＢＰ１３２～ＢＰ１３４の各々は、帯状導体パターンＢＰ１３１と十字形を形成している。帯状導体パターンＢＰ１３２は、帯状導体パターンＢＰ１２およびＢＰ３２に接続されている。帯状導体パターンＢＰ１３３は、帯状導体パターンＢＰ１３およびＢＰ３３に接続されている。帯状導体パターンＢＰ１３４は、帯状導体パターンＢＰ１４およびＢＰ３４に接続されている。

[0029] 図４は、図１のローパスフィルタ１の積層構造を示す分解斜視図である。ローパスフィルタ１は、複数の誘電体層の積層体である。ローパスフィルタ１は、複数の誘電体層として誘電体層Ｌｙｒ１～Ｌｙｒ１４を備える。誘電体層Ｌｙｒ１を下面ＢＦ側、Ｌｙｒ１４を上面ＵＦ側として、この順にＺ軸方向に積層されている。誘電体層Ｌｙｒ１～Ｌｙｒ１４の各々の誘電率は、ローパスフィルタ１の設計および製造を容易とするために同一としている。

[0030] 誘電体層Ｌｙｒ１の下面ＢＦには、既に説明したように、入出力端子Ｐ１、Ｐ２、および接地電極ＧＮＤ１～ＧＮＤ４が形成されている。

[0031] 誘電体層Ｌｙｒ２には、線路導体パターン２１および線路導体パターン２２が形成されている。線路導体パターン２１は、ビア導体パターンＶ２１によって接地電極ＧＮＤ１に接続されている。線路導体パターン２２は、ビア導体パターンＶ２２によって接地電極ＧＮＤ４に接続されている。

[0032] 誘電体層Ｌｙｒ３には、線路導体パターン３１～３３が形成されている。線路導体パターン３１はビア導体パターンＶ３１によって入出力端子Ｐ１に接続されている。線路導体パターン３２は、ビア導体パターンＶ３２によって接地電極ＧＮＤ２に接続されている。線路導体パターン３３は、ビア導体パターンＶ３３によって入出力端子Ｐ２に接続されている。線路導体パター

ン３２は、インダクタＬ２を形成している。インダクタＬ２は、積層方向に平行な巻回軸のまわりに巻回されている。

[0033] 誘電体層Ｌｙｒ４には、キャパシタ導体パターン４１が形成されている。キャパシタ導体パターン４１は、ビア導体パターンＶ４１によって線路導体パターン３２に接続されている。

[0034] 誘電体層Ｌｙｒ５には、キャパシタ導体パターン５１および５２が形成されている。キャパシタ導体パターン５１は、ビア導体パターンＶ５１によって線路導体パターン３１に接続されている。キャパシタ導体パターン５２は、ビア導体パターンＶ５２によって線路導体パターン３３に接続されている。

[0035] 積層方向から平面視したとき、キャパシタ導体パターン５１，５２の各々は、キャパシタ導体パターン４１と重なっている。キャパシタ導体パターン４１，５１は、コンデンサＣ２を形成している。キャパシタ導体パターン４１，５２は、コンデンサＣ３を形成している。

[0036] 誘電体層Ｌｙｒ６には、キャパシタ導体パターン６１が形成されている。誘電体層Ｌｙｒ７には、キャパシタ導体パターン７１，７２が形成されている。キャパシタ導体パターン７１は、ビア導体パターンＶ５１によってキャパシタ導体パターン５１に接続されている。キャパシタ導体パターン７２はビア導体パターンＶ５２によってキャパシタ導体パターン５２に接続されている。誘電体層Ｌｙｒ８にはキャパシタ導体パターン８１が形成されている。

[0037] 積層方向から平面視したとき、キャパシタ導体パターン７１，７２は、キャパシタ導体パターン６１と重なっている。積層方向から平面視したとき、キャパシタ導体パターン８１は、キャパシタ導体パターン７１，７２に重なっている。キャパシタ導体パターン６１，７１，７２，８１はコンデンサＣ１を形成している。

[0038] 誘電体層Ｌｙｒ９には、線路導体パターン９１が形成されている。線路導体パターン９１は、ビア導体パターンＶ５１によってキャパシタ導体パター

ン７１に接続されている。誘電体層Ｌｙｒ１０には、線路導体パターン１０１が形成されている。線路導体パターン１０１は、ビア導体パターンＶ５１，Ｖ６１によって線路導体パターン９１に接続されている。

[0039] 誘電体層Ｌｙｒ１１には、線路導体パターン１１１が形成されている。線路導体パターン１１１は、ビア導体パターンＶ６１によって線路導体パターン１０１に接続されている。線路導体パターン１１１は、ビア導体パターンＶ５２によってキャパシタ導体パターン７２に接続されている。

[0040] 誘電体層Ｌｙｒ１２には、線路導体パターン１２１が形成されている。線路導体パターン１２１は、ビア導体パターンＶ５２，Ｖ６１によって線路導体パターン１１１に接続されている。線路導体パターン９１，１０１，１１１，１２１はインダクタＬ１を形成している。インダクタＬ１は、積層方向に平行な巻回軸のまわりに巻回されている。

[0041] 誘電体層Ｌｙｒ１～Ｌｙｒ１２には、図１に示される回路に対応する回路パターンが形成されている。

[0042] 誘電体層Ｌｙｒ１３の内部面ＤＦには、既に説明したように帯状導体パターンＢＰ１３１～ＢＰ１３４が形成されている。内部面ＤＦは、上面ＵＦと回路パターンとの間に位置し、上面ＵＦに平行である。

[0043] 誘電体層Ｌｙｒ１４の上面ＵＦには、既に説明したように方向識別マークＤＭが形成されている。

[0044] 図５は、インダクタＬ１から発生する磁束を模式的に示した図である。図５においては、インダクタＬ１から磁束が発生する様子をわかり易く示すために、シールド電極が示されておらず、回路パターンのうちインダクタＬ１を構成する線路導体パターン１２１のみが示されている。図５（ａ）は、ローパスフィルタ１の外観斜視図である。図５（ｂ）は、ローパスフィルタ１をＹ軸方向から平面視した図である。

[0045] 電子部品の下面は、密着するように回路基板に接続される。そのため、電子部品内部からの磁束は、下面以外の面から外部に漏洩し易い。また、電子部品外部からのノイズについても、下面以外の面から内部に侵入し易い。図

５（ａ）および図５（ｂ）に示されるように、ローパスフィルタ１においては、インダクタＬ１の巻回軸に垂直な上面ＵＦ、および当該巻回軸に平行な側面ＳＦ１～ＳＦ４から磁束が外部に漏洩し易い。そのため、上面ＵＦまたは上面ＵＦと回路パターンとの間の内部面、および側面ＳＦ１～ＳＦ４にシールド電極を配置することにより、ローパスフィルタ１から外部への磁束の漏洩を抑制することができる。また、シールド電極により外部からローパスフィルタ１内部へのノイズの侵入を抑制することができる。

[0046] 外部からのノイズの電子部品への影響、および他の機器への電子部品への影響を低減するには、シールド電極によってできるだけ多くの面積を覆うことが望ましい。しかし、インダクタＬ１からの磁束がシールド電極によって遮られると、シールド電極に渦電流が発生してローパスフィルタ１の挿入損失が増加するため、かえってローパスフィルタ１のＱ値を悪化させることになり、ローパスフィルタ１の特性を損なうことになり得る。このように、シールド効果とＱ値とはトレードオフの関係にあるので、両者を適切にバランスさせることが必要となる。

[0047] そこで実施の形態１では、内部面ＤＦおよび側面ＳＦ１～ＳＦ４の各々にシールド電極として複数の帯状導体パターンを格子状に配置する。内部面ＤＦおよび側面ＳＦ１～ＳＦ４の各々には、シールド電極で覆われておらず、ローパスフィルタ１内部のインダクタからの磁束が通過可能な非シールド領域が形成されている。非シールド領域が形成されていることにより、シールド面全域がシールド電極で覆われている場合よりもシールド電極による磁束の遮りが抑制される。その結果、シールド効果とＱ値とのバランスをとることができ、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0048] 図６は、ローパスフィルタの内部からの磁束が外部に漏洩する様子をシミュレーションした結果である。図６においては、ＹＺ平面に平行な１つの側面について磁束が外部に漏洩する様子を示している。図６（ａ）は、比較例１に係る電子部品の一例であるローパスフィルタ１０のシミュレーション結

果である。ローパスフィルタ１０においては、下面以外の面の全域がシールド電極によって覆われている。図６（ｂ）は、図２のローパスフィルタ１のシミュレーション結果である。図６（ｃ）は、比較例２に係る電子部品の一例であるローパスフィルタ１００のシミュレーション結果である。ローパスフィルタ１００においては、各面にシールド電極が配置されていない。ローパスフィルタ１０，１００の内部には、ローパスフィルタ１と同様の図４に示される回路パターンが配置されている。

[0049] ローパスフィルタ１，ローパスフィルタ１０，ローパスフィルタ１００について、シールド電極で覆っている領域の大きさを比較すると、ローパスフィルタ１０，ローパスフィルタ１，ローパスフィルタ１００の順に小さくなる。シールド電極で覆っている領域が小さくなるほど、外部に漏洩する磁束は大きくなる。

[0050] 図６（ａ）～（ｃ）に示されるように、ローパスフィルタ１０、ローパスフィルタ１、およびローパスフィルタ１００からは、それぞれ磁束ＭＦ１０、磁束ＭＦ１、および磁束ＭＦ１００が外部に漏洩している。外部に漏洩する磁束は、ローパスフィルタ１０，ローパスフィルタ１，ローパスフィルタ１００の順に大きくなっている（磁束ＭＦ１０＜磁束ＭＦ１＜磁束ＭＦ１００）。

[0051] 一方で、シールド電極で覆っている領域が小さくなるほど、シールド電極で発生する渦電流は小さくなる。渦電流が小さくなると、挿入損失が小さくなり、その結果、Ｑ値が高くなる。そのため、Ｑ値について比較すると、ローパスフィルタ１０，ローパスフィルタ１，ローパスフィルタ１００の順に高くなる。

[0052] ローパスフィルタ１においては、外部に漏洩する磁束およびＱ値のいずれもが、ローパスフィルタ１０およびローパスフィルタ１００の中間の値となっている。ローパスフィルタ１は、シールド効果とＱ値のバランスをとることができ、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0053] インダクタからの磁束は、インダクタの空芯部に集中的に発生する。そのため、インダクタを巻回軸方向（実施の形態１においては積層方向）から平面視したとき、インダクタの空芯部がシールド電極によって塞がれていると、シールド電極における渦電流の発生が顕著となり、Ｑ値が大幅に低下してしまう場合がある。そのため、インダクタの巻回軸方向への磁束の漏洩をある程度許容することができる場合、インダクタの空芯部に重なるシールド電極を減らして不要なシールド効果を減らすことにより、Ｑ値の低下の抑制を効果的に行なうことができる。

[0054] 図７は、図２に示されるローパスフィルタ１をインダクタＬ１の巻回軸方向（積層方向）から平面視したときの透視図を示す図である。図７に示されるように、ローパスフィルタ１において、インダクタＬ１の空芯部ＡＣ１の一部は、帯状導体パターンＢＰ１３１～ＢＰ１３４によって覆われていない、非シールド領域と重なっている。実施の形態１においては、インダクタＬ１の巻回軸方向への磁束の漏洩をある程度許容することができる場合、Ｑ値の低下の抑制を効果的に行なうことができる。

[0055] 電子部品の内部または外部からのノイズは、シールド電極を経由して接地電極に導かれる。複数の接地電極が配置されている場合、ある接地電極から他の接地電極までの経路の長さが、想定されるノイズ（たとえば周波数が６ＧＨｚのノイズ）の実効波長の２分の１に等しいと、当該経路がループアンテナとして作用してしまい、ノイズが取り込まれてしまう場合がある。ノイズの実効波長は、ノイズの波長（周波数が６ＧＨｚの場合、約５ｃｍ）を誘電体層の誘電率で割った値である。そこで、ローパスフィルタ１においては、接地電極ＧＮＤ１からＧＮＤ４までの経路がループアンテナと作用しないようにするために、想定されるノイズの実効波長の２分の１よりも当該経路の長さが小さくなるようにローパスフィルタ１のサイズならびに複数の帯状導体パターンの配置および長さを設計する。

[0056] 図８は、ローパスフィルタ１において、接地電極ＧＮＤ１から接地電極ＧＮＤ４までの経路の一つを強調して示す図である。ローパスフィルタ１にお

いては、接地電極ＧＮＤ１からＧＮＤ４までの最長の経路の長さが、想定されるノイズの実効波長の２分の１よりも小さくなるように、ローパスフィルタ１のサイズならびに複数の帯状導体パターンの配置および長さが設計されている。そのため、接地電極ＧＮＤ１からＧＮＤ４までの経路がループアンテナとして作用することが抑制される。その結果、接地電極ＧＮＤ１からＧＮＤ４までの経路がアンテナとして作用することによってノイズが取り込まれることを防止することができる。

[0057] 以上、実施の形態１においては、シールド電極としての帯状導体パターンを格子状に配置することにより、シールド面に非シールド領域が形成される。帯状導体パターンの配置を適切に選択することで、シールド効果とＱ値とのバランスをとることができ、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0058] また、実施の形態１においては、インダクタの巻回軸方向から平面視したとき、複数の帯状導体パターンは、インダクタの空芯部の全域を覆っていない。空芯部の一部は、非シールド領域と重なっている。実施の形態１によれば、インダクタの巻回軸方向への磁束の漏洩をある程度許容することができるため、Ｑ値の低下を抑制することができる。

[0059] さらに、実施の形態１においては、ある接地電極から他の接地電極までの経路の長さは、想定されるノイズの実効波長の２分の１よりも小さくされる。これにより、当該経路がループアンテナとして作用しないようにする。その結果、当該経路によってノイズが取り込まれることを防止することができる。

[0060] ［実施の形態１の変形例１］

Ｑ値の低下を抑制するという観点では、インダクタの空芯部の全域は、シールド電極と重なっておらず、非シールド領域と重なっていることが望ましい。図９は、実施の形態１の変形例１に係る電子部品の一例であるローパスフィルタ１Ａを、インダクタＬ１の巻回軸方向（積層方向）から平面視したときの透視図を示す図である。図９に示されるように、インダクタＬ１の空

芯部ＡＣ１は、内部面ＤＦに配置されている帯状導体パターンＢＰ１３１Ａ～ＢＰ１３６Ａに重なっておらず、空芯部ＡＣ１の全域が非シールド領域に重なっている。実施の形態１の変形例１によれば、インダクタの巻回軸に平行な面に配置されたシールド電極によって磁束が遮られることによるＱ値の低下をさらに抑制することができる。

[0061] ［実施の形態１の変形例２］

各帯状電極パターンが接続されている接地電極が１つである場合、接地電極から帯状導体パターンの開放端（オープンスタブ）までの経路が、想定されるノイズの実効波長の４分の１に等しいと、当該経路がダイポールアンテナとして作用してしまい、当該ノイズが取り込まれてしまう場合がある。そこで、接地電極から帯状導体パターンの開放端（オープンスタブ）までの最長の経路の長さは、想定されるノイズの実効波長の４分の１よりも小さいことが望ましい。

[0062] 図１０は、実施の形態１の変形例２に係る電子部品の一例であるローパスフィルタ１Ｂにおいて、接地電極から帯状導体パターンの開放端までの経路の１つを強調して示す図である。ローパスフィルタ１Ｂにおいては、ローパスフィルタ１と異なり、帯状導体パターンＢＰ１４が接地電極ＧＮＤ１に接続されていない。ローパスフィルタ１Ｂにおいて、各帯状導体パターンの各々は、接地電極ＧＮＤ４に接続されている。

[0063] 図１０においては、接地電極ＧＮＤ４から、帯状導体パターンＢＰ４１，ＢＰ２１，ＢＰ１１を経由して、帯状導体パターンＢＰ１２の開放端までの経路が示されている。ローパスフィルタ１Ｂにおいては、当該経路がダイポールアンテナとして作用しないように、当該経路の長さが想定されるノイズの実効波長の４分の１よりも小さくなるようにローパスフィルタ１Ｂのサイズならびに複数の帯状導体パターンの配置および長さが設計される。その結果、接地電極から帯状導体パターンの開放端までの経路によってノイズが取り込まれることを防止することができる。

[0064] ［実施の形態１の変形例３］

実施の形態１においては、上面ＵＦと回路パターンとの間に位置している内部面ＤＦに複数の帯状導体パターンが配置されている。複数の帯状導体パターンは、内部面ＤＦではなく、上面ＵＦに配置されてもよい。

[0065] 図１１は、実施の形態１の変形例３に係る電子部品の一例であるローパスフィルタ１Ｃの外観斜視図である。図１１に示されるように、ローパスフィルタ１Ｃの上面ＵＦには、帯状導体パターンＢＰ１４１～ＢＰ１４４、および方向識別マークＤＭ１Ｃが形成されている。帯状導体パターンＢＰ１４１は、Ｘ軸方向に延びている。帯状導体パターンＢＰ１４２～ＢＰ１４４は、Ｘ軸方向に間隔をあけて配置されている。帯状導体パターンＢＰ１４２～ＢＰ１４４の各々は、Ｙ軸方向に延びている。帯状導体パターンＢＰ１４２～ＢＰ１４４の各々は、Ｚ軸方向から平面視したとき、帯状導体パターンＢＰ１４１と十字形を形成している。帯状導体パターンＢＰ１４２は、ローパスフィルタ１Ｃ内部のビア導体パターンＶ１３１および線路導体パターン１３１を介して帯状導体パターンＢＰ１２に接続されている。帯状導体パターンＢＰ１４４は、ローパスフィルタ１Ｃ内部のビア導体パターンＶ１３２および線路導体パターン１３２を介して帯状導体パターンＢＰ３４に接続されている。方向識別マークＤＭ１Ｃは、帯状導体パターンＢＰ１４１～ＢＰ１４４と重ならないように配置されている。

[0066] ローパスフィルタ１Ｃのように、複数の帯状導体パターンは、上面ＵＦに配置されてもよい。複数の帯状導体パターンを上面ＵＦに配置することにより、回路パターンが形成されている誘電体層と積層方向に垂直なシールド面との距離を、複数の帯状導体パターンが内部面ＤＦに配置されている場合よりも大きくすることができる。その結果、電子部品のＱ値の低下をより抑制することができる。

[0067] ［実施の形態１の変形例４および５］

実施の形態１においては、側面ＳＦ１～ＳＦ４および内部面ＤＦのいずれにおいても複数の帯状導体パターンが配置されるとともに、下面ＢＦ以外の各面に非シールド領域が形成されている。下面ＢＦ以外の各面に非シールド

領域が形成されている必要はなく、下面ＢＦ以外のいずれかの面に複数の帯状導体パターンが配置されて、当該面に非シールド領域が形成されていればよい。

[0068] たとえば、図１２に示されるローパスフィルタ１Ｄのように、側面ＳＦ１～ＳＦ４には複数の帯状導体パターンが格子状に配置されて非シールド領域が形成されている一方で、上面ＵＦの全域がシールド電極ＳＥによって覆われて上面ＵＦには非シールド領域が形成されていなくてもよい。ローパスフィルタ１Ｄは、たとえばＺ軸方向に位置する他の電子部品に近接して配置されることが想定され、Ｚ軸方向からのノイズの侵入、あるいは磁束の漏洩を必要な限り防止する必要があるため、上面ＵＦの全域をシールド電極ＳＥによって覆っている。

[0069] また、図１３に示されるローパスフィルタ１Ｅのように、上面ＵＦに複数の帯状導体パターンが格子状に配置されて非シールド領域が形成されている一方で、側面ＳＦ１～ＳＦ４がシールド電極ＳＥ１～ＳＥ４によってそれぞれ覆われていて、側面ＳＦ１～ＳＦ４のいずれにも非シールド領域が形成されていなくてもよい。ローパスフィルタ１Ｅは、たとえばＸ軸方向およびＹ軸方向に位置する他の電子部品に近接して配置されることが想定され、Ｘ軸方向およびＹ軸方向からのノイズの侵入、あるいは磁束の漏洩を必要な限り防止する必要があるため、側面ＳＦ１～ＳＦ４の全域をシールド電極ＳＥ１～ＳＥ４によってそれぞれ覆っている。

[0070] ［実施の形態１の変形例６～８］

実施の形態１において複数の帯状導体パターンは、格子状に配置されている。また、シールド面において、複数の帯状導体パターンは、電子部品の辺に平行に配置されている。さらに、シールド面において、帯状導体パターンの延びている方向は２つに分類され、当該２つの方向は直交している。複数の帯状導体パターンの配置は、実施の形態１に示された配置に限定されるものではない。複数の帯状導体パターンの配置は、下面以外の面に非シールド領域が形成される配置であればどのような配置でもよい。

[0071] たとえば図１４に示されるローパスフィルタ１Ｆのように、複数の帯状導体パターンは、間隔を空けて平行（ストライプ状）に配置されてもよい。

[0072] ローパスフィルタ１においては、複数の帯状導体パターンを格子状に配置することにより、帯状導体パターン同士が交差する。その結果、複数の帯状導体パターンがシールド面上で接続され、接地電極を共通化することができる。ローパスフィルタ１Ｆのように複数の帯状導体パターンをストライプ状に配置した場合、シールド面上で帯状導体パターン同士が交差しない。接地電極を共通化するという観点では、電子部品の内部において複数の帯状導体パターンを接続する導体パターンを形成することが望ましい。

[0073] あるいは、図１５に示されるローパスフィルタ１Ｇのように、複数の帯状導体パターンは、シールド面においてローパスフィルタ１Ｇの辺に対して斜めに配置されてもよい。

[0074] さらに、図１６に示されるローパスフィルタ１Ｈのように、シールド面において複数の帯状導体パターンが延びる方向は、３つに分類されてもよく、直交していなくとてもよい。シールド面において複数の帯状導体パターンが延びる方向は、４つ以上に分類されてもよい。

[0075] ［実施の形態１の変形例９］

実施の形態１においては、直方体状の電子部品について説明した。本発明に係る電子部品の形状は、直方体状に限定されない。本発明に係る電子部品の形状は、たとえば図１７に示されるローパスフィルタ１Ｊのように、円柱状であってもよい。

[0076] ［実施の形態１の変形例１０］

実施の形態１においては、電子部品の設計および製造を容易とするために、複数の誘電体層の各々の誘電率は同一であるが、複数の誘電体層の各々の誘電率は同一でなくてもよい。

[0077] 実施の形態１において、インダクタＬ１からの磁束は、誘電体層Ｌｙｒ１３を通過した後、内部面ＤＦに配置されている帯状導体パターンを通過して接地電極に導かれる。そのため、当該帯状導体パターンを通過する磁束の実

効波長は、磁束の波長を誘電体層Ｌｙｒ１３の誘電率で割った値となる。そこで、誘電体層Ｌｙｒ１３の誘電率を実施の形態１における誘電体層Ｌｙｒ１～Ｌｙｒ１２の誘電率よりも小さくすることにより、内部面ＤＦに配置されている帯状導体パターンを通過する磁束の実効波長を実施の形態１よりも大きくすることができる。そのため、ローパスフィルタのサイズを変更することなく、誘電体層Ｌｙｒ１３の誘電率を小さくすることにより、内部面ＤＦに配置されている帯状導体パターンを含む経路の長さを、実効波長の２分の１あるいは４分の１よりも小さくすることができる。その結果、当該経路がアンテナとして作用することを防止することができる。

[0078] 以上の実施の形態１の変形例１～１０によっても、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0079] ［実施の形態２］

実施の形態１においては、電子部品内部に形成されているインダクタの巻回軸は、積層方向に平行である。実施の形態２では、電子部品内部のインダクタの巻回軸が、積層方向に垂直である場合について説明する。

[0080] 図１８は、実施の形態２に係る電子部品の一例であるバンドパスフィルタ２の回路図である。バンドパスフィルタ２は、回路基板上に実装される電子部品であり、内部に図１８に示される回路に対応する回路パターンを含む。

[0081] 図１８に示されるように、バンドパスフィルタ２は、入出力端子Ｐ２１と、入出力端子Ｐ２２と、ＬＣ並列共振器ＬＣ２１と、ＬＣ並列共振器ＬＣ２２と、ＬＣ並列共振器ＬＣ２３と、コンデンサＣ３３とを備える。

[0082] ＬＣ並列共振器ＬＣ２１は、インダクタＬ２１と、コンデンサＣ２１とを含む。インダクタＬ２１とコンデンサＣ２１とは、入出力端子Ｐ２１と接地点ＧＮＤとの間で並列に接続されている。

[0083] ＬＣ並列共振器ＬＣ２３は、インダクタＬ２３と、コンデンサＣ２３とを含む。インダクタＬ２３とコンデンサＣ２３とは、入出力端子Ｐ２２と接地点ＧＮＤとの間で並列に接続されている。

[0084] ＬＣ並列共振器ＬＣ２２は、インダクタＬ２２と、コンデンサＣ２２とを

含む。インダクタＬ２２は、コンデンサＣ２２に接続されている。インダクタＬ２２とコンデンサＣ２２とは、接地点ＧＮＤに接続されている。

[0085] コンデンサＣ３３は、入出力端子Ｐ２１とＰ２２との間に接続されている。

隣接するＬＣ並列共振器ＬＣ２１とＬＣ２２との間には、誘導結合（磁気的結合）Ｍ１が生じる。隣接するＬＣ並列共振器ＬＣ２２とＬＣ２３との間には、誘導結合Ｍ２が生じる。

[0086] 図１９は、実施の形態２に係る電子部品の一例であるバンドパスフィルタ２の外観斜視図である。図２０は、図１９のバンドパスフィルタ２の外観透視図である。図２０においては、図面の複雑化を避けるために、バンドパスフィルタ２の内部に形成されている回路パターンは示していない。バンドパスフィルタ２は、後に図２１を用いて説明するように、複数の誘電体層Ｌｙｒ２１～Ｌｙｒ２９をＺ軸方向（積層方向）に積層した積層体である。

[0087] 図１９および図２０を参照して、バンドパスフィルタ２は、たとえば直方体状である。積層方向に垂直なバンドパスフィルタ２の面を下面ＢＦ２および上面ＵＦ２とする。積層方向に平行な面のうちＺＸ平面と平行な面を側面ＳＦ２１およびＳＦ２３とする。積層方向に平行な面のうちＹＺ平面と平行な面を側面ＳＦ２２およびＳＦ２４とする。

[0088] 下面ＢＦ２には、入出力端子Ｐ２１、Ｐ２２、および接地電極ＧＮＤ２１～ＧＮＤ２４が形成されている。入出力端子Ｐ２１、Ｐ２２、および接地電極ＧＮＤ２１～ＧＮＤ２４は、たとえば下面ＢＦ２に平面電極が規則的に配置されたＬＧＡ端子である。下面ＢＦ２は、回路基板に接続される。

[0089] 上面ＵＦ２には、方向識別マークＤＭ２が形成されている。方向識別マークＤＭ２は、バンドパスフィルタ２の実装時の向きを識別するために用いられる。

[0090] 側面ＳＦ２１にＢＰ１１Ｂ～ＢＰ１４Ｂが配置されている。側面ＳＦ２２にＢＰ２１Ｂ～ＢＰ２４Ｂが配置されている。側面ＳＦ２３にＢＰ３１Ｂ～ＢＰ３４Ｂが配置されている。側面ＳＦ２４にＢＰ４１Ｂ～ＢＰ４４Ｂが配

置されている。内部面ＤＦ２にＢＰ２８１～ＢＰ２８４が配置されている。内部面ＤＦ２は、誘電体層Ｌｙｒ２８が誘電体層Ｌｙｒ２９と接している面である。側面ＳＦ２１～ＳＦ２４および内部面ＤＦ２は、本発明のシールド面に対応する。シールド電極は、下面ＢＦ２を含む誘電体層Ｌｙｒ２１および上面ＵＦ２を含む誘電体層Ｌｙｒ２９の側面には形成されていない。

[0091] 側面ＳＦ２１には、帯状導体パターンＢＰ１１Ｂ～ＢＰ１４Ｂが配置されている。帯状導体パターンＢＰ１１Ｂは、Ｘ軸方向に延びている。帯状導体パターンＢＰ１２Ｂ～ＢＰ１４Ｂは、Ｘ軸方向に間隔をあけて配置されている。帯状導体パターンＢＰ１２Ｂ～ＢＰ１４Ｂの各々は、Ｚ軸方向に延びている。帯状導体パターンＢＰ１２Ｂ～ＢＰ１４Ｂの各々は、Ｙ軸方向から平面視したとき、帯状導体パターンＢＰ１１Ｂと十字形を形成している。

[0092] 側面ＳＦ２２には、帯状導体パターンＢＰ２１Ｂ～ＢＰ２４Ｂが配置されている。帯状導体パターンＢＰ２１ＢおよびＢＰ２３Ｂは、Ｚ軸方向に延びている。帯状導体パターンＢＰ２１Ｂは、帯状導体パターンＢＰ１１Ｂに接続されている。帯状導体パターンＢＰ２２ＢおよびＢＰ２４Ｂは、Ｙ軸方向に延びている。

[0093] 帯状導体パターンＢＰ２１Ｂ～ＢＰ２４Ｂで囲まれた領域は、長方形状の非シールド領域となっている。帯状導体パターンＢＰ２１Ｂ～ＢＰ２４Ｂをこのように配置することにより、Ｘ軸方向（後述するインダクタＬ２１～Ｌ２３の巻回軸方向）から平面視したとき、帯状導体パターンＢＰ２１Ｂ～ＢＰ２４Ｂは、バンドパスフィルタ２の内部に形成されているインダクタＬ２１～Ｌ２３の各々の空芯部と重なっていない。

[0094] 側面ＳＦ２３には、帯状導体パターンＢＰ３１Ｂ～ＢＰ３４Ｂが配置されている。帯状導体パターンＢＰ３１Ｂは、Ｘ軸方向に延びており、帯状導体パターンＢＰ２３Ｂに接続されている。帯状導体パターンＢＰ３２Ｂ～ＢＰ３４Ｂは、Ｘ軸方向に間隔をあけて配置されている。帯状導体パターンＢＰ３２Ｂ～ＢＰ３４Ｂの各々は、Ｚ軸方向に延びている。帯状導体パターンＢＰ３２Ｂ～ＢＰ３４Ｂの各々は、帯状導体パターンＢＰ３１Ｂと十字形を形

成している。帯状導体パターンＢＰ３４Ｂは、バンドパスフィルタ内部に形成されている線路導体パターン２２２およびビア導体パターンＶ２２２を介して接地電極ＧＮＤ２４に接続されている。

[0095] 側面ＳＦ２４には、帯状導体パターンＢＰ４１Ｂ～ＢＰ４４Ｂが配置されている。帯状導体パターンＢＰ４１ＢおよびＢＰ４３Ｂは、Ｚ軸方向に延びている。帯状導体パターンＢＰ４１Ｂは、帯状導体パターンＢＰ１１Ｂに接続されている。帯状導体パターンＢＰ４３Ｂは、帯状導体パターンＢＰ３１Ｂに接続されている。帯状導体パターンＢＰ４２ＢおよびＢＰ４４Ｂは、Ｙ軸方向に延びている。

[0096] 帯状導体パターンＢＰ４１Ｂ～ＢＰ４４Ｂで囲まれた領域は、長方形状の非シールド領域となっている。帯状導体パターンＢＰ４１Ｂ～ＢＰ４４Ｂをこのように配置することにより、Ｘ軸方向（後述するインダクタＬ２１～Ｌ２３の巻回軸方向）から平面視したとき、帯状導体パターンＢＰ４１Ｂ～ＢＰ４４Ｂは、バンドパスフィルタ２の内部に形成されているインダクタＬ２１～Ｌ２３の各々の空芯部と重なっていない。

[0097] 内部面ＤＦ２には、帯状導体パターンＢＰ２８１～ＢＰ２８４が配置されている。帯状導体パターンＢＰ２８１は、Ｘ軸方向に延びており、帯状導体パターンＢＰ２４ＢおよびＢＰ４４Ｂに接続されている。帯状導体パターンＢＰ２８２～ＢＰ２８４の各々は、Ｙ軸方向に延びている。帯状導体パターンＢＰ２８２～ＢＰ２８４の各々は、帯状導体パターンＢＰ２８１と十字形を形成している。帯状導体パターンＢＰ２８２は、帯状導体パターンＢＰ１２ＢおよびＢＰ３２Ｂに接続されている。帯状導体パターンＢＰ２８３は、帯状導体パターンＢＰ１３ＢおよびＢＰ３３Ｂに接続されている。帯状導体パターンＢＰ２８４は、帯状導体パターンＢＰ１４ＢおよびＢＰ３４Ｂに接続されている。

[0098] 図２１は、図１９のバンドパスフィルタ２の積層構造を示す分解斜視図である。バンドパスフィルタ２は、複数の誘電体層として誘電体層Ｌｙｒ２１～Ｌｙｒ２９を備える。誘電体層Ｌｙｒ２１を下面ＢＦ２側、Ｌｙｒ２９を

上面ＵＦ２側として、この順にＺ軸方向に積層されている。

[0099] 誘電体層Ｌｙｒ２１の下面ＢＦ２には、既に説明したように、入出力端子Ｐ２１、Ｐ２２、および接地電極ＧＮＤ２１～ＧＮＤ２４が形成されている。

[0100] 誘電体層Ｌｙｒ２２には、線路導体パターン２２１および線路導体パターン２２２が形成されている。線路導体パターン２２１は、ビア導体パターンＶ２２１によって入出力端子Ｐ２１に接続されている。線路導体パターン２２２は、ビア導体パターンＶ２２２によって接地電極ＧＮＤ２４に接続されている。

[0101] 誘電体層Ｌｙｒ２３には、キャパシタ導体パターン２３１が形成されている。

誘電体層Ｌｙｒ２４には、キャパシタ導体パターン２４１および２４２が形成されている。キャパシタ導体パターン２４１は、ビア導体パターンＶ２４１によって線路導体パターン２２１に接続されている。キャパシタ導体パターン２４２は、ビア導体パターンＶ２４２によって入出力端子Ｐ２２に接続されている。

[0102] キャパシタ導体パターン２４１および２４２の各々は、積層方向から平面視した場合に、キャパシタ導体パターン２３１に重なっている。キャパシタ導体パターン２３１、２４１、および２４２は、コンデンサＣ３３を形成している。

[0103] 誘電体層Ｌｙｒ２５には、キャパシタ導体パターン２５１が形成されている。キャパシタ導体パターン２５１は、積層方向から平面視したとき、キャパシタ導体パターン２４１および２４２に重なっている。キャパシタ導体パターン２４１および２５１は、コンデンサＣ２１を形成している。キャパシタ導体パターン２４２および２５１は、コンデンサＣ２３を形成している。

[0104] 誘電体層Ｌｙｒ２６には、キャパシタ導体パターン２６１が形成されている。キャパシタ導体パターン２６１は、積層方向から平面視したとき、キャパシタ導体パターン２５１に重なっている。キャパシタ導体パターン２５１

および２６１は、コンデンサＣ２２を形成している。

[0105] 誘電体層Ｌｙｒ２７には、線路導体パターン２７１～２７３が形成されている。線路導体パターン２７１は、ビア導体パターンＶ２４１によってキャパシタ導体パターン２４１に接続されている。線路導体パターン２７１は、ビア導体パターンＶ２７１によってキャパシタ導体パターン２５１に接続されている。線路導体パターン２７１およびビア導体パターンＶ２４１，Ｖ２７１は、インダクタＬ２１を形成している。インダクタＬ２１は、積層方向に垂直な巻回軸のまわりに巻回されるように形成されている。

[0106] 線路導体パターン２７２は、ビア導体パターンＶ２７２によってキャパシタ導体パターン２５１に接続されている。線路導体パターン２７２は、ビア導体パターンＶ２７３によってキャパシタ導体パターン２６１に接続されている。線路導体パターン２７２およびビア導体パターンＶ２７２，Ｖ２７３は、インダクタＬ２２を形成している。インダクタＬ２２は、積層方向に垂直な巻回軸のまわりに巻回されるように形成されている。

[0107] 線路導体パターン２７３は、ビア導体パターンＶ２４２によってキャパシタ導体パターン２４２に接続されている。線路導体パターン２７３は、ビア導体パターンＶ２７４によってキャパシタ導体パターン２５１に接続されている。線路導体パターン２７３およびビア導体パターンＶ２４２，Ｖ２７４は、インダクタＬ２３を形成している。インダクタＬ２３は、積層方向に垂直な巻回軸のまわりに巻回されるように形成されている。

[0108] Ｌｙｒ２８の内部面ＤＦ２には、既に説明したように帯状導体パターンＢＰ２８１～ＢＰ２８４が形成されている。内部面ＤＦ２は、上面ＵＦ２と回路パターンとの間に位置している。

[0109] Ｌｙｒ２９には、既に説明したように方向識別マークＤＭ２が形成されている。

インダクタＬ２１～Ｌ２３の巻回軸の方向から平面視したとき、インダクタＬ２１～Ｌ２３の各々の空芯部の全域は、非シールド領域に重なっている。

[0110] 以上、実施の形態２においては、シールド電極として複数の帯状導体パターンを配置して、シールド面に非シールド領域を形成する。このような構成により、シールド効果とＱ値とのバランスをとることができ、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0111] さらに実施の形態２においては、インダクタの巻回軸の方向から平面視したとき、インダクタの空芯部の全域が非シールド領域に重なっているため、インダクタの巻回軸に平行な面に配置されたシールド電極によって磁束が遮られることによるＱ値の低下をさらに抑制することができる。

[0112] ［実施の形態３］

実施の形態１および実施の形態２においては、シールド面に複数の帯状導体パターンを配置することにより非シールド領域を形成する場合について説明した。非シールド領域は複数の帯状導体パターンを用いずに形成されてもよい。実施の形態３では、平板状のシールド電極に複数の孔を形成することにより、非シールド領域を形成する場合について説明する。

[0113] 実施の形態３と実施の形態１との違いは、平板状のシールド電極に複数の孔を形成することにより非シールド領域を形成している点である。それ以外の構成については同様であるため、説明を繰り返さない。

[0114] 図２２は、実施の形態３に係る電子部品の一例であるローパスフィルタ３の外観斜視図である。図２２に示されるように、ローパスフィルタ３の側面ＳＦ１およびＳＦ４には、それぞれシールド電極ＳＥ１およびＳＥ４が配置されている。図示してはいないが、側面ＳＦ２およびＳＦ３には、それぞれシールド電極ＳＥ２およびＳＥ３が配置されている。側面ＳＦ１～ＳＦ４の全域は、それぞれシールド電極ＳＥ１～ＳＥ４によって覆われている。

[0115] 上面ＵＦには、シールド電極ＰＳＥが配置されている。シールド電極ＰＳＥには、空孔Ｈ１～Ｈ５が形成されている。上面ＵＦにおいて空孔Ｈ１～Ｈ５が形成された領域の各々が非シールド領域である。シールド電極ＰＳＥは、本発明の部分シールド部に対応する。

[0116] 図２３は、図２２に示されるローパスフィルタ３をインダクタＬ１の巻回

軸方向（積層方向）から平面視したときの透視図を示す図である。図２３に示されるように、ローパスフィルタ３において、インダクタＬ１の空芯部ＡＣ１は、空孔Ｈ３に囲まれている非シールド領域と重なっている。

[0117] 以上、実施の形態３においては、シールド電極に空孔を形成することにより、シールド面に当該空孔に囲まれた非シールド領域が形成される。その結果、シールド効果とＱ値とのバランスをとることができ、シールド効果を確保しつつ、Ｑ値の低下を抑制することができる。

[0118] また、実施の形態３によれば、帯状導体パターンによって非シールド領域を形成する実施の形態１と比べて、空孔の位置および大きさを電子部品の回路パターンに合わせて柔軟に調整することができるため、回路パターンに合った非シールド領域を形成可能である。

[0119] さらに、実施の形態３によれば、インダクタの巻回軸方向への磁束の漏洩をある程度許容することができるため、Ｑ値の低下を抑制することができる。

[0120] 今回開示された実施の形態および変形例は、矛盾しない範囲で適宜組み合わせて実施することも予定されている。今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0121] １，１Ａ，１Ｂ，１Ｃ，１Ｄ，１Ｅ，１Ｆ，１Ｇ，１Ｈ，１Ｊ，３，１０，１００ ローパスフィルタ、２１，２２，３１～３３，９１，１０１，１１１，１２１，１３１，１３２，２２１，２２２，２７１～２７３ 線路導体パターン、４１，５１，５２，６１，７１，７２，８１，２３１，２４１，２４２，２５１，２６１ キャパシタ導体パターン、ＢＰ１１～ＢＰ１４，ＢＰ１１Ｂ～ＢＰ１４Ｂ，ＢＰ２１，ＢＰ２２，ＢＰ２１Ｂ～ＢＰ２４Ｂ，ＢＰ３１～ＢＰ３４，ＢＰ３１Ｂ～ＢＰ３４Ｂ，ＢＰ４１，ＢＰ４２，ＢＰ４１Ｂ～ＢＰ４４Ｂ，ＢＰ１３１Ａ～ＢＰ１３６Ａ，ＢＰ１３１～ＢＰ１

３４，ＢＰ１４１～ＢＰ１４４，ＢＰ２８１～ＢＰ２８４　帯状導体パターン、Ｃ１～Ｃ３，Ｃ２１～Ｃ２３，Ｃ３３　コンデンサ、ＤＭ，ＤＭ１Ｃ，ＤＭ２　方向識別マーク、ＧＮＤ１，ＧＮＤ１Ｂ，ＧＮＤ２，ＧＮＤ４，ＧＮＤ２１，ＧＮＤ２４　接地電極、Ｌ１，Ｌ２，Ｌ２１～Ｌ２３　インダクタ、ＬＣ１，ＬＣ２１～ＬＣ２３　並列共振器、ＬＣ２　直列共振器、Ｌｙｒ１～Ｌｙｒ１４，Ｌｙｒ２１～Ｌｙｒ２９　誘電体層、Ｐ１，Ｐ２，Ｐ２１，Ｐ２２　入出力端子、ＰＳＥ，ＳＥ，ＳＥ１，ＳＥ２，ＳＥ４　シールド電極、Ｖ２１，Ｖ２２，Ｖ３１～Ｖ３３，Ｖ４１，Ｖ５１，Ｖ５２，Ｖ６１，Ｖ１３１，Ｖ１３２，Ｖ２２１，Ｖ２２２，Ｖ２４１，Ｖ２４２，Ｖ２７１～Ｖ２７４　ビア導体パターン。

請求の範囲

[請求項1] 複数の誘電体層からなる積層体を有する電子部品であって、

前記積層体の内部に配置され、インダクタを形成する導体パターンを含む回路パターンと、

接地された複数の帯状導体パターンとを備え、

前記積層体は、上面と、前記上面に対向する下面と、前記上面と前記下面とを連結する側面と、前記回路パターンと前記上面との間に位置し、かつ前記上面と平行な内部面とを含み、

前記複数の帯状導体パターンは、前記上面、前記側面、および前記内部面の少なくとも１つを含むシールド面の一部を覆い、

前記シールド面には、前記複数の帯状導体パターンのいずれによっても覆われておらず、前記インダクタから生じる磁束が通過可能な非シールド領域が形成されている、電子部品。

[請求項2] 前記複数の帯状導体パターンは、第１方向に延びる第１帯状導体パターンと、前記第１方向とは異なる第２方向に延びる第２帯状導体パターンとを含む、請求項１に記載の電子部品。

[請求項3] 前記第１方向と前記第２方向とは、直交している、請求項２に記載の電子部品。

[請求項4] 前記インダクタは、巻回軸のまわりに巻回されるように形成され、

前記シールド面は、前記巻回軸に垂直であり、

前記インダクタの空芯部の少なくとも一部の領域は、前記巻回軸の方向から平面視したときに、前記非シールド領域と重なっている、請求項１に記載の電子部品。

[請求項5] 前記空芯部の全域は、前記巻回軸の方向から平面視したときに、前記非シールド領域と重なっている、請求項４に記載の電子部品。

[請求項6] 前記巻回軸は、前記複数の誘電体層の積層方向と平行である、請求項４または５に記載の電子部品。

[請求項7] 前記シールド面は、前記上面を含む、請求項１～６のいずれか１項

に記載の電子部品。

[請求項8] 前記シールド面は、前記内部面を含む、請求項１～７のいずれか１項に記載の電子部品。

[請求項9] 前記巻回軸は、前記複数の誘電体層の積層方向と垂直である、請求項４または５に記載の電子部品。

[請求項10] 前記シールド面は、前記側面を含む、請求項１～９のいずれかに記載の電子部品。

[請求項11] 前記下面に配置された複数の接地電極をさらに備え、

前記複数の誘電体層の各々の誘電率は、同一であり、

前記複数の帯状導体パターンの各々は、前記複数の接地電極のいずれかに接続され、

前記複数の接地電極は、第１接地電極と第２接地電極とを含み、

前記第１接地電極から、前記複数の帯状導体パターンを経由して、前記第２接地電極に至る経路の距離は、想定されるノイズの波長を前記誘電率で割った実効波長の２分の１より小さい、請求項１～１０のいずれか１項に記載の電子部品。

[請求項12] 前記下面に配置された接地電極をさらに備え、

前記複数の誘電体層の各々の誘電率は、同一であり、

前記複数の帯状導体パターンの各々は、前記接地電極に接続され、

前記接地電極から、前記複数の帯状導体パターンを経由して、前記複数の帯状導体パターンの開放端に至る経路の距離は、想定されるノイズの波長を前記誘電率で割った実効波長の４分の１より小さい、請求項１～１０のいずれか１項に記載の電子部品。

[請求項13] 前記シールド面は、前記上面および前記内部面の少なくとも一方を含み、

前記複数の誘電体層は、前記シールド面を含む第１誘電体層と、前記導体パターンが形成されている第２誘電体層とを含み、

前記第１誘電体層の誘電率は、前記第２誘電体層の誘電率よりも小

さい、請求項１～１０のいずれか１項に記載の電子部品。

[請求項14] 複数の誘電体層からなる積層体を含む電子部品であって、

前記積層体の内部に配置され、巻回軸のまわりに巻回されるように形成されたインダクタを形成する導体パターンを含む回路パターンと、

接地された部分シールド部とを備え、

前記電子部品は、上面と、前記上面と対向する下面と、前記上面と前記下面とを連結する側面と、前記回路パターンと前記上面との間に位置し、かつ前記上面と平行な内部面とを含み、

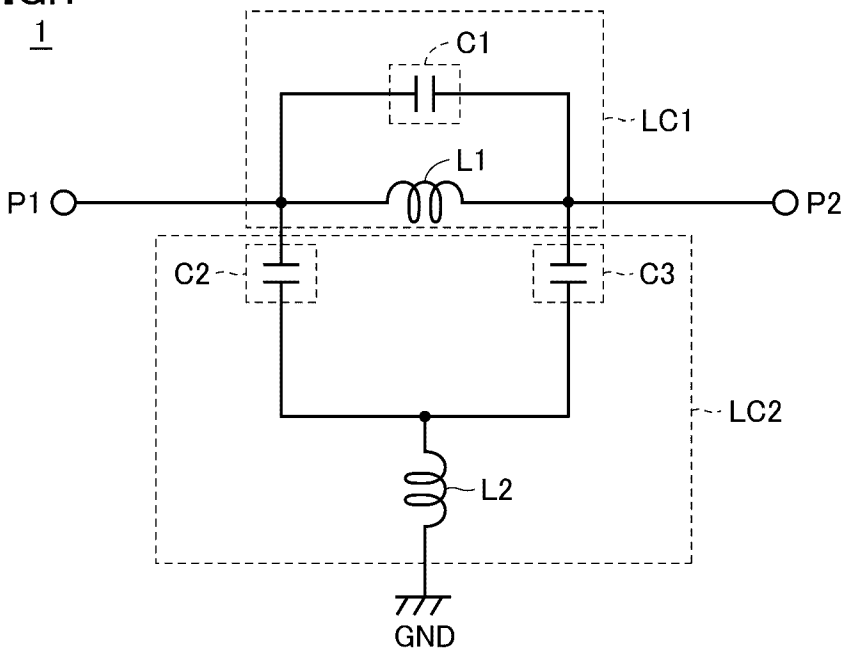
前記部分シールド部は、前記上面、前記側面、および前記内部面の少なくとも１つを含むシールド面の一部を覆い、

前記シールド面には、前記部分シールド部によって覆われていない非シールド領域が形成されており、

前記非シールド領域は、前記巻回軸の方向から平面視したときに、前記インダクタの空芯部の一部と重なっている、電子部品。

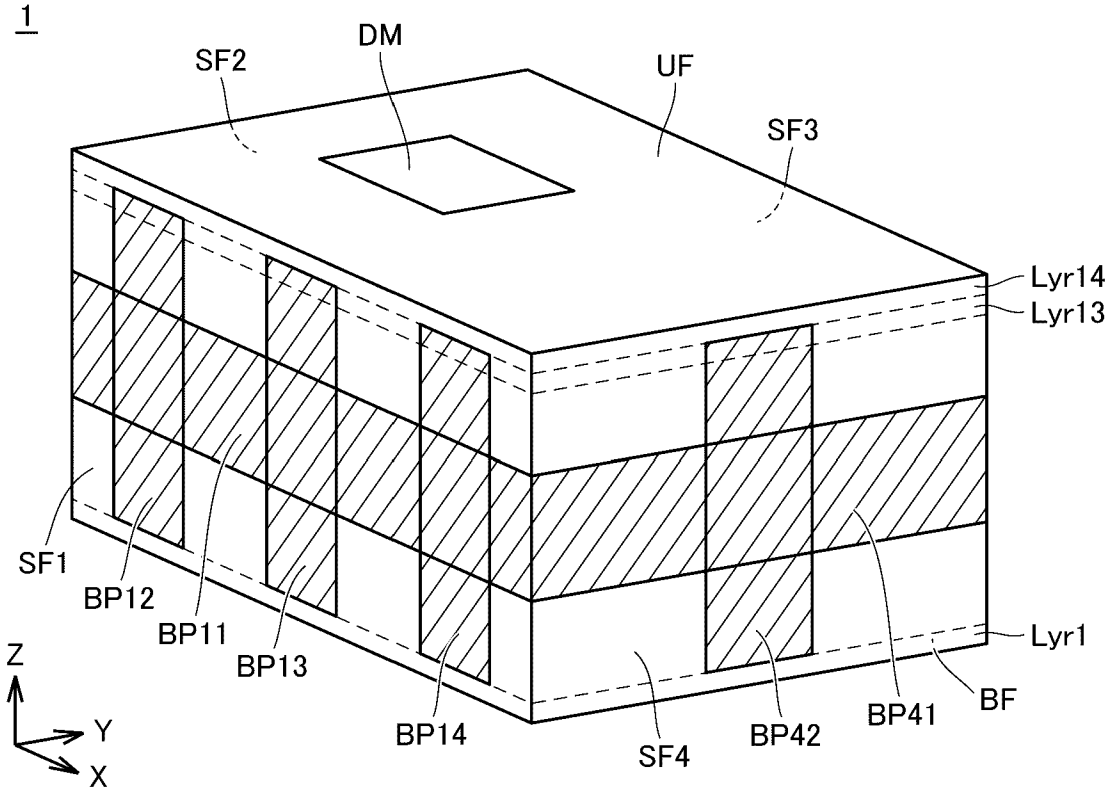
[図1]

FIG.1



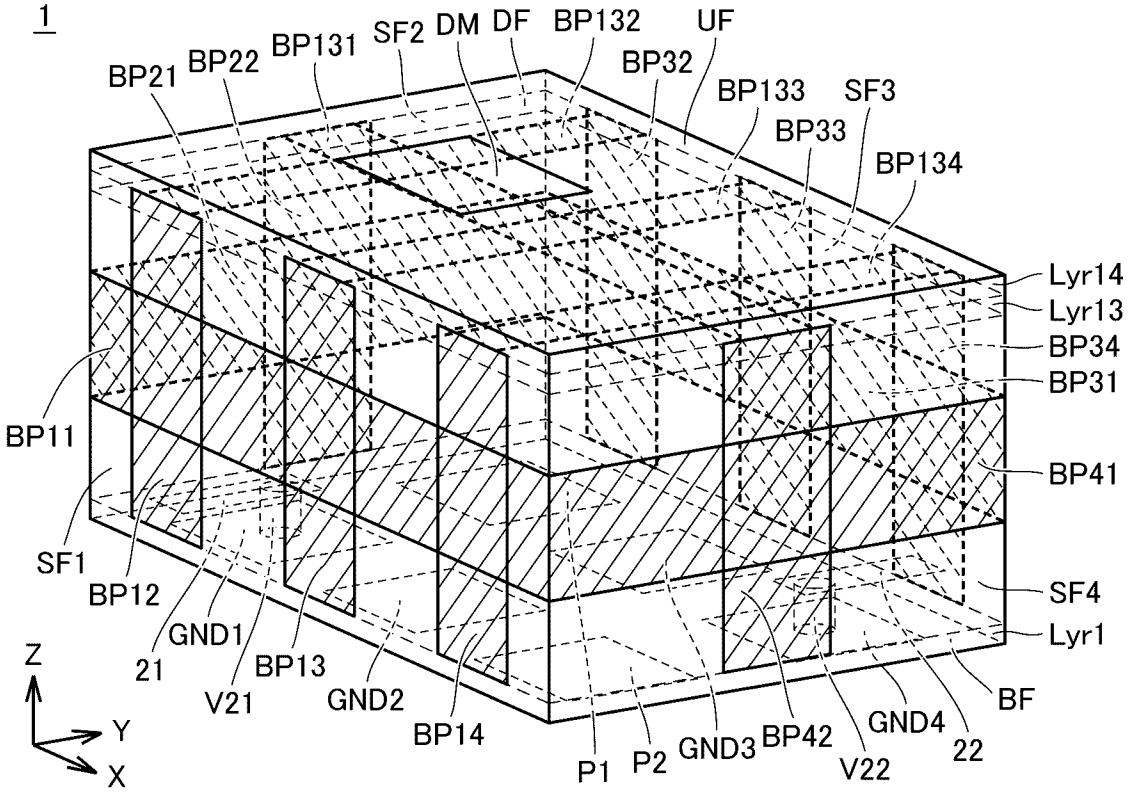
[図2]

FIG.2



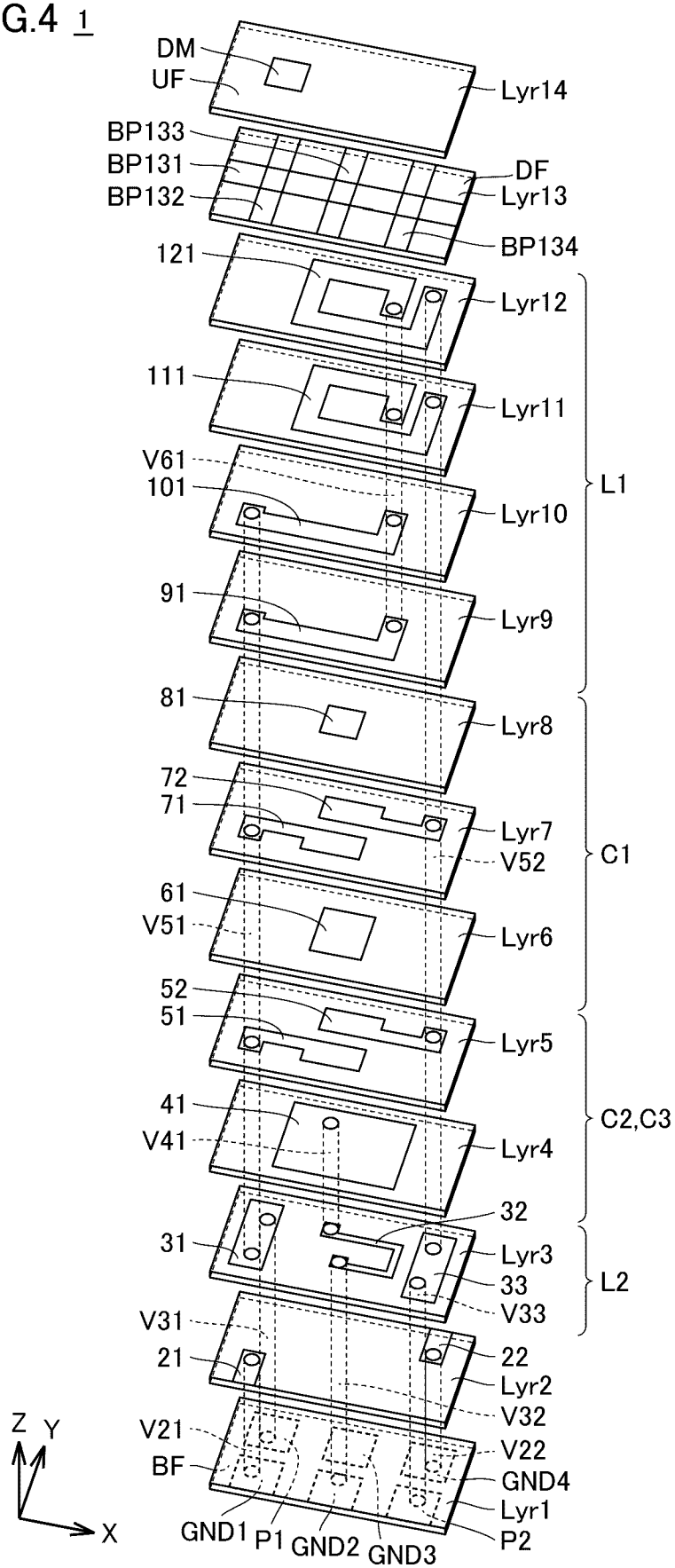
[図3]

FIG.3


1
BP21
BP22
BP131
SF2
DM
DF
BP132
UF
BP32
BP133
SF3
BP33
BP134
Lyr14
Lyr13
BP34
BP31
BP41
SF4
Lyr1
BF
22
GND4
BP42
GND3
P2
P1
V22
BP14
GND2
BP13
V21
21
GND1
BP12
SF1
BP11
Z
Y
X

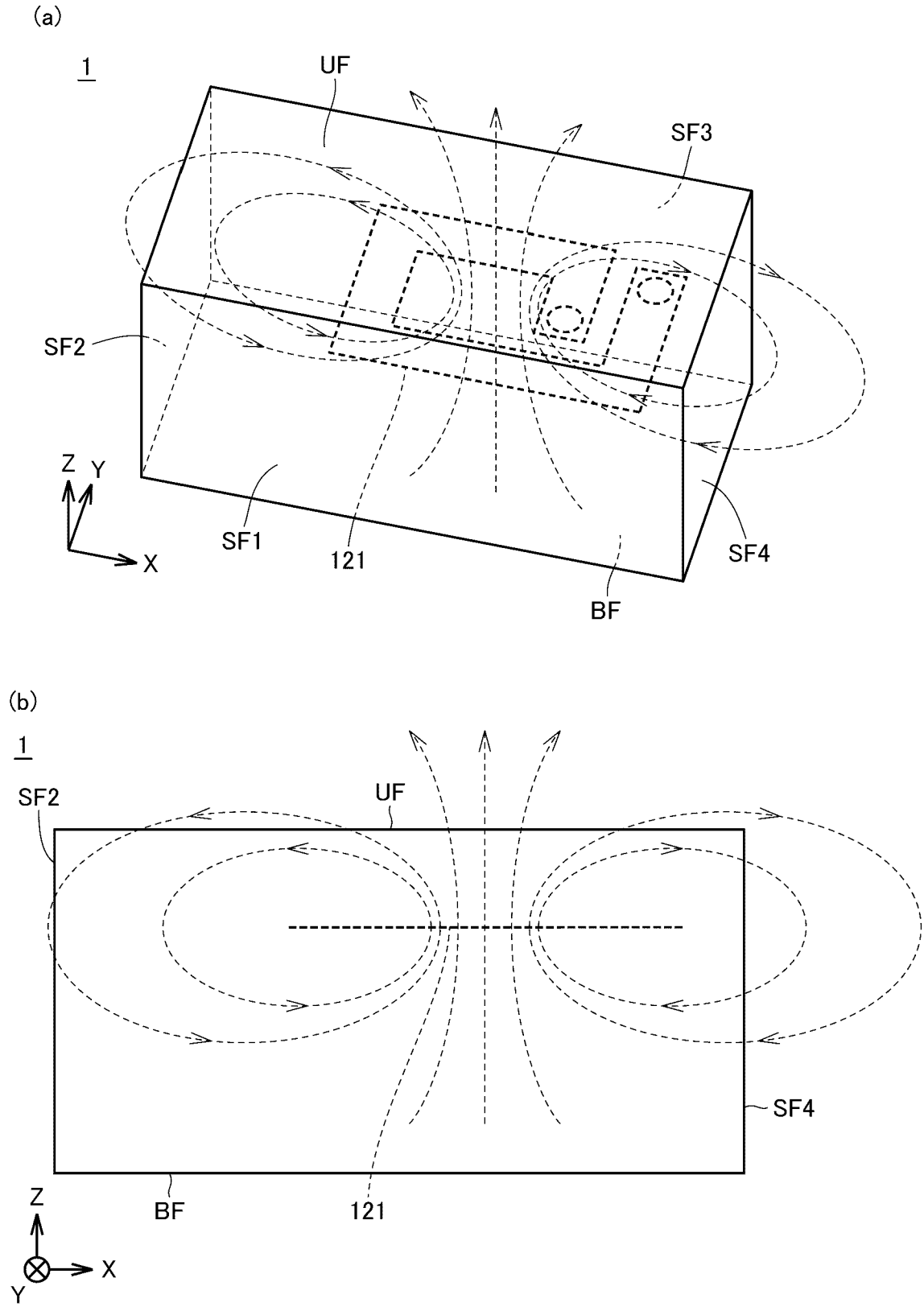
[図4]

FIG.4 1


DM
UF
Lyr14
BP133
BP131
BP132
DF
Lyr13
BP134
121
Lyr12
111
Lyr11
V61
101
Lyr10
L1
91
Lyr9
81
Lyr8
72
71
Lyr7
V52
C1
61
V51
Lyr6
52
51
Lyr5
41
V41
Lyr4
C2,C3
32
31
Lyr3
33
V33
L2
V31
21
22
Lyr2
V32
V21
V22
BF
GND4
Lyr1
GND1
P1
GND2
GND3
P2
Z
Y
X

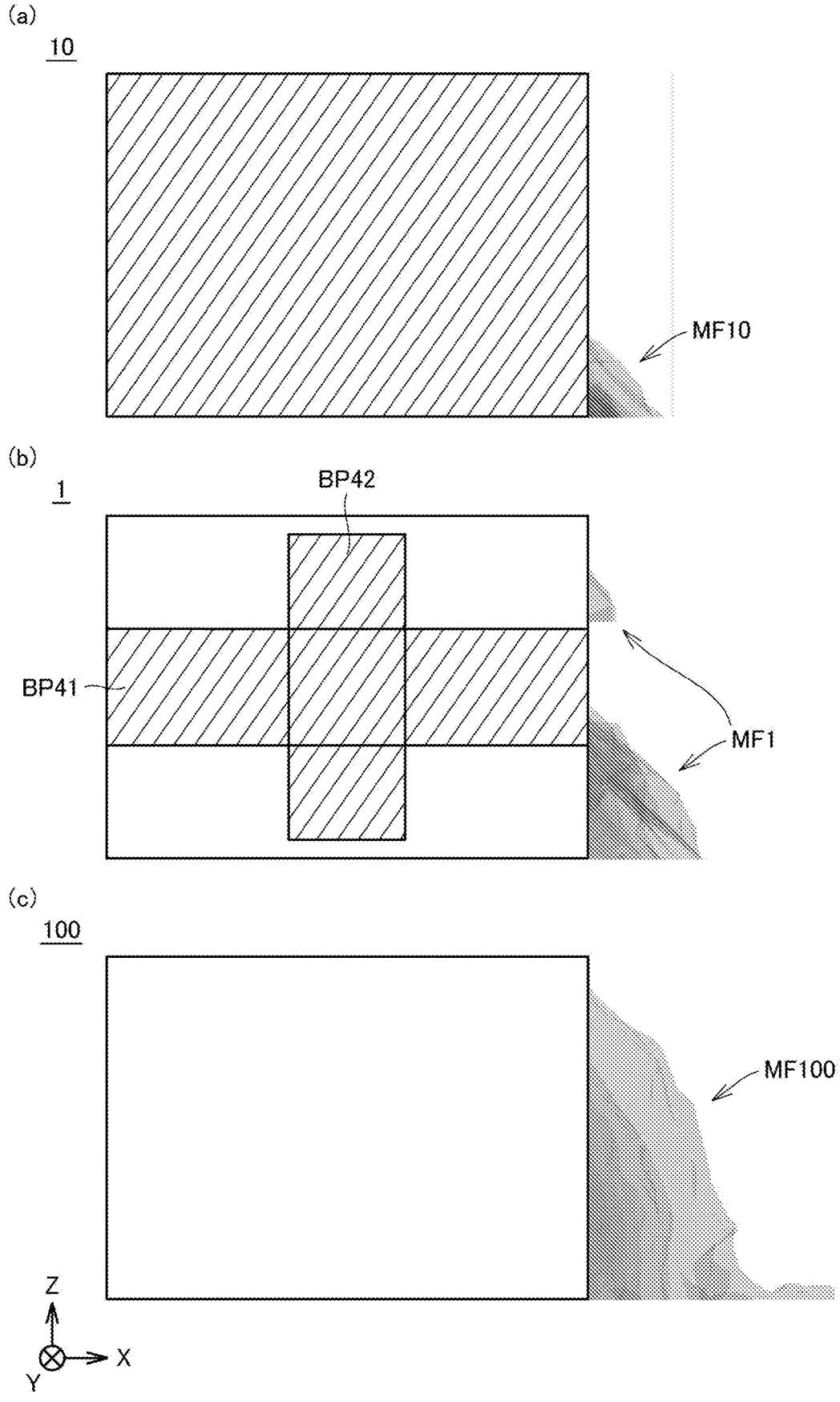
[図5]

FIG.5



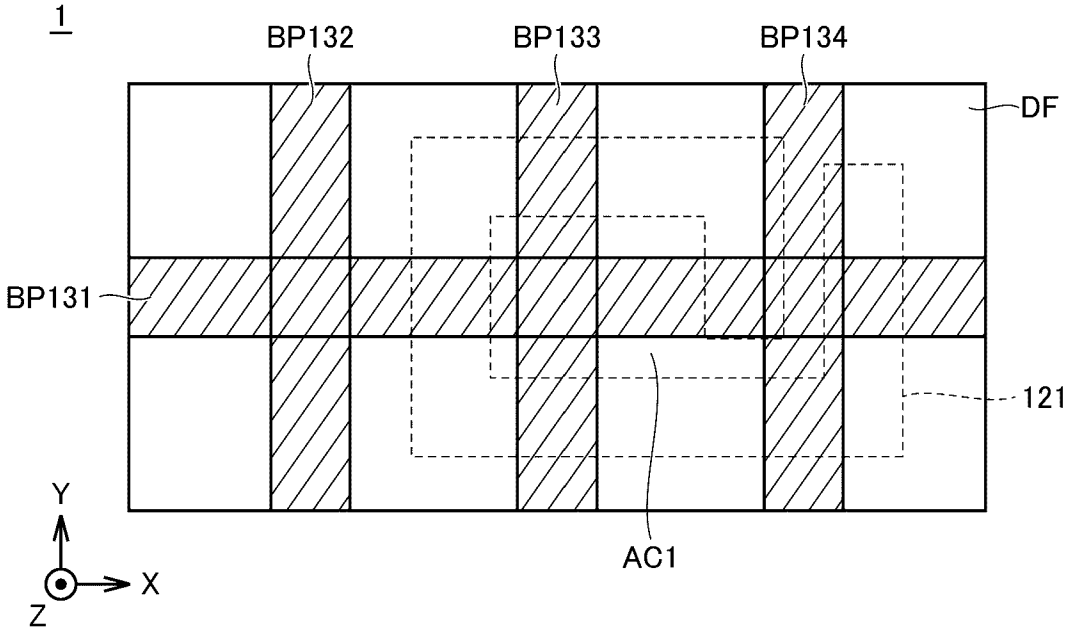
[図6]

FIG.6



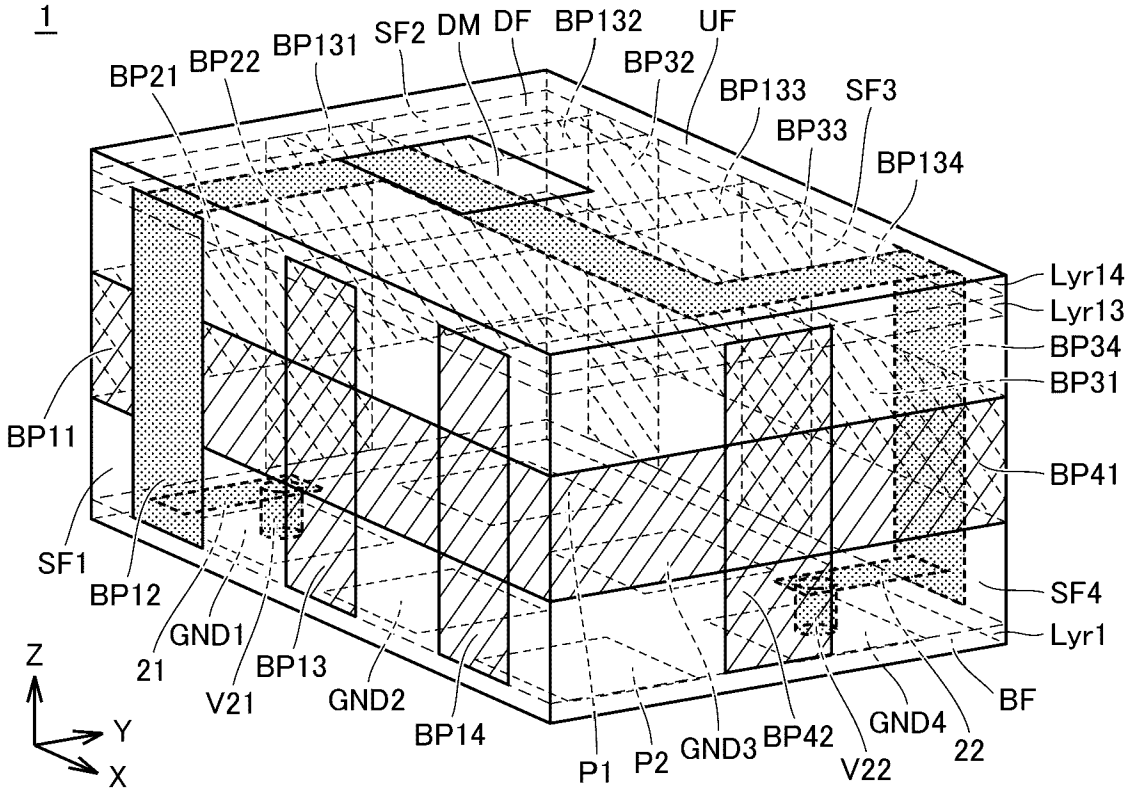
[図7]

FIG.7



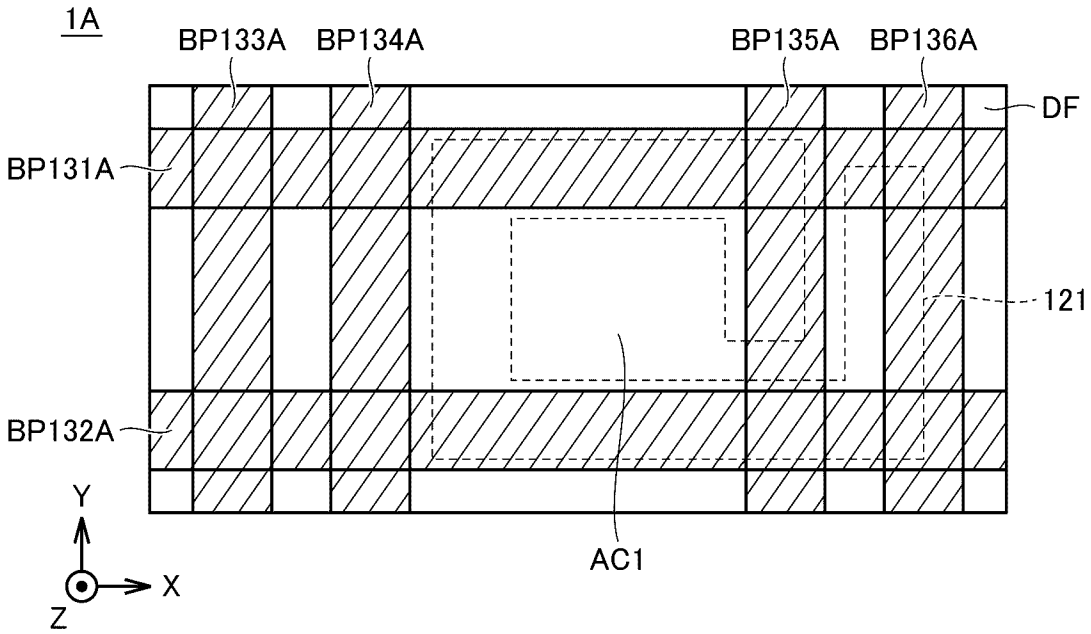
[図8]

FIG.8



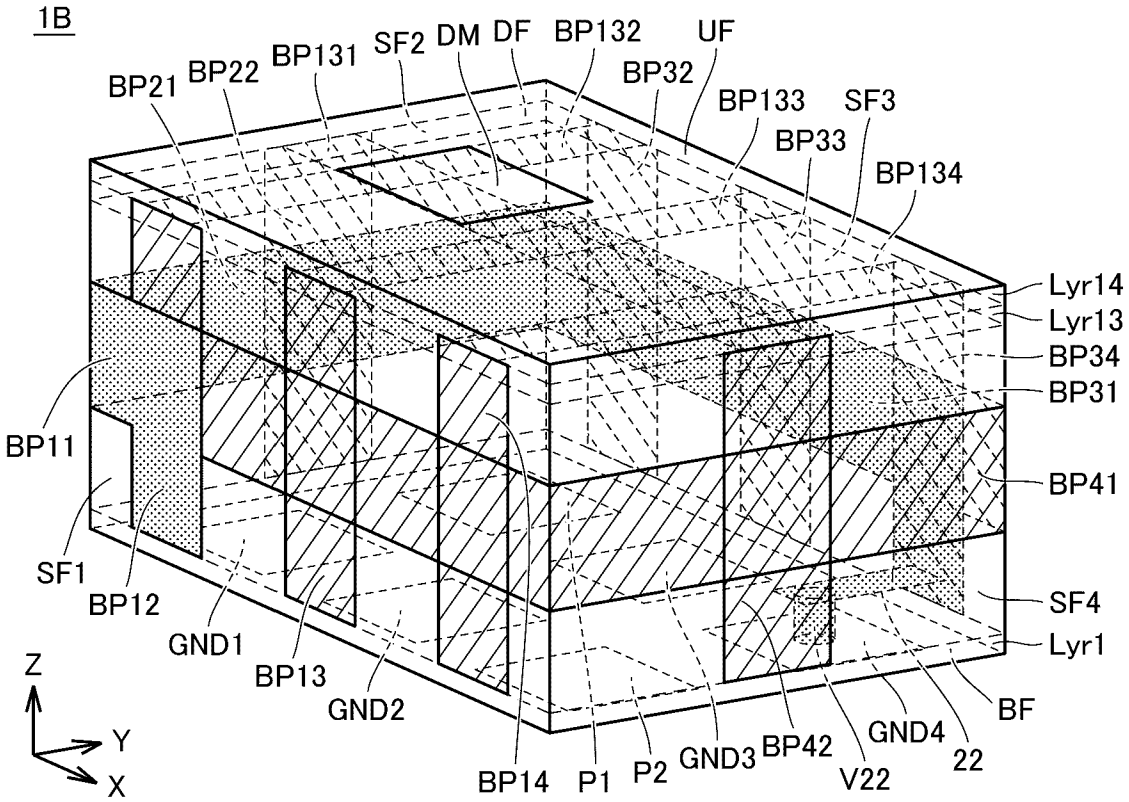
[図9]

FIG.9



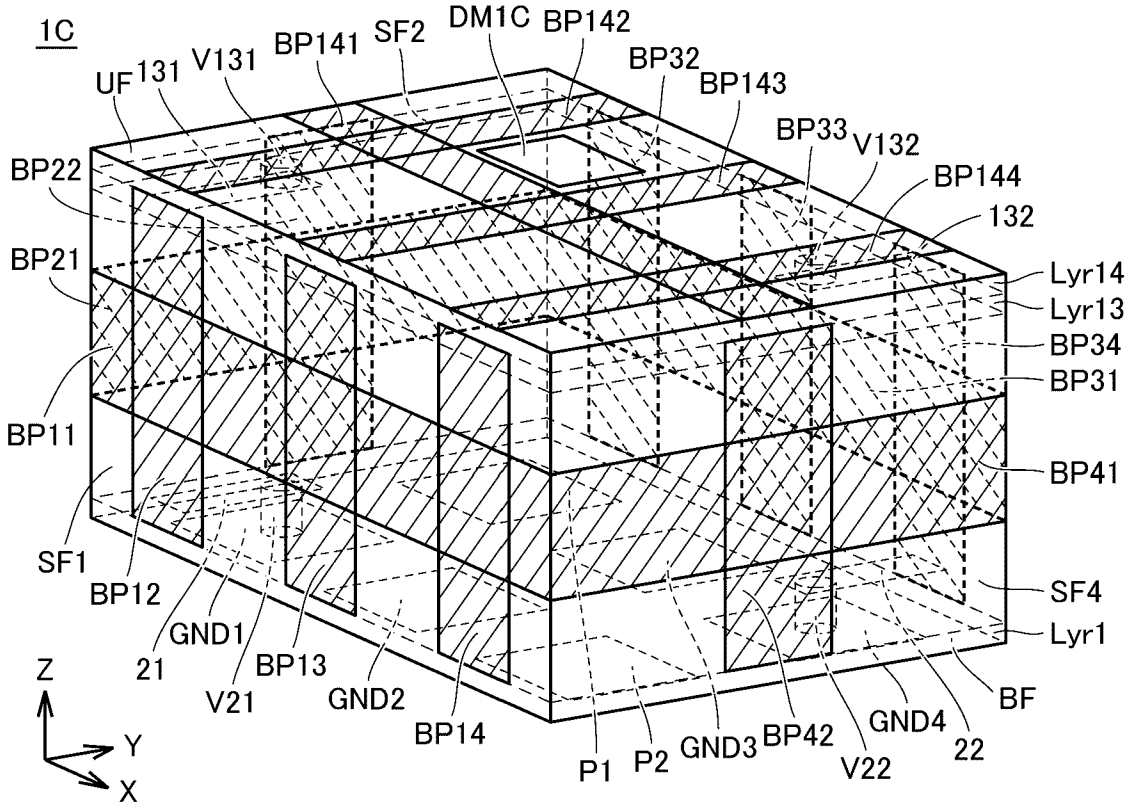
[図10]

FIG.10



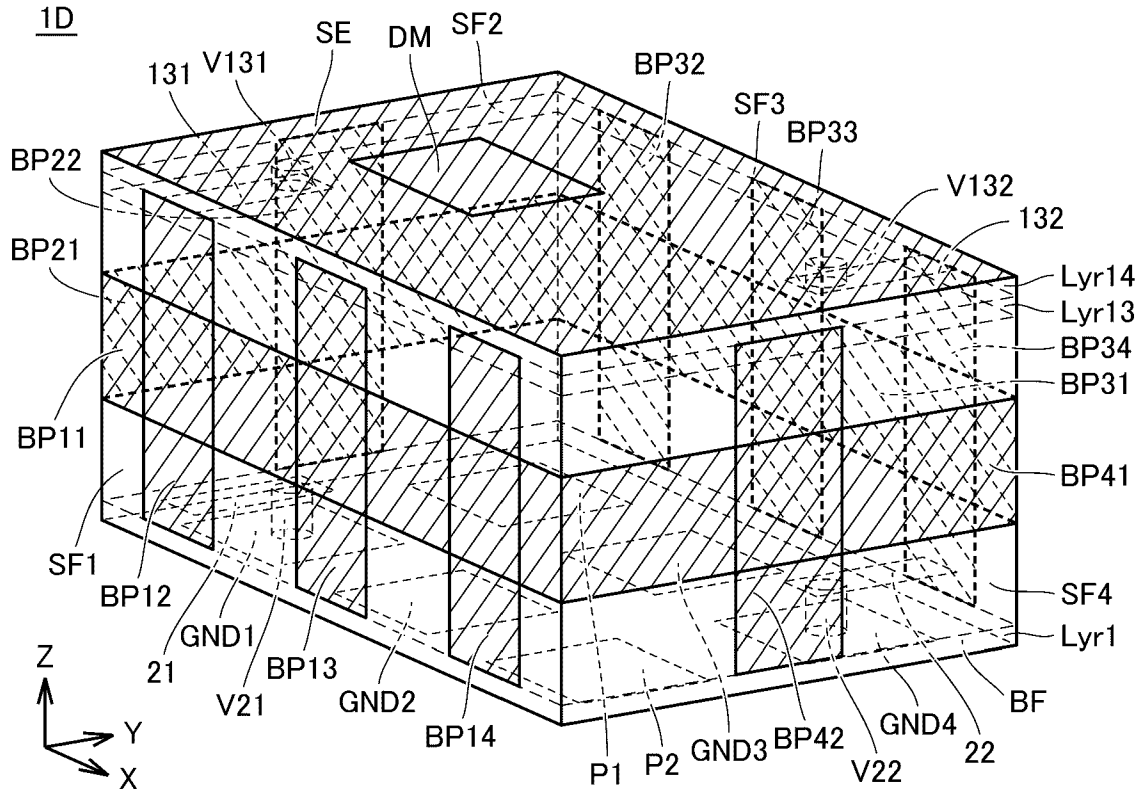
[図11]

FIG.11



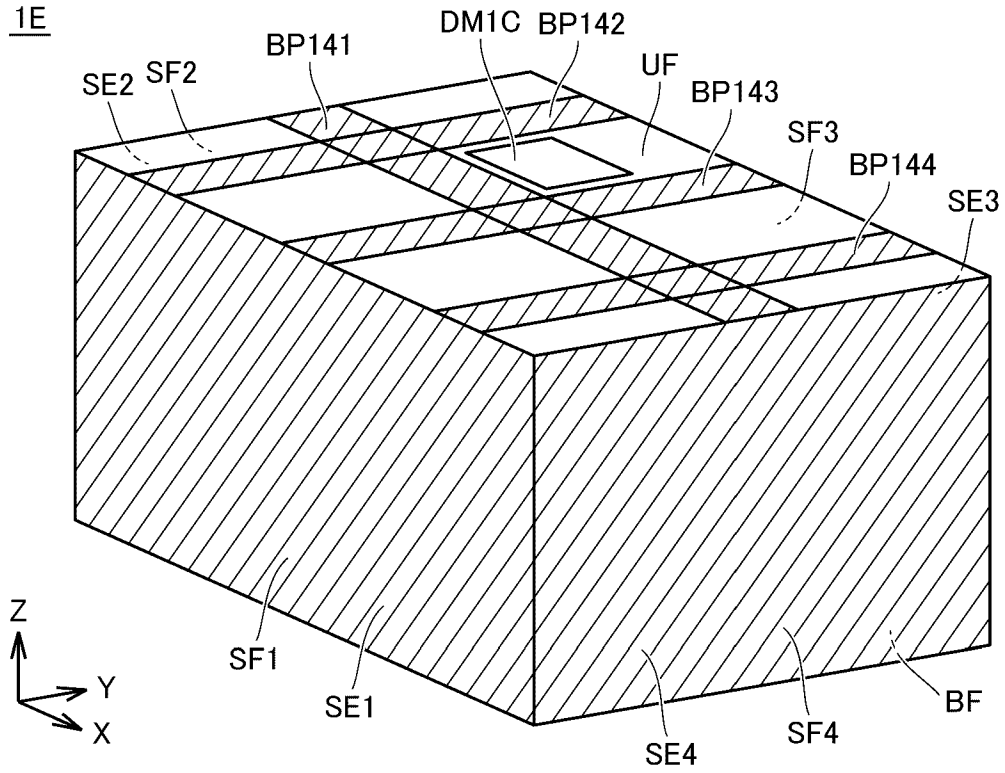
[図12]

FIG.12



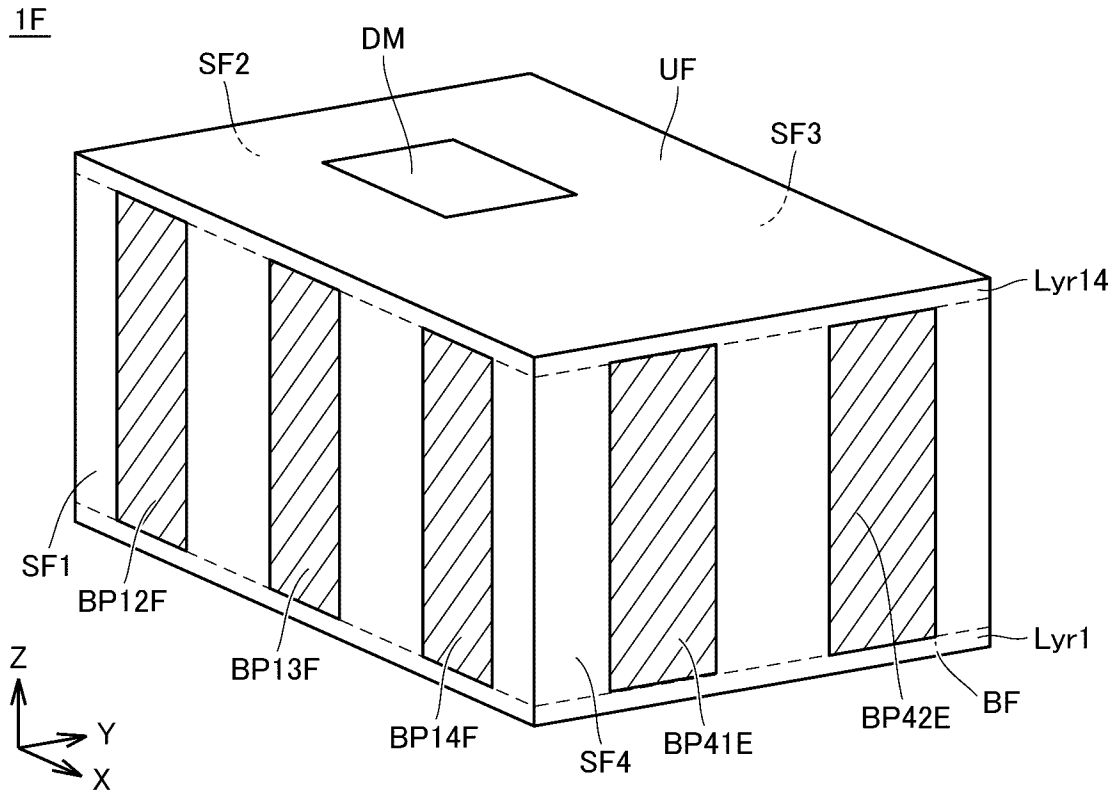
[図13]

FIG.13



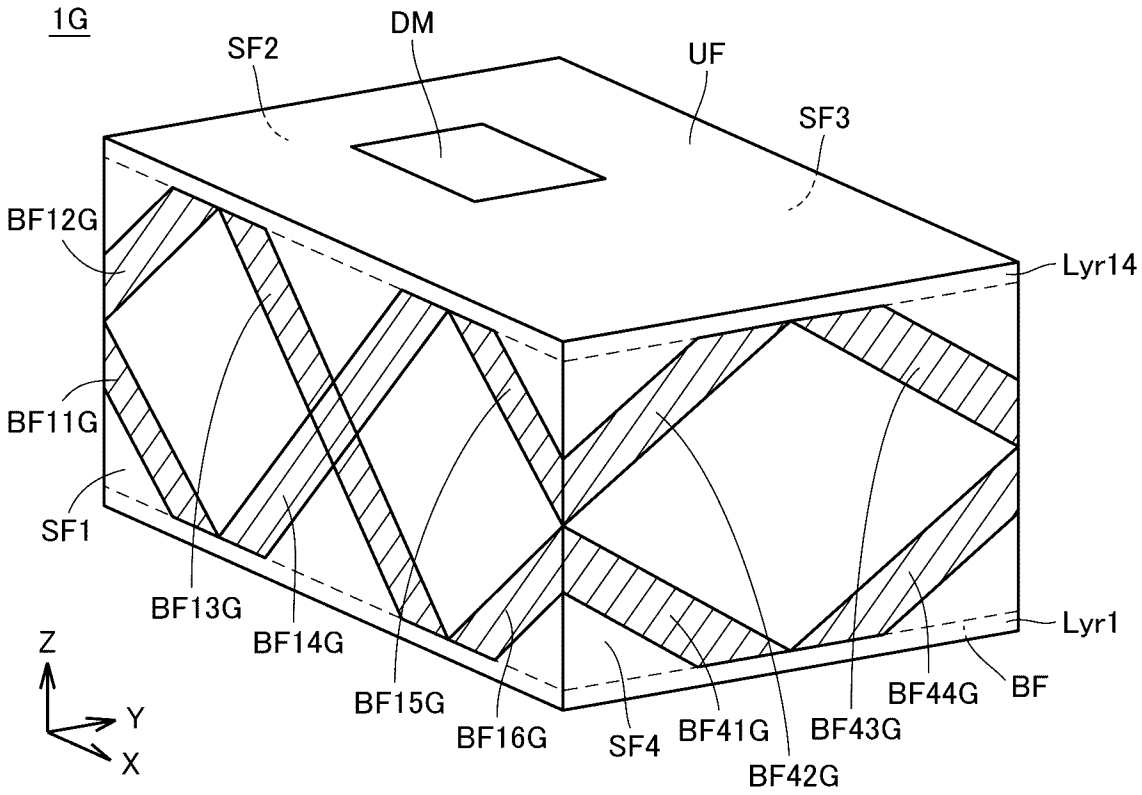
[図14]

FIG.14



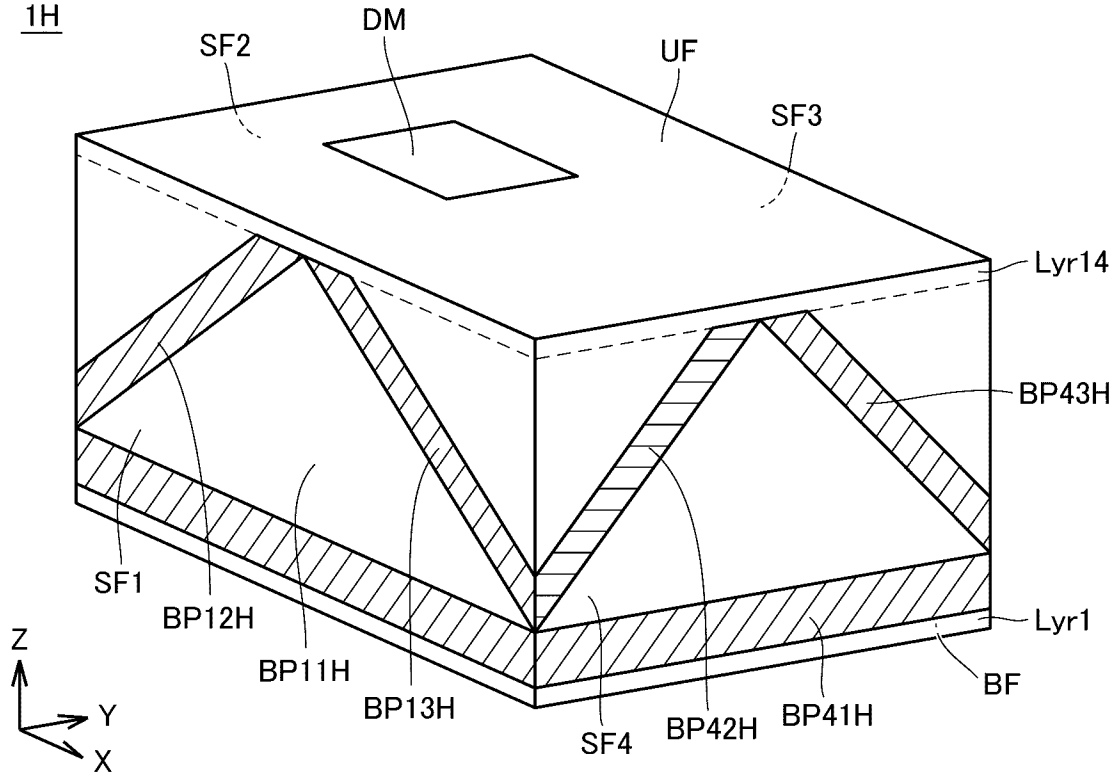
[図15]

FIG.15



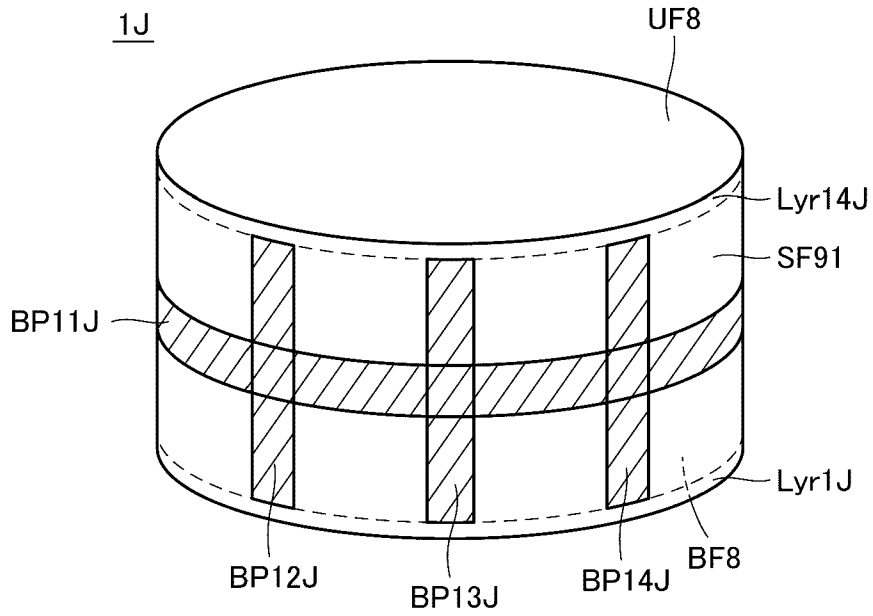
[図16]

FIG.16



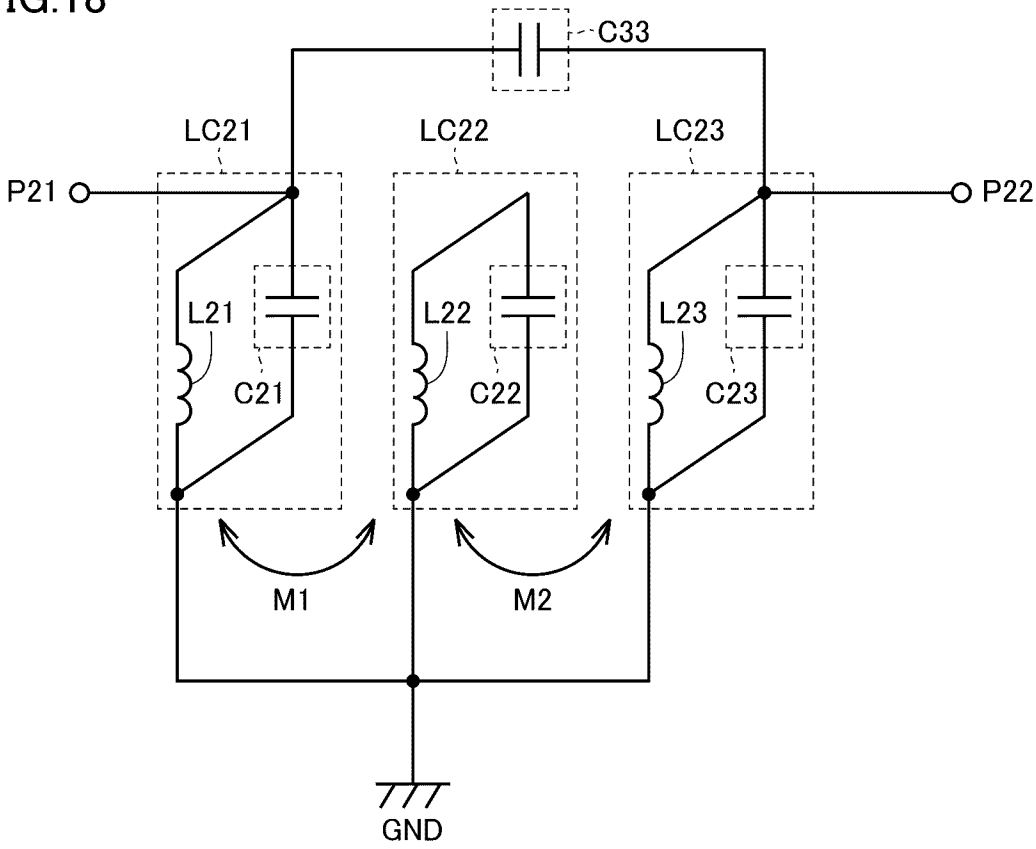
[図17]

FIG.17



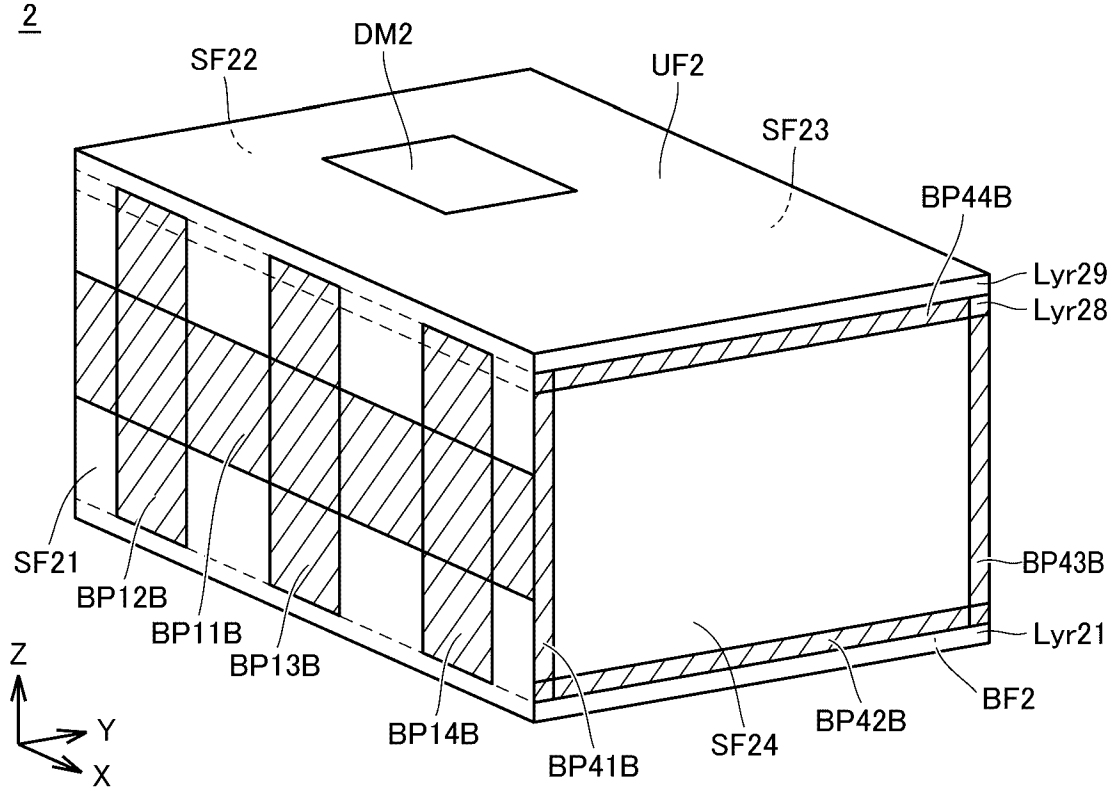
[図18]

FIG.18



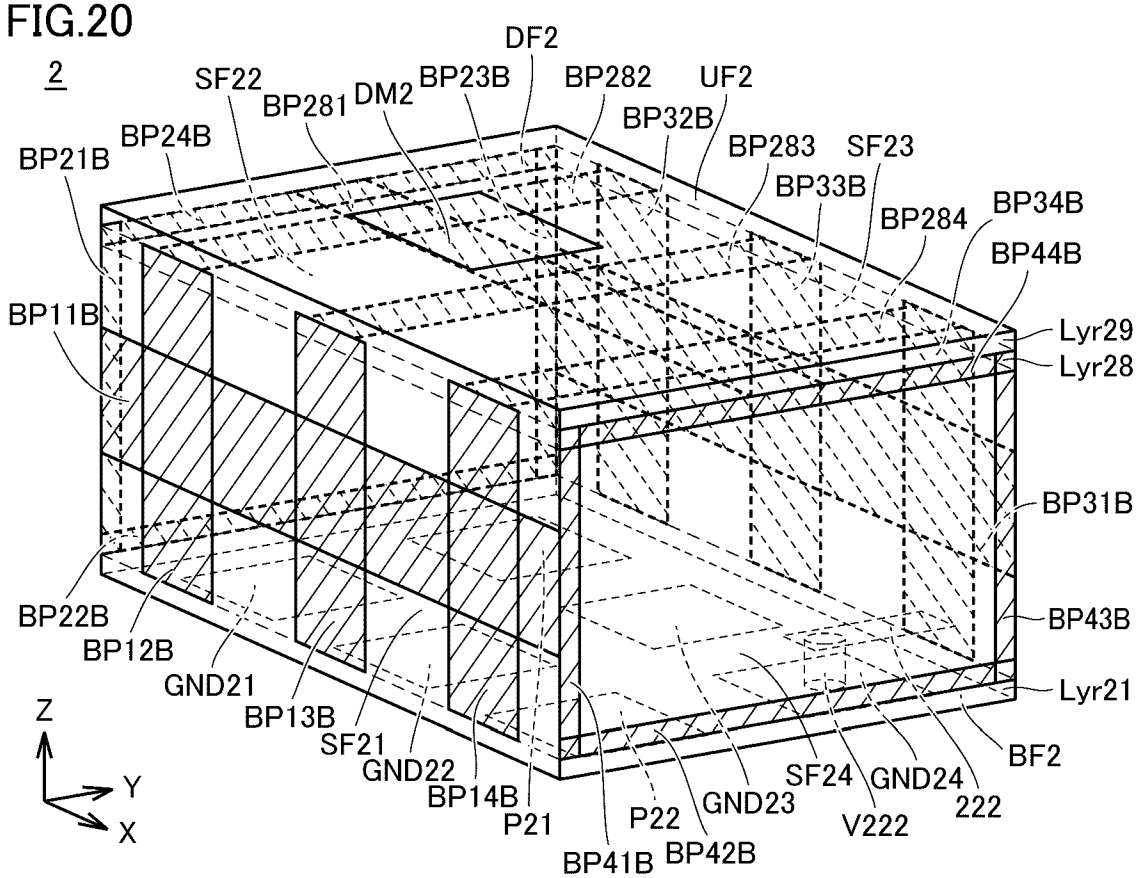
[図19]

FIG.19



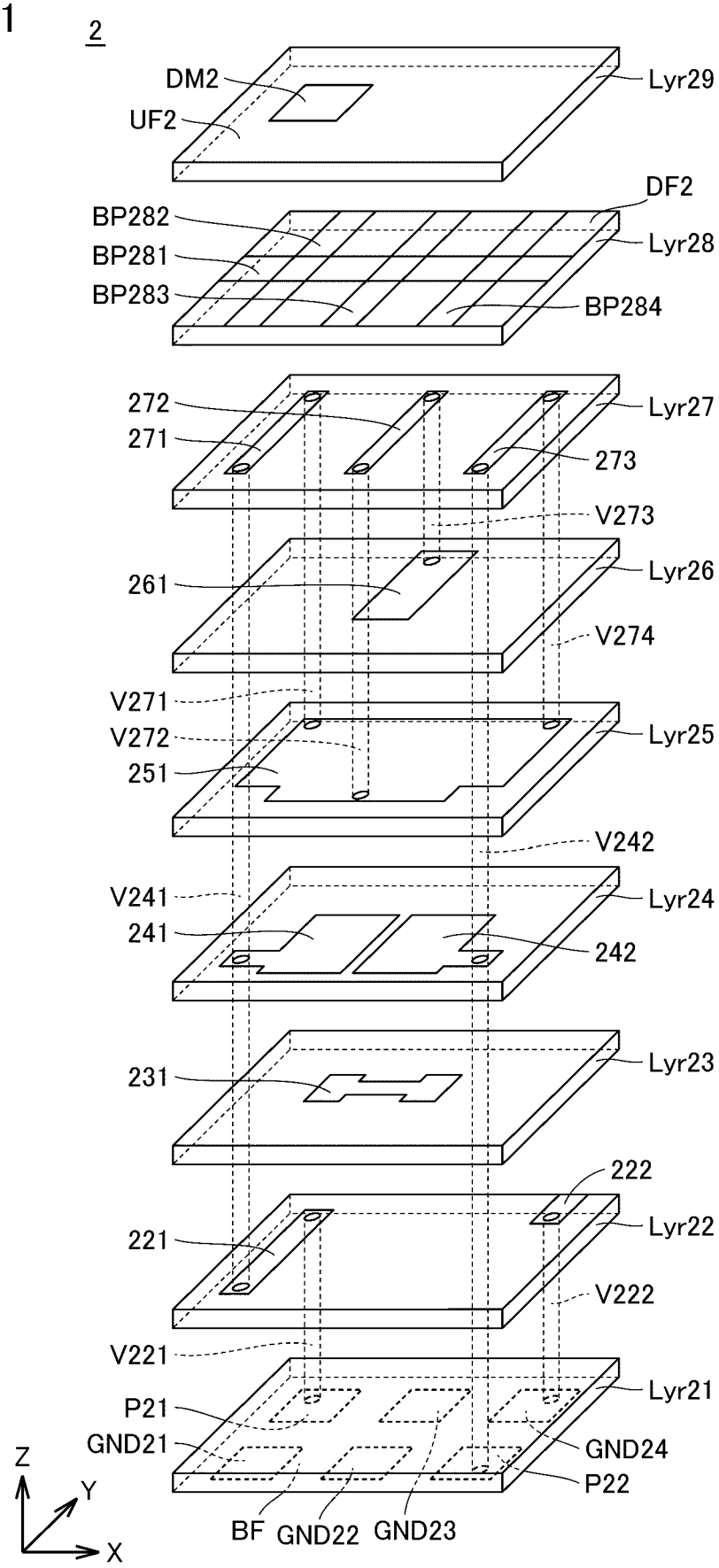
[図20]

FIG.20



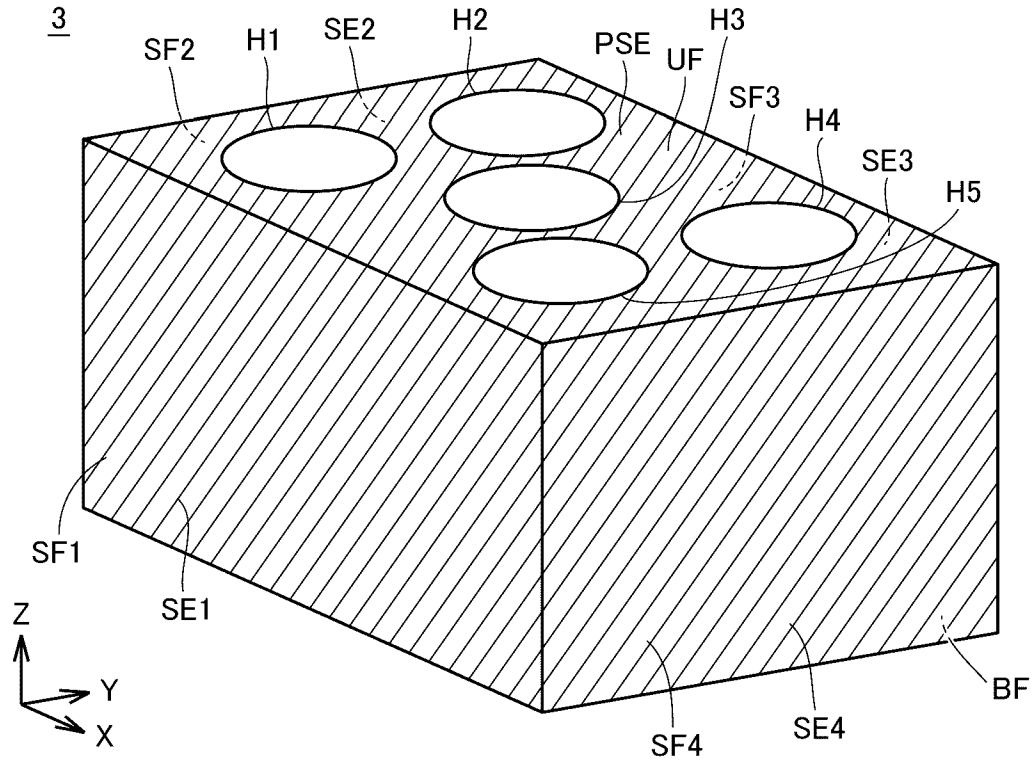
[図21]

FIG.21


2
DM2
UF2
Lyr29
DF2
BP282
BP281
BP283
Lyr28
BP284
272
271
Lyr27
273
V273
261
Lyr26
V274
V271
V272
251
Lyr25
V242
V241
241
Lyr24
242
231
Lyr23
222
221
Lyr22
V222
V221
P21
GND21
Lyr21
GND24
P22
BF
GND22
GND23
Z
Y
X

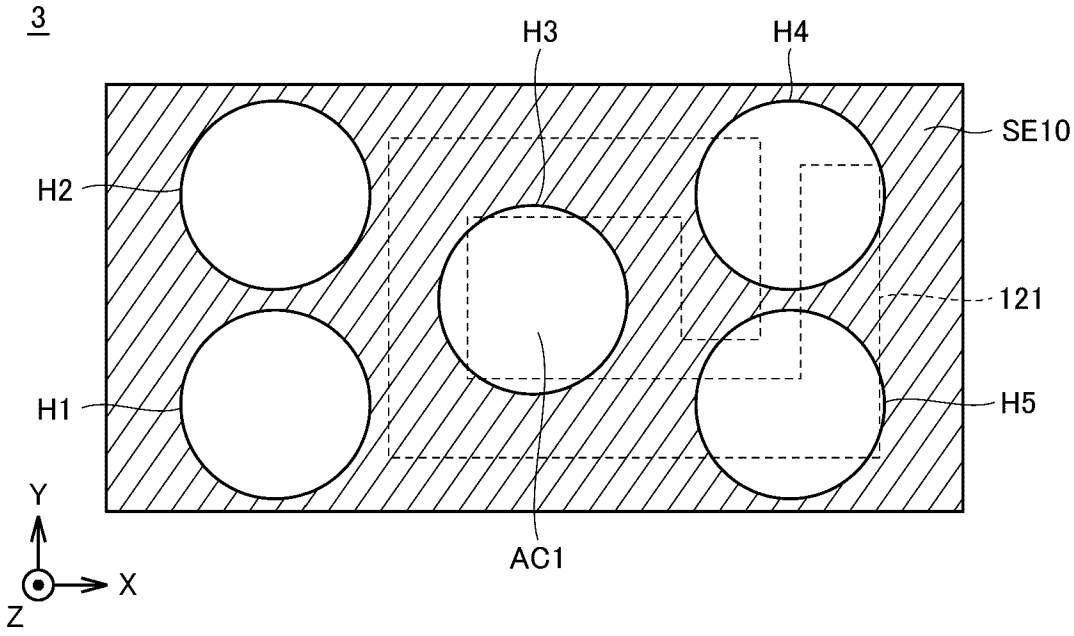
[図22]

FIG.22



[図23]

FIG.23



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/026771

A. CLASSIFICATION OF SUBJECT MATTER
H03H7/01(2006.01)i, *H05K9/00*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03H7/01, H05K9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 9-205018 A (Murata Mfg. Co., Ltd.), 05 August 1997 (05.08.1997), paragraph [0003]; fig. 12 (Family: none)	1,4-8,14 2,3,9-13
A	JP 2002-57543 A (Murata Mfg. Co., Ltd.), 22 February 2002 (22.02.2002), fig. 1 to 3 & US 2002/0057139 A1 fig. 1 to 3	1-14
A	JP 9-121093 A (TDK Corp.), 06 May 1997 (06.05.1997), fig. 1 to 5 (Family: none)	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 September 2017 (26.09.17)	10 October 2017 (10.10.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/026771

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-236024 A (Soshin Electric Co., Ltd.), 02 October 2008 (02.10.2008), paragraphs [0024] to [0044]; fig. 1 to 3 & US 2010/0033267 A1 paragraphs [0033] to [0053]; fig. 1 to 3 & WO 2008/114681 A1	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０２６７７１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03H7/01(2006.01)i, H05K9/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03H7/01, H05K9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X A	JP 9-205018 A (株式会社村田製作所) 1997.08.05, [0003], 図 12 (ファミリーなし)	1, 4-8, 14 2, 3, 9-13
A	JP 2002-57543 A (株式会社村田製作所) 2002.02.22, 図 1-3 & US 2002/0057139 A1, 図 1-3	1-14
A	JP 9-121093 A (ティーディーケイ株式会社) 1997.05.06, 図 1-5 (ファミリーなし)	1-14

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０９．２０１７	１０．１０．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　４１８３
橋本　和志
電話番号　０３－３５８１－１１０１　内線　３５７６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-236024 A (双信電機株式会社) 2008.10.02, [0024]-[0044], 図 1-3 & US 2010/0033267 A1, [0033]-[0053], 図 1-3 & WO 2008/114681 A1	1-14