

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月3日(03.12.2020)



(10) 国際公開番号

WO 2020/241102 A1

(51) 国際特許分類:

H03M 3/02 (2006.01) H04R 3/00 (2006.01)
H03M 1/18 (2006.01)

ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2020/016629

(22) 国際出願日: 2020年4月15日(15.04.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2019-099965 2019年5月29日(29.05.2019) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 高木 裕(TAKAGI Yutaka); 〒2430014 神奈川県厚木市旭町四丁目14番1号

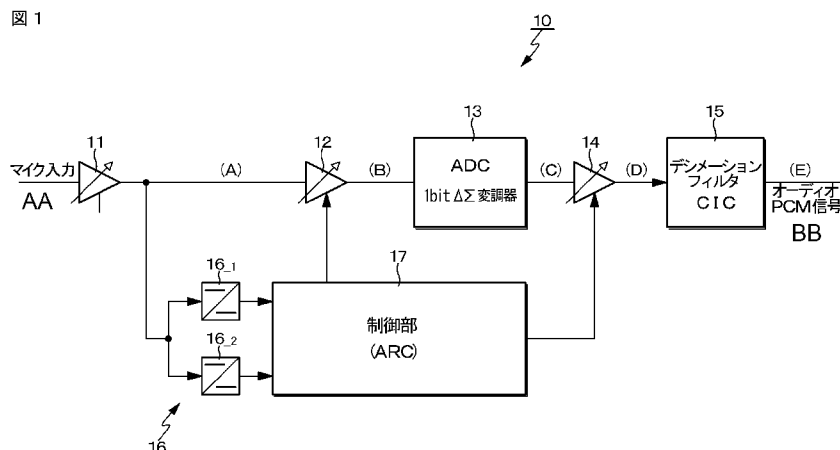
(74) 代理人: 山本 孝久, 外(YAMAMOTO Takahisa et al.); 〒1410032 東京都品川区大崎4丁目3番2号 秋葉ビル301号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) Title: ANALOG-DIGITAL CONVERSION DEVICE, CONTROL METHOD FOR ANALOG-DIGITAL CONVERSION DEVICE, AND AUDIO DEVICE

(54) 発明の名称: アナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置

図 1



13 ADC 1-bit $\Delta\Sigma$ modulator
15 Decimation filter CIC
17 Control unit (ARC)
AA Microphone input
BB Audio PCM signal

(57) Abstract: This analog-digital conversion device is provided with: a variable gain amplifier which amplifies an inputted analog signal; a digital-analog converter which converts the analog signal that has passed through the variable gain amplifier into a digital signal; an attenuator which attenuates the digital signal outputted from the digital-analog converter; a level detection unit which detects the level of the inputted analog signal; and a control unit to which the gain of the variable gain amplifier is inputted on the basis of a detection result obtained by the level detection unit, and which controls the amount of attenuation of the attenuator.

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本開示のアナログーデジタル変換装置は、入力されるアナログ信号を増幅する可変利得アンプ、可変利得アンプを経たアナログ信号をデジタル信号に変換するデジタルーアナログ変換器、デジタルーアナログ変換器から出力されるデジタル信号を減衰させる減衰器、入力されるアナログ信号のレベルを検出するレベル検出部、及び、レベル検出部の検出結果に基づいて、可変利得アンプの利得入力される、及び、減衰器の減衰量を制御する制御部を備える。

明 細 書

発明の名称：

アナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置

技術分野

[0001] 本開示は、アナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置に関する。

背景技術

[0002] 種々のオーディオ装置において、マイクロホン等から入力されるアナログのオーディオ信号をデジタル信号に変換するために、アナログーデジタル変換装置が用いられている。S/Nやダイナミックレンジを最大限に確保するために、オーディオ装置に用いられる、従来のアナログーデジタル変換装置は、マイク出力特性に応じて静的利得でアナログーデジタル変換器の入力前段にてレベル調整し、アナログーデジタル変換器の後段に配されたデシメーションフィルタの出力レベルを調整するようにしていた（例えば、特許文献1参照）。特許文献1には、アナログーデジタル変換装置のデルターシグマ変調器のフィードバックを改良することで、純粋に特性を改善する技術も開示されている。

また、オーディオ装置に用いられる、従来のアナログーデジタル変換装置では、アナログーデジタル変換器の後段に配されたデシメーションフィルタの出力レベルを検出し、その検出レベルを、アナログーデジタル変換器の前段に配された可変利得アンプにフィードバックし、当該可変利得アンプの利得を制御するようにしていた（例えば、特許文献2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-303157号公報

特許文献2：特開平8-18457号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 に記載の従来技術に係るアナログーデジタル変換装置は、デルタシーグマ変調器のフィードバック部を改良することで歪み特性を改善して許容入力レベルを引き上げているが、デルタシーグマ変調器の特性変更が困難である、という問題がある。

特許文献 2 に記載の従来技術に係るアナログーデジタル変換装置は、フィードバック制御であるために、信号レベルに応じて可変利得アンプの利得を制御する制御ループの応答性が遅い。具体的には、アナログーデジタル変換器の処理遅延、デシメーションフィルタの処理遅延、及び、レベル検出回路の処理遅延が存在する分だけ制御ループの応答性が遅い。このように、特許文献 2 に記載の従来技術では、制御ループの応答性が遅く、ノイズキャンセルに必要な応答性を保証できない、という問題がある。

[0005] 本開示は、信号レベルに応じて可変利得アンプの利得を制御する制御ループの応答性に優れたアナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置を提供することを目的とする。

課題を解決するための手段

[0006] 上記の目的を達成するための本開示のアナログーデジタル変換装置は、
入力されるアナログ信号を増幅する可変利得アンプ、
可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、
アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器、
入力されるアナログ信号のレベルを検出するレベル検出部、及び、
レベル検出部の検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量を制御する制御部を備える。

[0007] 上記の目的を達成するための本開示のアナログーデジタル変換装置の制御方法は、

入力されるアナログ信号を増幅する可変利得アンプ、
可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、及び、
アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器を備えるアナログーデジタル変換装置において、
入力されるアナログ信号のレベルを検出し、
その検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量の制御を行う。

[0008] また、上記の目的を達成するための本開示のオーディオ装置は、上記の構成のアナログーデジタル変換装置を有する。

図面の簡単な説明

[0009] [図1]図1は、本開示の実施形態に係るアナログーデジタル変換装置のシステム構成の概略を示すブロック図である。

[図2]図2は、本開示の実施形態に係るアナログーデジタル変換装置の具体的な回路例を示すブロック図である。

[図3]図3は、本開示の実施形態に係るアナログーデジタル変換装置のシステム内の各ポイントにおける入出力信号や制御信号の変化を示す概略模式図である。

[図4]図4は、可変利得アンプの利得0 dBが、アナログーデジタル変換器の許容最大入力に適切な場合のレベル・ダイアグラムである。

[図5]図5は、可変利得アンプの利得>0 dBが、アナログーデジタル変換器の許容最大入力に適切な場合のレベル・ダイアグラムである。

[図6]図6は、ARC回路のタイミング生成部、及び、制御値生成部のクロック周波数を選択している理由についての説明に供するタイミング・ダイアグラムである。

[図7]図7は、プリアンプの出力信号に対するエネルギー比較器の出力信号を示すタイミング・ダイアグラムである。

[図8]図8は、可変利得アンプからデジタル減衰器までの経路を示すブロック

図である。

[図9]図9 A及び図9 Bは、可変利得アンプの利得設定の動作例を示すタイミング・ダイグラムである。

[図10]図10 A及び図10 Bは、可変利得アンプの利得設定及びデジタル減衰器の減衰量設定の処理間隔を管理する3つのタイマーカウンタの動作例を示すタイミング・ダイグラムである。

[図11]図11は、プリアンプからのオーディオ信号の出力から、可変利得アンプの利得設定までの遅延時間についての説明図である。

[図12]図12は、512 f_s動作ブロックの実装例についての説明図である。

[図13]図13 A及び図13 Bは、128 f_s動作ブロックの実装例1についての説明に供するタイミング・ダイグラムである。

[図14]図14は、128 f_s動作ブロックの実装例2についての説明図である。

[図15]図15 Aは、128 f_s動作ブロックの実装例3についての説明図であり、図15 Bは、実装例3についての説明に供するタイミング・ダイグラムである。

[図16]図16は、128 f_s動作ブロックの実装例4における遅延タイマーの動作の一例を示すタイミング・ダイアグラムである。

[図17]図17は、本開示の実施形態に係るオーディオ装置のシステム構成の概略を示すブロック図である。

発明を実施するための形態

[0010] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではなく、実施形態における種々の数値などは例示である。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示のアナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置、全般に関する説明

2. 本開示の実施形態に係るアナログーデジタル変換装置

2-1. システム構成の概略

2-2. 具体的な回路例

2-2-1. デジタル減衰器について

2-2-2. エネルギー比較器について

2-2-3. 制御部について

2-2-4. システム内の各ポイントにおける入出力信号や制御信号について

2-2-5. 動作クロックについて

2-2-6. アナログーデジタル変換器による遅延時間について

2-2-7. 可変利得アンプの利得設定動作の遅延について

2-2-8. 利得と減衰量の制御タイミング差の設定について

2-2-9. 設定反映の遅延の実装について

2-2-10. レベル割り込みと可変利得アンプの利得設定について

2-2-11. 減衰量の設定について

2-3. 実施形態に係る制御方法、及び、作用、効果

2-4. 実装例

2-4-1. $512f_s$ 動作ブロックの実装例

2-4-2. $128f_s$ 動作ブロックの実装例1

2-4-3. $128f_s$ 動作ブロックの実装例2

2-4-4. $128f_s$ 動作ブロックの実装例3

2-4-5. $128f_s$ 動作ブロックの実装例4

3. 本開示の実施形態に係るオーディオ装置

4. 変形例

5. 本開示がとることができる構成

[0011] <本開示のアナログーデジタル変換装置、アナログーデジタル変換装置の制御方法、及び、オーディオ装置、全般に関する説明>

本開示のアナログーデジタル変換装置、その制御方法、及び、オーディオ

装置にあっては、入力されるアナログ信号を取り込んで可変利得アンプに供給するプリアンプを有する構成とすることができる。そして、レベル検出部について、プリアンプを経た後のアナログ信号のレベルを検出する構成とすることができる。また、レベル検出部について、互いに異なる閾値を有する複数の比較器を有する構成とすることができる。

[0012] 上述した好ましい構成を含む本開示のアナログーデジタル変換装置、その制御方法、及び、オーディオ装置にあっては、レベル検出部について、プリアンプの出力信号のバイアスよりも高い第1の閾値を有する第1の比較器、及び、プリアンプの出力信号のバイアスよりも低い第2の閾値を有する第2の比較器を有する構成とすることができる。そして、第1の比較器については、アナログ信号のレベルが第1の閾値よりも高いときに真の論理を出力し、第2の比較器については、アナログ信号のレベルが第2の閾値よりも低いときに真の論理を出力する構成とすることができる。また、レベル検出部について、第1の比較器の出力、及び、第2の比較器の出力の論理和を、アナログ信号の検出レベルとして出力する構成とすることができる。

[0013] また、上述した好ましい構成を含む本開示のアナログーデジタル変換装置、その制御方法、及び、オーディオ装置にあっては、プリアンプについて、可変利得アンプ及びレベル検出器の動作変化に対して、出力インピーダンスを一定にする役割を持つ構成とすることができる。

[0014] また、上述した好ましい構成を含む本開示のアナログーデジタル変換装置、その制御方法、及び、オーディオ装置にあっては、制御部について、減衰器の減衰量を、可変利得アンプの利得を相殺する値に制御する構成とすることができる。また、制御部について、減衰器の減衰量を、可変利得アンプの制御タイミングに対して一定のタイミング差を維持しながら制御する構成とすることができる。

[0015] また、上述した好ましい構成を含む本開示のアナログーデジタル変換装置、その制御方法、及び、オーディオ装置にあっては、アナログーデジタル変換器について、可変利得アンプを経たアナログ信号をオーバーサンプリング

し、アナログ信号の振幅に応じたパルス列の信号に変換するデルタ・シグマ変調器から成る構成とすることができる。

[0016] また、上述した好ましい構成を含む本開示のアナログ・デジタル変換装置、その制御方法、及び、オーディオ装置にあっては、デルタ・シグマ変調器から出力され、減衰器を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換するデシメーションフィルタを有する構成とすることができる。

[0017] <本開示の実施形態に係るアナログ・デジタル変換装置>

図1は、本開示の実施形態に係るアナログ・デジタル変換装置のシステム構成の概略を示すブロック図である。本実施形態に係るアナログ・デジタル変換装置10には、外部の図示せぬマイクロホン（以下、単に「マイク」と記述する場合がある）から、 n 系統（図1では、 $n=1$ ）のアナログのオーディオ信号が入力される（マイク入力）。

[0018] [システム構成の概略]

本実施形態に係るアナログ・デジタル変換装置10は、プリアンプ11、可変利得アンプ12、アナログ・デジタル変換器（ADC）13、デジタル減衰器14、デジタルフィルタの一例であるデシメーションフィルタ15、レベル検出部16、及び、制御部17を有する構成となっている。

[0019] アナログ・デジタル変換装置10は、制御部17による制御の下に、プリアンプ11を通して入力されるアナログのオーディオ信号を、可変利得アンプ12、アナログ・デジタル変換器13、デジタル減衰器14、及び、デシメーションフィルタ15を経由して、オーディオPCM（Pulse Code Modulation）信号として出力する。

[0020] 上記の構成のアナログ・デジタル変換装置10において、プリアンプ11は、利得が可変であり、前段のマイクロホンや、後段の可変利得アンプ12及びレベル検出部16の動作変化に対して、出力インピーダンスを一定にする役割を持っている。プリアンプ11は更に、入力側に接続されるマイクロホン（図示せず）に応じて適切な利得を設定する。

- [0021] 可変利得アンプ 12 は、例えば、プログラマブル利得アンプ (Programmable Gain Amp : PGA) から成り、プリアンプ 11 を通して入力されるアナログのオーディオ信号を、制御部 17 による制御の下に、レベル検出部 16 の検出レベルに応じて決定される利得 (増幅量) で増幅する。そして、可変利得アンプ 12 は、増幅したアナログのオーディオ信号を、オーバーサンプリングで動作している次段のアナログーデジタル変換器 13 に供給する。
- [0022] 可変利得アンプ 12 は、制御部 17 による制御の下に、マイク入力レベルが小さいときに利得がとなり大、マイク入力レベルが大きいときに利得が小となるような動作になる。マイク入力レベルが大→小の変化時には、緩やかなスロープでゆっくり (例えば、0.2 dB ステップ) 利得がアップする。そして、可聴帯域外の低い周波数になる周期でステップが変化する。マイク入力レベルが小→大 の変化時には、急峻なスロープで瞬時に利得がダウンする。これにより、アナログーデジタル変換器 13 の許容入力や、可変利得アンプ 12 の許容出力を瞬間的に超えるだけでも発生する全周波数帯域の付帯音を防ぐことができる。
- [0023] アナログーデジタル変換器 13 は、例えば、可変利得アンプ 12 で増幅されて入力されるアナログ信号 (オーディオ信号) をオーバーサンプリングし、アナログ信号の振幅に応じたパルス列の信号 (即ち、デジタル信号) に変換する 1 bit のデルタシグマ変調器 (以下、「 $\Delta\Sigma$ 変調器」と記述する) から成る。
- [0024] デジタル減衰器 14 は、オーバーサンプリングで動作しているアナログーデジタル変換器 13 の出力を、次段のデジタルフィルタでデシメーションする前に、減衰させる処理を行う。具体的には、デジタル減衰器 14 は、制御部 17 による制御の下に、アナログーデジタル変換器 13 から出力されるデジタルのオーディオ信号を、可変利得アンプ 12 での増幅量を相殺する減衰量を加味した値に変換する。アナログーデジタル変換器 13 の出力のビット数が 1 bit の場合は、単純な値のマッピングとなる。
- [0025] デジタルフィルタの一例であるデシメーションフィルタ 15 は、例えば、

C I C (Cascaded Integrator Comb: カスケード積分櫛形) フィルタから成る。このデシメーションフィルタ 15 は、アナログーデジタル変換器 13 から出力され、デジタル減衰器 14 を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換し、オーディオ P C M 信号として出力する。

[0026] デシメーションフィルタ 15 は、後段の回路が要求するサンプリング周波数に合わせてデシメーションを行ってオーディオ P C M 信号として出力する。代表的なサンプリング周波数は、 $4 f_s$ (f_s : fundamental sampling frequency), $8 f_s$, $16 f_s$ である。

[0027] レベル検出部 16 は、インピーダンスやプリアンプ 11 に設定される利得による影響を受けないように、その入力端がプリアンプ 11 の出力端に接続される。レベル検出部 16 は、 n 系統のアナログ入力に対して、 x 系統 (本例では、2 系統) のエネルギー比較器 16₁、16₂ を有している。2 系統のエネルギー比較器 16₁、16₂ は、互いに異なる閾値を有しており、プリアンプ 11 を経た後のアナログのオーディオ信号のレベルを検出する。以下、便宜上、エネルギー比較器 16₁ を C M P₁ と記述し、エネルギー比較器 16₂ を C M P₂ と記述する場合がある。

[0028] 制御部 17 は、例えば、A R C (Adaptive Range Control) 回路から成り、レベル検出部 16 の検出レベルに基づいて、可変利得アンプ 12 の利得、及び、デジタル減衰器 14 の減衰量を制御する。そして、制御部 17 は、可変利得アンプ 12 の制御タイミングとデジタル減衰器 14 の制御タイミングとを正確に設定する。この正確な制御タイミングについては、アナログーデジタル変換器 13 のトポロジーで決定できる固定遅延量、及び、バラツキを加味しても変動幅が小さい可変利得アンプ 12 の入出力遅延の特性から設定することができる。

[0029] 上述したように、本実施形態に係るアナログーデジタル変換装置 10 は、入力されるアナログ信号のレベルをレベル検出部 16 で検出し、その検出レベルに基づいて、可変利得アンプ 12 の利得、及び、デジタル減衰器 14 の

減衰量を制御するフィードフォワード制御の構成となっている。

[0030] [具体的な回路例]

図2は、本開示の実施形態に係るアナログーデジタル変換装置の具体的な回路例を示すブロック図である。ここでは、例えば2チャンネルのアナログオーディオ信号が、MIC1及びMIC2としてアナログーデジタル変換装置10に入力される場合の回路構成を例示している。

[0031] 従って、本回路例に係るアナログーデジタル変換装置10は、プリアンプ11₁、11₂、可変利得アンプ12₁、12₂、アナログーデジタル変換器13₁、13₂、デジタル減衰器14₁、14₂、デシメーションフィルタ15、エネルギー比較器16₁₁、16₁₂、エネルギー比較器16₂₁、16₂₂、及び、制御部17を有する構成となっている。

[0032] 上記の回路例に係るアナログーデジタル変換装置10において、PGAから成る可変利得アンプ12は、制御部17による制御の下に、デジタル値に応じて利得が設定される。本回路例では、0dBから6dBまで、例えば0.2dBステップで利得の制御が行われる。設定できる利得の可変幅が大きければ、その分だけ、ダイナミックレンジの拡大が期待できるが、ポップノイズの発生が顕著になるため、実用可変幅は3dB～6dB程度が好ましい。

[0033] 接続されるマイクロホン、プリアンプ11₁、11₂の利得、及び、アナログーデジタル変換器13₁、13₂の許容最大入力に応じて、可変利得アンプ12₁、12₂の最適利得が求められる。これは、プリアンプ11₁、11₂の出力を、アナログーデジタル変換器13₁、13₂の許容最大入力に近づける目的である。制御部17は、マイク入力レベルが小さいときに、可変利得アンプ12₁、12₂の利得が大きくなり、マイク入力レベルが大きいときに、可変利得アンプ12₁、12₂の利得が小さくなるように制御される。

[0034] 本実施形態に係るアナログーデジタル変換装置10では、プリアンプ11₁、11₂の利得を、ダイナミックレンジの可変幅よりも広い範囲が設定できるように構成する。ステップ幅については、実現可能な範囲内で小さい値がよ

い。その代表例は0. 2 d Bである。

[0035] 制御部17には、2チャンネルに対応して2つのARC回路171₁、171₂が設けられている。2つのARC回路171₁、171₂はそれぞれ、タイミング生成部171₁₁、171₂₁及び制御値生成部171₁₂、171₂₂を有している。ARC回路171₁のタイミング生成部171₁₁は、可変利得アンプ12₁の利得を制御するタイミングを決めるタイミング信号T₁を生成する。ARC回路171₂のタイミング生成部171₂₁は、可変利得アンプ12₂の利得を制御するタイミングを決めるタイミング信号T₂を生成する。

[0036] ARC回路171₁の制御値生成部171₁₂は、可変利得アンプ12₁の利得を制御する制御値N_{p1}、及び、デジタル減衰器14₁の減衰量を制御する制御値N_{a1}を生成する。ARC回路171₂の制御値生成部171₂₂は、可変利得アンプ12₂の利得を制御する制御値N_{p2}、及び、デジタル減衰器14₂の減衰量を制御する制御値N_{a2}を生成する。

[0037] 可変利得アンプ12₁、12₂の各利得の設定は、上記の構成の制御部17による制御の下に、2つのARC回路171₁、171₂の各制御値生成部171₁₂、171₂₂で生成される制御値（設定値）N_{p1}、N_{p2}によって行われる。更に、遷移期間中の利得については、設定前後の中間利得になるように設定される。また、デジタル減衰器14₁、14₂の各減衰量の設定は、上記の構成の制御部17による制御の下に、2つのARC回路171₁、171₂の各制御値生成部171₁₂、171₂₂で生成された制御値N_{a1}、N_{a2}によって行われる。

[0038] ここで、アナログーデジタル変換器13₁、13₂の代表的な動作速度及びビット幅について説明する。アナログーデジタル変換器13₁、13₂は、128f_s（f_s: fundamental sampling frequency, 44. 1 kHz / 48 kHz）で1 bitである。制御部17に設けられるディザ回路172₁、172₂についても1 bitである。

[0039] 上記の構成のアナログーデジタル変換装置10において、プリアンプ11₁、11₂、可変利得アンプ12₁、12₂、エネルギー比較器16₁₁、16₁₂、

及び、エネルギー比較器 16₂₁、16₂₂は、アナログ・ブロックを構成し、アナログーデジタル変換器 13₁、13₂、デジタル減衰器 14₁、14₂、デシメーションフィルタ 15、及び、制御部 17は、デジタル・ブロックを構成している。

[0040] 尚、半導体プロセスとして、アナログ・ブロック側とデジタル・ブロック側とで異なるプロセスを利用する際には、デジタル構成のアナログーデジタル変換器 13₁、13₂及びディザ回路 172₁、172₂についてはアナログ・ブロック側のプロセスとする。

[0041] 尚、ここでは、アナログーデジタル変換器 13₁、13₂の動作速度及びビット幅について、128 f_sで1 bitを例示したが、これに限られるものではない。例えば、64 f_sや128 f_sで3 bit、ディザ回路 172₁、172₂について2 bitなどであってもよく、アナログーデジタル変換器 13₁、13₂について、特に制約はない。

[0042] (デジタル減衰器について)

次に、デジタル減衰器 14 (14₁、14₂) の回路構成について説明する。1 bitのアナログーデジタル変換器の場合は、減衰量に応じた固定値へのマッピングで実現できる。本回路例では、16 bitにマッピングしている。3 bitのアナログーデジタル変換器など多ビットのアナログーデジタル変換器の場合は、減衰処理を乗算器による乗算や、マッピングした値のビット数分の加算のような筆算式の乗算などの方法で実現できる。

[0043] 減衰ステップについては、可変利得アンプ 12の利得ステップと同じステップ量を実現する。可変利得アンプ 12の利得ステップが0.2 dBの場合は、減衰ステップの許容される最大値は0.2 dBである。実装を簡易にするため、デジタル減衰器 14のステップ量は可変利得アンプ 12のステップ量と同じ、もしくは、2の階乗分の1、0.1 dB, 0.05 dB, 0.025 dB, ...で定義する。

[0044] より細かいステップ設定については、デシメーションフィルタ 15の出力の0 dB FSを正確に定義できるメリットがある。大抵、デシメーションフ

ィルタ 15 の出力を 24 b i t や 32 b i t など、より広いダイナミックレンジの広い P C M 信号のビット幅で運用するが、複数チャンネルのマイク入力の基準と、アナログーデジタル変換器 13 の出力の 0 d B F S (F S : F u l l S c a l e) とを合わせる際に有効である。複数チャンネル間のレベル合わせの乗算処理を、複数箇所で行う必要がなくなる。但し、回路規模との兼ね合いで決定する。

[0045] (エネルギー比較器について)

次に、レベル比較部 16 を構成するエネルギー比較器 16₁ (16₁₁、16₁₂) 及びエネルギー比較器 16₂ (16₂₁、16₂₂) について説明する。

[0046] エネルギー比較器 16₁、16₂は、エネルギーによって比較値との比較結果の真偽を出力する。1つのエネルギーに対して、プリアンプ 11 (11₁、11₂) の出力信号のバイアスと比較して、高い閾値 (第 1 の閾値) を有するエネルギー比較器 16₁、及び、低い閾値 (第 2 の閾値) を有するエネルギー比較器 16₂で入力信号を検出する。

[0047] 閾値がバイアスよりも高い側のエネルギー比較器 16₁は、閾値よりも高い入力の際に真の論理を出力する。閾値がバイアスよりも低い側のエネルギー比較器 16₂は、閾値よりも低い入力の際に真の論理を出力する。そして、それら 2 つのエネルギー比較器 16₁、16₂の出力の論理和がエネルギーの比較結果となる。エネルギーの閾値が、最低でも 2 つ設定できるように構成する。

[0048] エネルギーの閾値の設定例については、次の通りである。すなわち、アナログーデジタル変換器 13 が無歪みで出力できるアナログーデジタル変換器 13 への入力レベルを 0 d B とし、可変利得アンプ 12 の利得を制御可変幅の下限值を設定したときに、アナログーデジタル変換器 13 の入力レベルが -6 d B と -9 d B となるプリアンプ 11 の出力レベルに設定する。閾値の大きい方については、可変利得アンプ 12 に設定する最大利得の逆数に等しく、次の閾値についてはその 3 d B 小さい値に設定する。

[0049] (制御部について)

次に、A R C回路から成る制御部 1 7 について説明する。制御部 1 7 は、2 レベルのエネルギー比較器 1 6₁、1 6₂の出力信号を優先付非同期のレベル割り込み信号として扱い、当該レベル割り込み信号に応じて、可変利得アンプ 1 2 の利得を制御する。制御部 1 7 は更に、レベル割り込み信号に応じて、デジタル減衰器 1 4 の減衰量を設定する。

[0050] 制御部 1 7 は、デジタル減衰器 1 4 の減衰量について、可変利得アンプ 1 2 の制御タイミングに対して常に一定のタイミング差を維持しながら、可変利得アンプ 1 2 の利得を相殺する値に制御する。デジタル減衰器 1 4 の制御タイミングについては、可変利得アンプ 1 2 の制御タイミングに、アナログーデジタル変換器 1 3 の構成による理論遅延クロック・サイクル、及び、エネルギー比較器 1 6₁、1 6₂と可変利得アンプ 1 2 の入出力間遅延の差を考慮した時間分のクロック・サイクルを追加して生成する。

[0051] 制御部 1 7 は、上記のレベル割り込み信号に応じて決定される目標の可変利得アンプ 1 2 の利得設定値よりも、現在の可変利得アンプ 1 2 の利得設定値が高い場合には、即座に、可変利得アンプ 1 2 を低い目標利得に制御する。制御部 1 7 は、目標の可変利得アンプ 1 2 の利得設定値よりも、現在の可変利得アンプ 1 2 の利得設定値が低い場合には、割り込みタイミングによって一時的にスロープが変化しないように制御する。

[0052] 制御部 1 7 は、一定の利得変化のスロープを維持しながら、ステップ的に可変利得アンプ 1 2 の利得を制御する。ステップ的に制御するタイミングについては、可聴帯域よりも低い周波数の周期よりも長くする。但し、ステップ周期を 1 秒間隔など長く設定すると、アナログーデジタル変換器 1 3 のビット数やディザ回路の構成によっては回避不可能な、アナログーデジタル変換器 1 3 の量子化によるスプリアス成分で発生する雑音に音色が付く現象に気づくことがある。その場合、ステップ周期について、3 0 0 m s など可聴帯域外の高めの周波数の周期に設定する。

[0053] (システム内の各ポイントにおける入出力信号や制御信号について)

続いて、図 1 に示すアナログーデジタル変換装置 1 0 のシステム内の各ポ

イント（Ａ）～（Ｅ）における入出力信号や制御信号について説明する。

- [0054] 図３は、システム内の各ポイントにおける入出力信号や制御信号の変化を示す概略模式図である。図３の横軸は時間である。マイク入力はアナログ信号であるが、図３では、理解を容易にするために、ステップ信号を与えて図示している。尚、図３の（Ａ）～（Ｅ）は、図１の各ポイント（Ａ）～（Ｅ）の各波形を表している。
- [0055] 図３において、１段目は、プリアンプ１１の出力信号であり、可変利得アンプ１２の入力信号 $P G A_{in}$ の波形を表している。２段目は、エネルギー比較器１６_１及びエネルギー比較器１６_２によって設定される可変利得アンプ１２の目標利得である。３段目は、ＡＲＣ回路から成る制御部１７が可変利得アンプ１２に設定する利得である。４段目は、制御部１７がデジタル減衰器１４に設定する減衰量である。
- [0056] ５段目は、１段目の可変利得アンプ１２の入力信号 $P G A_{in}$ に３段目の可変利得アンプ１２の利得が反映された可変利得アンプ１２の出力信号 $P G A_{out}$ であり、アナログーデジタル変換器１３の入力信号 $A D C_{in}$ の波形を表している。６段目は、１ｂｉｔのアナログーデジタル変換器１３によってＰＤＭ（Pulse Density Modulation）信号に変換された後の信号 $A D C_{out}$ の波形を表している。
- [0057] ７段目は、アナログーデジタル変換器１３の出力信号 $A D C_{out}$ が４段目の減衰量で減衰処理された後の信号であり、デシメーションフィルタ１５の入力信号 $C I C_{in}$ の波形を表している。８段目は、最後に、デシメーションフィルタ１５でＰＣＭ化された後の信号 $M I C (C I C)_{out}$ の波形を表している。
- [0058] 定常状態における各ステージのレベル・ダイアグラムを図４及び図５に示す。図４は、可変利得アンプ１２の利得０ｄＢが、アナログーデジタル変換器１３の許容最大入力に適切な場合のレベル・ダイアグラムである。尚、図４及び図５において、ポイント（Ａ）～（Ｄ）は、図１のポイント（Ａ）～（Ｄ）に対応している。通常、図４及び図５におけるエネルギー比較器１６_１（ $C M P_{1}$ ）の閾値は、最大許容入力レベルの－６ｄＢ、エネルギー比較器１

6₂ (CMP₂) の閾値は、最大許容入力レベルの -9 dB のレベルに設定する。

[0059] 図5は、可変利得アンプ12の利得>0 dBが、アナログーデジタル変換器13の許容最大入力に適切な場合、換言すれば、可変利得アンプ12の利得が0 dBでは、外部入力が最大でもアナログーデジタル変換器13の入力レンジを有効に使えない場合のレベル・ダイアグラムである。可変利得アンプ12の利得を0 dBではなく、最小利得 p_{min} に設定している。0 dB FSは、外部入力の最大値に設定される。デシメーションフィルタ15でPCM化された後のオーディオPCM信号のビット幅を24 bit程度確保できずに切り詰めないときの対応である。

[0060] (動作クロックについて)

図2のブロック図において、プリアンプ11₁、11₂、可変利得アンプ12₁、12₂、エネルギー比較器16₁₁、16₁₂、及び、エネルギー比較器16₂₁、16₂₂は、アナログ回路で構成されている。その他の構成要素は、動作時にクロック供給を必要とするデジタル回路で構成されており、遅延のないリアルタイム性が要求される。従って、動作クロックの源振は全ての構成要素で共通である。割り込み検出以外、制御に非同期乗り換えが不要なインターフェースで構成される。

[0061] 基本的なサンプリング周波数 f_s を定義する。オーディオのため、サンプリング周波数 f_s は、44.1 kHzもしくは48 kHzで代表する。この場合、源振のクリスタル発振器の発信周波数は、512 f_s 、即ち、22.5792 MHzもしくは24.576 MHzである。デジタルーアナログ変換器やデジタル・アンプが接続される出力側は、クロックのジッタが影響を与えるため、クリスタル発振器を必要とする。

[0062] 本システムがクリスタル発振器を直接要求する訳ではないが、アナログーデジタル変換器とデジタルーアナログ変換器とを同時に扱う際には、デジタルーアナログ変換器側で利用するクリスタル発振器に周波数は依存する。そのため、無線システムなど位相雑音が気になるシステム内に組み込まれる場

合は、デジタルーアナログ変換器と無線部とでXクリスタル発振器を共有することがBOM (Bill Of Materials) の観点では望ましく、サンプリング周波数 f_s は若干高い周波数となる。無線システムなどでは26MHzや32MHzがよく利用される。これらを $512f_s$ として、サンプリング周波数 f_s は、50.78125kHzや62.5kHzとして扱う。

[0063] アナログーデジタル変換器13を $128f_s$ で動作させる場合、図2のデジタル・ブロックの動作周波数は以下になる。

1. 制御部17のブロック

ARC回路171₁、171₂のタイミング生成部171₁₁、171₂₁: $128f_s \times 4 = 512f_s$

2. 制御部17のブロック

ARC回路171₁、171₂の制御値生成部171₁₂、171₂₂: $128f_s$

3. 制御部17のブロック

ディザ回路: $256f_s$ RZ 信号生成、 $128f_s$ NRZ 信号生成

4. デジタル減衰器14及びデシメーションフィルタ15: $128f_s \times N$ (N: 演算器共有時2以上)

[0064] ここで、ARC回路171₁、171₂のタイミング生成部171₁₁、171₂₁、及び、制御値生成部171₁₂、171₂₂のクロック周波数を選択している理由について、図6のタイミング・ダイアグラムを用いて説明する。

[0065] ・アナログーデジタル変換器13₁、13₂の動作クロックと同じ周波数で可変利得アンプ12₁、12₂の制御値の設定を実現する際に、制御値が変化しただけにのみ、可変利得アンプ12に制御値を設定するためのタイミング信号CHGを発行する。タイミング信号CHGは、図2のタイミング信号T₁、T₂に相当し、タイミング生成部171₁₁、171₂₁で生成される。

・タイミング信号CHGは、制御値の変化を検出したら高レベルに遷移し、次のサイクルでは必ず低レベルとなる。

・可変利得アンプ12に制御値の最小変化幅の半分のパルス幅で、かつ、タ

イミング信号CHGの変化点が、可変利得アンプ12に制御値の変化点と重ならないように生成する。アナログーデジタル変換器13₁、13₂のサンプリング周波数の4倍が適切である。

・エネルギー比較器16₁、16₂はレベル信号として取り込む。非同期入力信号であるため、同期化クロックの最長で2サイクル遅延が発生する。同期化クロックについては、アナログーデジタル変換器13₁、13₂のサンプリング周波数の4倍が適切である。

[0066] 図7に、可変利得アンプ12₁、12₂の入力信号PGA_{in}であるプリアンプ11₁、11₂の出力信号に対する、エネルギー比較器16₁、16₂の出力信号AIN_xCMP₁、AIN_xCMP₂のタイミング・ダイアグラムを示す。

[0067] プリアンプ11₁、11₂の出力信号の電力が、指定した値CMP_xH₁VTH、CMP_xL₁VTH/CMP_xH₂VTH、CMP_xL₂VTHを越えたときにハイ(Hi)アクティブでアサートする、割り込みソースとする。1系統の割り込みは、バイアス(bias)の+側と-側2つ1組の比較出力AIN_xCMP₁、AIN_xCMP₂で生成する。割り込みについては、2系統もしくは2系統以上準備し、同時に割り込みがアサートするときには、電力閾値がより大きい方を優先的に扱う。エネルギー比較器16₁をCMP₁の方に大きい値を設定する前提で動作させる場合、エネルギー比較器16₁の方が優先割り込みとなる。

[0068] ここで、制御部17のARC回路171₁、171₂によるデジタル減衰器14₁、14₂の減衰量の制御について説明する。

[0069] 可変利得アンプ12₁、12₂の利得設定後、可変利得アンプ12₁、12₂及びアナログーデジタル変換器13₁、13₂の固有遅延にタイミングを合わせて、ARC回路171₁、171₂内の制御値生成部171₁₂、171₂₂が補正用の減衰量を制御値MIC_xVOLとして出力する。制御値MIC_xVOLは、図2の制御値N_{a1}、N_{a2}に相当する。

[0070] デジタル減衰器14₁、14₂は、CMP₁VOLの設定値を最小利得p_{min}と解釈して、可変利得アンプ12₁、12₂の利得を最小利得p_{min}に設定した

際に制御値 MIC_xVOL が 0 dB になるように制御する。ARC 回路 171_1 、 171_2 とデジタル減衰器 14_1 、 14_2 との間のインターフェースは、減衰量ではなく、負の利得を 0.05 dB ステップでマッピングしたボリューム値である。

$$MIC_xVOL + PGA_VOL = CMP_1_VOL$$

の関係である。

[0071] (アナログーデジタル変換器による遅延時間について)

制御部 17 は、可変利得アンプ 12_1 、 12_2 の利得の制御と、デジタル減衰器 14_1 、 14_2 の減衰量の制御とを、適切な時間間隔で実施する。図 8 に、可変利得アンプ 12 (12_1 、 12_2) からデジタル減衰器 14 (14_1 、 14_2) までの経路を示す。

[0072] アナログーデジタル変換器 13 (13_1 、 13_2) による遅延時間は、トポロジーで一意に決まる。回路から $STF(f)$ (STF : Signal Transfer Function) を求め、 $\arg(STF(f)) / 2\pi f$ で遅延時間 Δt を求めることができる。 f は 20 kHz として計算する。 $f_s = 48\text{ kHz}$ 、 44.1 kHz と、利用するクリスタル発振器や基準クロックによって様々であるが、サイクル数は、サンプリング f_s や動作クロックに依らずトポロジーによって一定である。

[0073] 小数点以下の端数は可変利得アンプ 12_1 、 12_2 の遅延と合わせて判断する。制御部 17 の動作クロックは、 $512 f_s$ であるため、 $512 f_s$ クロックによるサイクル数で換算しても良いが、アナログ部でバラつくため精度は $512 f_s$ までは追い込まず、タイミング調整を含めた制御部 17 本体はアナログーデジタル変換器 13 と同じ周波数である $128 f_s$ で動作させる。

一例として、ある 3 次の $\Delta\Sigma$ 変調器の場合、 $128 f_s$ で 8.4 サイクルである。

[0074] (可変利得アンプの利得設定動作の遅延について)

可変利得アンプ 12 (12_1 、 12_2) は、アナログ・ブロックのため、遅延バラツキがあるが、実設計では、 $128 f_s$ クロックの 1 サイクル程度に遅

延を収めることが可能である。また、可変利得アンプ 12 の利得によっても異なるが、可変利得アンプ 12 の利得範囲が 0 ～ 6 dB 程度では、 $1/28 f_s$ クロックの 2 サイクルから 4 サイクルの範囲内に遅延を収めることが可能なため、遅延バラツキに対しては固定サイクル数で補正する。

[0075] 設定利得に応じて遅延時間が変化するため、遅延設定サイクルは可変とする。利得が大→小への変化はステップが大きく即座に行うため、利得が小の方の遅延値で補正する。利得が小→大への変化は 0.2 dB のように小さなステップで非常にゆっくり行うため、現在の可変利得アンプ 12 の制御値に対して適切な遅延値で補正する。

[0076] 実例では、0 dB 時と 6 dB 時の補正ステップ数の差が 1.5 程度のため、利得が小→大の変化時の補正ステップ値と、利得が大→小の変化時の補正ステップ値との 2 つだけでの運用も可能である。

[0077] アナログ遅延のため、基準クロックによる f_s の周波数に応じてサイクル数は変化する。可変利得アンプ 12 の利得 (PGA gain) に対する最小遅延時間 (Min. ns)、通常遅延時間 (Typ. ns)、最大遅延時間 (Max. ns) の関係 ($\Delta \Sigma$ 変調器同等の入力容量 (5 pF) による可変利得アンプ 12 の遅延) を表 1 に示す。また、可変利得アンプ 12 の利得 (PGA gain) に対する f_s 周波数、最小サイクル (Min. cycle)、通常サイクル (Typ. cycle)、最大サイクル (Typ. cycle) の関係 (可変利得アンプ 12 の遅延用の $1/28 f_s$ サイクル) を表 2 に示す。動作クロック周波数による変化があるので、システム全体で f_s を定義しているレジスタ値を参照して補正值サイクル数が変化できるようにする。

[0078]

PGA gain	Min. ns	Typ. ns	Max. ns
0dB	261.3	361.9	489.3
6dB	445.6	604.8	796.1

[0079]

PGA gain	f_s Hz	Min.cycle	Typ.cycle	Max.cycle
0dB	44.1k	1.47	2.04	2.76
0dB	48k	1.61	2.22	3.01
0dB	26M/512	1.70	2.35	3.18
6dB	44.1k	2.52	3.41	4.49
6dB	48k	2.74	3.72	4.89

[0080] (利得と減衰量の制御タイミング差の設定について)

次に、可変利得アンプ12の利得制御のタイミングと、デジタル減衰器14の減衰量制御のタイミングとのタイミング差の設定について説明する。

[0081] 一例では、アナログーデジタル変換器13を構成する $\Delta\Sigma$ 変調器の遅延、及び、可変利得アンプ12の遅延を合算すると、アナログーデジタル変換器13の動作クロック周波数が $1/28_s$ の場合、約11サイクル又は12サイクルになる。以下のように、 $\Delta\Sigma$ 変調器の遅延共通サイクル8を引き、別々に設定可能にしておく。

減衰量の設定が小→大のときに、 $\Delta\Sigma$ 変調器の遅延以外で3サイクル

減衰量の設定が大→小のときに、 $\Delta\Sigma$ 変調器の遅延以外で4サイクル

[0082] 可変利得アンプ12の利得を設定してから、 $\Delta\Sigma$ 変調器の遅延8サイクルと、上記の可変利得アンプ12の遅延を合算したサイクルだけ遅延させた後、デジタル減衰器14の減衰量を設定する。実装の都合で、パイプラインを挿入する場合、パイプラインのサイクル数だけレジスタの設定推奨値を減らす。

[0083] (設定反映の遅延の実装について)

シフト・レジスタで遅延させる構成をとるものとする、フリップフロップの数が100個と1kゲート規模になってしまう。ローパスフィルタの時定数で実現するものとする、ゲートクロックが推論されず、HALT機能とHALT clock構成にしないと乗算・加算回路が常時動作し消費電力が無駄である。

[0084] 図8の外部入力の小→大の変化時には、即時に、可変利得アンプ12の利

得及びデジタル減衰器 14 の減衰量を設定する必要があるため、仮に、エネルギー比較器 16₁, 16₂からの割り込みが2つ連続して入力される場合、利得設定及び減衰量設定の処理間隔を、それぞれの割り込みに対して別々に計測して各設定を実施する必要がある。

[0085] 一方、外部入力が大→小の変化時には、0.025秒程度の差で可変利得アンプ12の利得及びデジタル減衰器14の減衰量を設定するため、動作クロック周波数が128 f_sであってもサイクル数に余裕がある。FSM (Finite State Machine: 有限状態機械) の遷移間隔を、可変利得アンプ12の利得設定及びデジタル減衰器14の減衰量設定の処理間隔よりも遅くできる。

[0086] よって、実装・検証のしやすさと、消費電力の観点から、可変利得アンプ12の利得設定及びデジタル減衰器14の減衰量設定の処理間隔を管理するタイマーカウンタを3つ準備し、FSMで実装する。

[0087] 可変利得アンプ12の利得設定の動作例のタイミング・ダイグラムを図9A及び図9Bに示す。図9A及び図9Bには、エネルギー比較器16₁ (CMP₁) の出力信号、エネルギー比較器16₂ (CMP₂) の出力信号、可変利得アンプ12の目標利得、及び、可変利得アンプ12の利得PVOLを示している。

[0088] 可変利得アンプ12の利得設定及びデジタル減衰器14の減衰量設定の処理間隔を管理する3つのタイマーカウンタの動作例のタイミング・ダイグラムを図10A及び図10Bに示す。図10A及び図10Bには、CMP₁の出力信号、CMP₂の出力信号、可変利得アンプ12の目標利得、可変利得アンプ12の利得PVOL、及び、デジタル減衰器14の減衰量MVOLを示している。

[0089] 可変利得アンプ12の利得PVOLを下げるタイミングは即時である。可変利得アンプ12の利得PVOLを上げていくタイミング間隔は常に一定になるように制御する。可変利得アンプ12の利得PVOLの設定、及び、デジタル減衰器14の減衰量MVOLの設定の遅延も、設定以外のタイミングにならないように、換言すれば、時間差が一定になるように制御する。

[0090] (レベル割り込みと可変利得アンプの利得設定について)

エネルギー比較器 16₁ (CMP₁) の出力信号、及び、エネルギー比較器 16₂ (CMP₂) の出力信号については、レベル割り込みとして扱う。2 系統の割り込みは、512 f_s のクロックで非同期乗り換えした後、それぞれイネーブルレジスタによって割り込みを利用するか否かを決定する。両方有効の際には、優先付き割り込みとして、CMP₁ を優先的に処理する。

[0091] よって、CMP₁ の閾値設定レジスタ CMP_nH_xVTH に電力を大きく設定し、割り込み要求を処理する際に設定する可変利得アンプ 12 の利得設定レジスタ CMP_xVOL については、CMP₁ の方に小さな利得を設定する。アナログ入力系統 n とエネルギー比較器の系統 x 毎に設定値のレジスタを準備する。

[0092] より優先度の高い割り込みが存在しない場合、割り込みの系統に対応した目標利得設定値に、可変利得アンプ 12 の利得 PVOL を設定するように動作する。現在設定している可変利得アンプ 12 の利得 PVOL と、割り込みに対応した目標利得設定値との大小関係で動作が異なる。

[0093] 1. 割り込みに対応した目標利得設定値よりも、現在の利得設定値が高い場合

即座に設定レジスタの値に可変利得アンプ 12 の利得を設定する。

2. 割り込みに対応した目標利得設定値よりも、現在の利得設定値が低い場合

所定のレジスタに設定したインターバルで可変利得アンプ 12 の利得を目標値に漸近させていく。一度に遷移する可変利得アンプ 12 の利得ステップは通常 0.2 dB である。設定値は可変とする。

[0094] 可変利得アンプ 12 の利得は、レジスタ値を整数表現して 0.2 倍にした値を実際の値とする。可変利得アンプ 12 の利得設定の上限、下限を設定できるようにする。

[0095] 利得設定の下限値は、外部マイクの最大入力が入力アンプ 11 を経由しても、アナログ-デジタル変換器 13 の入力レンジを使い切れない場合を想定

して設定する。最大入力でも、+ 6 d B 利得ではなく、+ 3 d B 利得で使うことを可能とする。この値を最小利得 $p_{\min}$ とする。

[0096] 利得設定の上限値は、利得が高いときの可変利得アンプ 1 2 の雑音指数が悪く、システム全体で、通常動作時の S/N をかえって悪化させてしまう場合があることを想定している。+ 6 d B で使うよりも + 4 d B で使う方がよいときに対応する。この値を最大利得 $p_{\max}$ とする。

[0097] プリアンプ 1 1 からのオーディオ信号の出力から、可変利得アンプ 1 2 の利得設定までの遅延時間の説明図を図 1 1 に示す。

[0098] エネルギー比較器 1 6₁, 1 6₂の遅延量の一例は $0.4 \mu s$ である。レベル割り込みは、システムで最速、かつ、制御部 1 7 の動作クロックと同期関係にある最速のクロックで非同期乗り換えする。最速が $512 f_s$ の周波数で、 $f_s = 44.1 \text{ kHz}$ の場合 $0.089 \mu s$ である。この割り込み信号を利用して F S M を動作し、制御レジスタ値を操作するので、最速でも制御部 1 7 の動作クロックの 1 サイクルの遅延が発生する。

[0099] 非同期乗り換えと制御部 1 7 の動作による遅延により、制御部 1 7 の A R C 回路 1 7 1₁, 1 7 1₂の入力レベルの比較判定から、可変利得アンプ 1 2 の利得設定までの遅延は、これらの合算になる。制御部 1 7 の動作クロック $128 f_s$ と源振の $1/4$ の速度とすると、1 6₁, 1 6₂の出力から $512 f_s$ クロックの 6 サイクルから 10 サイクルの遅延が発生する。時間にすると、 $0.666 \mu s$ から $0.834 \mu s$ のため、この部分の遅延は無視するシステムとする。

[0100] (減衰量の設定について)

デジタル減衰器 1 4₁, 1 4₂の減衰量の設定については、最小利得 $p_{\min}$ 、及び、可変利得アンプ 1 2₁, 1 2₂の利得設定値 p_{vol} の 2 つで決定する。利得設定値 p_{vol} は、図 2 の制御値 N_{p1} , N_{p2} に相当する。ここで、減衰量を m_{att} とし、負数のボリューム表現を m_{vol} とすると、負数のボリューム表現 m_{vol} は、

$$m_{\text{vol}} = p_{\min} - p_{\text{vol}}$$

となり、減衰量 m_{att} は、

$$m_{att} = p_{vol} - p_{min}$$

となる。最小利得 p_{min} 、利得設定値 p_{vol} 、及び、最大利得 p_{max} の大小関係は、

$$p_{min} \leq p_{vol} \leq p_{max}$$

である。

[0101] 表3は、デジタル減衰器14₁、14₂を制御するレジスタMIC_VOLの設定仕様の一例である。レジスタMIC_VOLは、図2の制御値生成部171₁₂、171₂₂内に設けられている。ミュート(Mute)及び0dB設定が変則である。可変利得アンプ12₁、12₂の利得設定値 p_{vol} を使った規則的な演算で、負数のボリューム表現 m_{vol} をデジタル減衰器14₁、14₂に出力する。8ビット目に見えない符号ビットを考え、それを削除してインターフェースしている、と考えると、2の補数で表現できる。ミュートを指定すると問題になるため、負数側は、 0×82 でオーバーフロー処理をする。正数側は、 0×00 で処理をする。

[0102]

bit	Mescription	内部表現
6:0	0x7F: -0.05dB	0xFF: -0.05dB
	0x7F: -0.10dB	0xFF: -0.10dB
	...	n: nx0.05dB
	0x03: -6.25dB	0x83: -6.25dB
	0x02: -6.30dB	0x82: -6.30dB
	0x01: mute	0x81: prohibit
	0x00: 0.00dB	0x00: 0dB

[0103] 0.2や0.05をそのまま2進数の固定小数で表現すると無理数になるため、整数に変換して扱う。利得設定値 p_{vol} のステップの最小単位は0.2dBであり、負数のボリューム表現 m_{vol} のステップの4倍である。よって、 p_{vol} 、 p_{min} 、 p_{max} をそれぞれ5倍した整数値 P_{VOL} 、 P_{MIN} 、 P_{MAX} を使って演算した結果を、更に4倍した値 M_{VOL} がデジタル減衰器14₁、14₂に供給される信号レベルになる。 M_{VOL} の最上位ビットである符号ビットを除いてインターフェースする。整数値 P_{VOL} 、 P_{MIN} 、 P_{MAX} は出力信号及びレジスタ設定値と同じある。

[0104] デジタル減衰器14₁、14₂は、チャンネル単位で調整を取るために、減

衰量を0.2 dBよりも細かく設定可能である。デジタル減衰器14₁、14₂の減衰量は、固定量のため、独立してオフセットを与えることができる。

[0105] [実施形態に係る制御方法、及び、作用、効果]

上記の構成の本実施形態に係るアナログーデジタル変換装置10は、入力されるアナログ信号のレベルを検出し、その検出レベルに基づいて、可変利得アンプ12の利得、及び、デジタル減衰器14の減衰量を制御するフィードフォワード制御の構成となっている。そして、フィードフォワード制御であることで、フィードバック制御に比べて、制御ループの応答性に優れたアナログーデジタル変換装置を提供できる。

[0106] 更に、本実施形態に係るアナログーデジタル変換装置10によれば、次のような作用、効果を得ることができる。

- ・オーディオ用途において、アナログーデジタル変換器13（13₁、13₂）の入力ダイナミックレンジよりも広い動作時のダイナミックレンジを得ることができる。
- ・突発的な強入力変化に対して、オーディオで問題になるポップノイズの発生を十分に抑制することができる。
- ・信号強度が一定の可聴帯域信号の入力時は、入力信号にシステムからの影響を与えず一定の静特性を得ることができる。
- ・強入力から弱入力に変化したときに違和感なく、ダイナミックレンジの拡大を行うことができる。
- ・アナログ・ブロックは、比較器と論理和で構成するエネルギー比較器を追加し、細かい利得設定を可能にする必要があるが、回路規模が小規模な構成で実現できる。
- ・デジタル・ブロックは、DSP (Digital Signal Processor)等による演算が不要で、FSMを主体とした小規模な構成で実現することができる。

[0107] [実装例]

続いて、図2に示す本実施形態に係るアナログーデジタル変換装置10の実装例について説明する。

[0108] (5 1 2 f_s動作ブロックの実装例)

図 1 2 は、5 1 2 f_s動作ブロックの実装例について説明する図である。エネルギー比較器 1 6₁, 1 6₂の入力 A_WA I N_nC M P_xを単純な同期回路で同期してレベル割り込み信号 A I N_nC M P_xとして出力する。割り込みのアサートとネゲートに対応した応答処理に要求する時間に大きな差がある。アサート時は即座ですが、ネゲート時は最低でも、1 2 8 f_sのクロックで動作する F S M で 3 2 サイクル以上のインターバルでデータ遷移を促す。よって、レベル割り込み信号のチャタリング除去は F S M で制御すればよく、入力段は対応不要なため実施しない。これにより、割り込みアサート時も同期化した信号が最速でアサートする。

[0109] 可変利得アンプ 1 2₁, 1 2₂の利得設定については、利得設定値 A_WP G A_xV O L を与えた後に設定信号 A_WP G A_xC H G をアサートして実現する。5 1 2 f_s動作ブロックでは、設定信号 A_WP G A_xC H G の生成に専用の F S M を構成する。1 2 8 f_sのクロックで動作している F S M から生成される可変利得アンプ 1 2₁, 1 2₂の利得設定値を観測する。変化の検出を待機している I D L E (1) ステート、変化を検出したら遷移する C H G (2) ステート、C H G ステートから無条件に 5 1 2 f_s 1 サイクルで遷移する H O L D (3) ステート、非同期リセット時に遷移する R E S E T (0) ステートで構成する。R E S E T ステートからは非同期リセットが解除された後、無条件に I D L E ステートに遷移する。このように構成し、ステート値を保持した 2 b i t レジスタの最上位ビット側を、可変利得アンプ 1 2₁, 1 2₂の利得値を設定する信号として出力する。

[0110] (1 2 8 f_s動作ブロックの実装例 1)

図 1 3 A 及び図 1 3 B は、1 2 8 f_s動作ブロックの実装例 1 について説明するタイミング・ダイグラムである。実装例 1 では、1 2 8 f_sクロックで動作する F S M、F S M で生成される制御信号で動作するブロックから利得設定値 P V O L (A_WP G A_xV O L) と減衰量設定信号 M V O L (A_MM I C_xV O L) を生成する概要について説明する。

- [0111] 目標利得設定値がF S Mの入力で利用する優先割り込み信号と割り込みに応じて設定されることも示している。目標利得設定値は、可変利得アンプ12₁, 12₂の利得P V O Lの生成に利用される。利得P V O Lは、F S M内部で管理されて設定すべき値を出力する。
- [0112] 回路規模を小さく実現するために、利得設定タイミングと減衰量設定タイミングの遅延制御は3つの遅延タイマーによって構成する。いずれの遅延タイマーも、スタート信号で動作を開始し、あらかじめ決められた設定閾値に到達したら、減衰量設定信号を利得設定値から生成する。3つの遅延タイマーは、エネルギー比較器C M P₁がアサートしたら動作を開始する遅延タイマー1、エネルギー比較器C M P₂のみがアサートしたら動作を開始する遅延タイマー2、エネルギー比較器C M P₁, C M P₂のアサート状態で決定される目標利得設定値が現在の利得設定値よりも低く設定されるタイミングで動作を開始する遅延タイマー3で構成される。
- [0113] エネルギー比較器C M P₁, C M P₂がアサートしたときに設定される利得設定値は一定である。レジスタによって可変とする。図中では、遅延タイマー1で参照されるエネルギー比較器C M P₁がアサートしたときに設定される目標利得設定値P V O L₁は、最小利得 p_{min} である。A I N_xC M P₁_V O Lレジスタに設定値を格納し、信号名C S Y N_A I N_xC M P₁_V O Lとして供給される。
- [0114] 遅延タイマー2で参照されるエネルギー比較器C M P₂がアサートしたときに設定される目標利得設定値P V O L₂は、中間利得であり、A I N_xC M P₂_V O Lレジスタに設定値を格納し、C S Y N_A I N_xC M P₂_V O Lとして供給される。遅延タイマー3で参照される目標利得設定値は現在設定している利得値P V O Lとなる。
- [0115] 3つの遅延タイマーの終了タイミング、及び、供給される利得設定値から、減衰量設定値M V O Lが、信号名A_M_M I C_x_V O Lとして生成される。減衰量設定値M V O Lが、デジタルメーションフィルタ15の入力信号の振幅を決定する。

[0116] (128 f_s動作ブロックの実装例2)

図14は、128 f_s動作ブロックの実装例2について説明する図である。実装例2は、利得設定値PVOL (A_W_PGA_xVOL)を固定値に強制設定する実装例である。通常は、FSMにより設定値が制御されるが、固定設定レジスタPGA_xVOL、信号名CSYN_PGA_xVOLの値をイネーブルがアサートしたときに反映される。

[0117] (128 f_s動作ブロックの実装例3)

図15Aは、128 f_s動作ブロックの実装例3についての説明図であり、図15Bは、実装例3についての説明に供するタイミング・ダイグラムである。実装例3は、FSMの実装例である。

[0118] FSMを制御するカウンタが1つある。0以外の値のときにインクリメントする実装である。このカウンタは、目標利得設定値が現在の利得設定値PVOLよりも大きいときに一定間隔で可変利得アンプ12₁, 12₂の利得を変化させるFSM動作を制御するものである。

[0119] FSMは、CSYN_ARC_xEN信号がアサートしているときに動作する。ネゲートしているときはRESET(0)状態にいる。CSYN_ARC_xEN信号がアサートすると、RESET(0)状態からEQUAL(1)状態に遷移する。

[0120] EQUAL(1)状態では、利得設定値PVOLが目標利得設定値と等しいときにEQUAL(1)状態に留まる。割り込みにより目標利得設定値が更新され、その値が現在の利得設定値より高いとき、一定タイミング毎に可変利得アンプ12₁, 12₂の利得を設定値レジスタARC_xPGA_STEP、信号名CSYN_ARC_xPGA_STEP、通常時、0.2dBステップ相当上昇するための状態に遷移する。

[0121] LESS_THAN(2)状態に遷移し、同時に、FSM制御カウンタを1にセットしてインクリメントを開始する。FSM制御カウンタが32に到達したらINTERVAL(3)状態に遷移する。INTERVAL(3)状態では、利得設定値をARC_xPGA_STEPレジスタに設定さ

れた単位、通常0.2 dB相当でステップアップしていく時間間隔を、FSM制御カウンタを観測して作り出す。

[0122] 可聴帯域外の低い周波数の1周期に相当するため、FSMの動作クロック $1/28 f_s$ で動作するカウンタの下位ビットは無視して上位ビットだけの比較でタイミングを作り出せる。カウンタの上位ビットと比較するための閾値は ARC_nTIMER_TH レジスタ、信号名 $CSYN_ARC_nTIMER_TH$ で行う。カウンタが閾値に達したら、LESS_THAN(2)ステートに遷移し、FSM制御カウンタを1に設定し直して次のインターバルを作り出す。

[0123] INTERVAL(3)ステートからLESS_THAN(2)ステートへの遷移時に利得設定値PVOLをステップアップした値に更新する。同時に、減衰量設定値MVOLを、遅延差を持って動作させるための遅延タイマー3のインクリメント動作を開始し、更新値を、減衰量設定値MVOLを生成する回路に通達するためのPVOL3レジスタを利得設定値PVOLと同じ値に設定する。遷移時に遅延タイマー3を動作開始させるため、遷移判定したサイクルでのみアサートするスタート3信号を生成する。

[0124] 割り込みによって更新される目標利得設定値が、現在の利得設定値よりも低いとき、どのステートであっても、次のサイクルで可変利得アンプ 12_1 , 12_2 の利得を目標値に設定してEQUAL(1)ステートに遷移する。同時に発生した割り込みに応じてデジタル減衰器 14_1 , 14_2 の制御用の遅延タイマー1もしくは遅延タイマー2のインクリメント動作を開始する。遅延タイマー1／遅延タイマー2のインクリメント動作開始にはスタート信号を生成する。

[0125] この論理は、現在の利得設定値が目標利得設定値よりも大きい、で実現できる。次のサイクルでは必ず現在の利得設定値は目標利得設定値と等しくなるためである。FSM制御用のカウンタも0に設定して動作を停止させる。

[0126] いずれの遅延タイマーも、0以外の値でインクリメント、スタート信号がアサートしたら次のサイクルに1に設定、閾値に到達したら0に設定される

論理で構成する。

[0127] (128 f_s動作ブロックの実装例4)

実装例4は、遅延タイマーの動作例である。遅延タイマーの動作のタイミング・ダイアグラムの一例を図16に示す。ここでは、遅延タイマーの閾値が、31を越えることはない前提で規定している。

[0128] 図16のタイミング・ダイアグラムは、遅延タイマーの閾値が最大設定値31のときを表している。遅延タイマーの閾値は、先述した（利得と減衰量の制御タイミング差の設定について）の項で規定した通りに準備する128 f_sΔΣ変調器で最大12サイクル、同じトポロジーのΔΣ変調器を64 f_sで動作させた場合でもΔΣ変調器による遅延サイクルが16のため、最大でも20サイクルである。従って、遅延タイマーの閾値については、31の設定で十分である。

[0129] 遅延タイマーは、2つの利得設定値を低い方へ遷移させるために発生するFSMとは異なるタイミングのイベントと利得設定値を高い方へ遷移させる1つのFSMによるイベントによる、異なる3つの利得設定の変化点から、小規模な回路動作でデジタル減衰器14₁、14₂の変化点を作るための回路である。

[0130] それぞれ独立してタイミングが発生するため、いずれかの遅延タイマーが閾値に到達したときのタイミングで、それぞれのイベントに適した減衰量設定値を生成する。減衰量設定値は、利得設定値から計算されるもののため、現在の利得設定値とは別に、タイミング毎に適切な利得設定値PVOL₁、PVOL₂、PVOL₃を参照する。それぞれ独立したタイミングで発生し、先述した（可変利得アンプの利得設定動作の遅延について）の項にて、遅延時間の定義を利得別ではなく、利得設定の変化方向で遅延サイクルを定義することを規定している。これは遅延タイマー1と遅延タイマー2との遅延サイクル数を同じにして、閾値到達までの時間が絶対に前後しないことを保証する。

[0131] 設定遅延が128 f_s単位のため誤差の知覚は無視でき、実装を軽くする前

提のためにかけた制限である。遅延タイマー 3 が動作中に、エネルギー比較器 16₁, 16₂からの割り込みで発生する利得設定値変更は発生し得るため、遅延タイマー 3 の停止のための条件は、遅延タイマー 1 もしくは遅延タイマー 2 が閾値に到達したタイミングを含む。よって、遅延タイマー 3 の閾値到達が遅延タイマー 1 もしくは遅延タイマー 2 の閾値到達と同時の場合は、遅延タイマー 1 もしくは遅延タイマー 2 の閾値到達が優先されるため、可変利得アンプ 12₁, 12₂の利得変更の即時有効の動作を、デジタル減衰器 14₁, 14₂の制御でも優先的に実行できる。

[0132] このように、遅延タイマーの動作によって、デジタル減衰器 14₁, 14₂に設定する減衰量設定値の設定タイミングの優先順位も確定するので、減衰量設定値を保持するレジスタは、それぞれの遅延タイマーの到達タイミング時に遅延タイマーに応じた利得設定値 $PVOL_1$, $PVOL_2$, $PVOL_3$ の値を参照して値を確定する回路を、優先順位を考慮せずに構成できる。

[0133] 減衰量設定値 $MVOL$ の生成については、先述した（減衰量の設定について）の項で定義した算出式で決定し、オーバーフロー処理も施す。遅延タイマーの閾値到達タイミングを 1 サイクル早く通達して減衰量設定値 $MVOL$ の生成のための利得設定値 $PVOL_1$, $PVOL_2$, $PVOL_3$ の値の選択を 1 サイクル早く確定し、パイプラインで保持す。そのため、先述した（利得と減衰量の制御タイミング差の設定について）の項で定義したように、遅延タイマーの閾値を制御する設定レジスタには 1 サイクル小さい値を与える。

[0134] <本開示の実施形態に係るオーディオ装置>

以上説明した本開示の実施形態に係るアナログーデジタル変換装置 10 は、アナログーデジタル変換装置を備える各種のオーディオ装置において、当該アナログーデジタル変換装置として用いることができる。

[0135] 図 17 は、本開示の実施形態に係るアナログーデジタル変換装置 10 を用いる、本開示の実施形態に係るオーディオ装置のシステム構成の概略を示すブロック図である。本実施形態に係るオーディオ装置 100 は、例えば、マイクロホン 110、アナログーデジタル変換装置 120、信号処理部 130

、デジタルーアナログ変換装置１４０、及び、スピーカ１５０を備える構成となっている。

[0136] 上記の構成のオーディオ装置１００において、マイクロホン１１０から入力されるアナログのオーディオ信号をオーディオPCM信号に変換するアナログーデジタル変換装置１２０として、先述した実施形態に係るアナログーデジタル変換装置１０を用いることができる。このアナログーデジタル変換装置１０は、入力されるアナログのオーディオ信号のレベルを検出し、その検出レベルに基づいて利得制御を行うフィードフォワード制御であることから、アナログーデジタル変換装置１２０として、制御ループの応答性に優れたアナログーデジタル変換装置を実現できる。

[0137] <変形例>

以上、本開示の技術について、好ましい実施形態に基づき説明したが、本開示の技術は当該実施形態に限定されるものではない。上記の実施形態において説明したアナログーデジタル変換装置及びオーディオ装置の構成、構造は例示であり、適宜、変更することができる。

[0138] 例えば、上記の実施形態では、アナログーデジタル変換装置１０をオーディオ装置１００に適用する場合を例に挙げて説明したが、オーディオ装置への適用に限られるものではない。また、上記の実施形態では、アナログーデジタル変換装置１０におけるアナログーデジタル変換器１３として、 $\Delta\Sigma$ 変調器から成るアナログーデジタル変換器（デルタシグマ変調型アナログーデジタル変換器）を用いるものとしたが、これに限られるものではなく、逐次比較型アナログーデジタル変換器など、他の形態のアナログーデジタル変換器を用いることができる。

[0139] <本開示がとることができる構成>

尚、本開示は、以下のような構成をとることもできる。

[0140] ≪Ａ．アナログーデジタル変換装置≫

[Ａ－１] 入力されるアナログ信号を増幅する可変利得アンプ、

可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログー

デジタル変換器、

アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器、

アナログ信号のレベルを検出するレベル検出部、及び、

レベル検出部の検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量を制御する制御部を備える、

アナログーデジタル変換装置。

[A-2] 入力されるアナログ信号を取り込んで可変利得アンプに供給するプリアンプを有し、

レベル検出部は、プリアンプを経た後のアナログ信号のレベルを検出する、

上記[A-1]に記載のアナログーデジタル変換装置。

[A-3] レベル検出部は、互いに異なる閾値を有する複数の比較器を有する、

上記[A-2]に記載のアナログーデジタル変換装置。

[A-4] レベル検出部は、プリアンプの出力信号のバイアスよりも高い第1の閾値を有する第1の比較器、及び、プリアンプの出力信号のバイアスよりも低い第2の閾値を有する第2の比較器を有する、

上記[A-3]に記載のアナログーデジタル変換装置。

[A-5] 第1の比較器は、アナログ信号のレベルが第1の閾値よりも高いときに真の論理を出力し、

第2の比較器は、アナログ信号のレベルが第2の閾値よりも低いときに真の論理を出力する、

上記[A-4]に記載のアナログーデジタル変換装置。

[A-6] レベル検出部は、第1の比較器の出力、及び、第2の比較器の出力の論理和を、アナログ信号の検出レベルとして出力する、

上記[A-5]に記載のアナログーデジタル変換装置。

[A-7] プリアンプは、可変利得アンプ及びレベル検出器の動作変化に対

して、出力インピーダンスを一定にする役割を持っている、

上記〔A－１〕乃至上記〔A－６〕のいずれかに記載のアナログーデジタル変換装置。

〔A－８〕制御部は、減衰器の減衰量を、可変利得アンプの利得を相殺する値に制御する、

上記〔A－１〕乃至上記〔A－７〕のいずれかに記載のアナログーデジタル変換装置。

〔A－９〕制御部は、減衰器の減衰量を、可変利得アンプの制御タイミングに対して一定のタイミング差を維持しながら制御する、

〔A－８〕に記載のアナログーデジタル変換装置。

〔A－１０〕アナログーデジタル変換器は、可変利得アンプを経たアナログ信号をオーバーサンプリングし、アナログ信号の振幅に応じたパルス列の信号に変換するデルタ－シグマ変調器から成る、

上記〔A－１〕乃至上記〔A－９〕のいずれかに記載のアナログーデジタル変換装置。

〔A－１１〕デルタ－シグマ変調器から出力され、減衰器を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換するデシメーションフィルタを有する、

上記〔A－１０〕に記載のアナログーデジタル変換装置。

[0141] ≪B. アナログーデジタル変換装置の制御方法≫

〔B－１〕入力されるアナログ信号を増幅する可変利得アンプ、

可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、及び、

アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器を備えるアナログーデジタル変換装置の制御に当たって、

アナログ信号のレベルを検出し、

その検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量の制御を行う、

アナログーデジタル変換装置の制御方法。

[B-2] デルターシグマ変調器から出力され、減衰器を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換する、

上記[B-1]に記載のアナログーデジタル変換装置の制御方法。

[0142] 《C. オーディオ装置》

[C-1] 入力されるアナログ信号を増幅する可変利得アンプ、

可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、

アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器、

アナログ信号のレベルを検出するレベル検出部、及び、

レベル検出部の検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量を制御する制御部を備える、

アナログーデジタル変換装置を有するオーディオ装置。

[C-2] 入力されるアナログ信号を取り込んで可変利得アンプに供給するプリアンプを有し、

レベル検出部は、プリアンプを経た後のアナログ信号のレベルを検出する、

上記[C-1]に記載のオーディオ装置。

[C-3] レベル検出部は、互いに異なる閾値を有する複数の比較器を有する、

上記[C-2]に記載のオーディオ装置。

[C-4] レベル検出部は、プリアンプの出力信号のバイアスよりも高い第1の閾値を有する第1の比較器、及び、プリアンプの出力信号のバイアスよりも低い第2の閾値を有する第2の比較器を有する、

上記[C-3]に記載のオーディオ装置。

[C-5] 第1の比較器は、アナログ信号のレベルが第1の閾値よりも高い

ときに真の論理を出力し、

第2の比較器は、アナログ信号のレベルが第2の閾値よりも低いときに真の論理を出力する、

上記[C-4]に記載のオーディオ装置。

[C-6] レベル検出部は、第1の比較器の出力、及び、第2の比較器の出力の論理和を、アナログ信号の検出レベルとして出力する、

上記[C-5]に記載のオーディオ装置。

[C-7] プリアンプは、可変利得アンプ及びレベル検出器の動作変化に対して、出力インピーダンスを一定にする役割を持っている、

上記[C-1]乃至上記[C-6]のいずれかに記載のオーディオ装置。

[C-8] 制御部は、減衰器の減衰量を、可変利得アンプの利得を相殺する値に制御する、

上記[C-1]乃至上記[C-7]のいずれかに記載のオーディオ装置。

[C-9] 制御部は、減衰器の減衰量を、可変利得アンプの制御タイミングに対して一定のタイミング差を維持しながら制御する、

[C-8]に記載のオーディオ装置。

[C-10] アナログーデジタル変換器は、可変利得アンプを経たアナログ信号をオーバーサンプリングし、アナログ信号の振幅に応じたパルス列の信号に変換するデルタシグマ変調器から成る、

上記[C-1]乃至上記[C-9]のいずれかに記載のオーディオ装置。

[C-11] デルタシグマ変調器から出力され、減衰器を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換するデシメーションフィルタを有する、

上記[C-10]に記載のオーディオ装置。

符号の説明

[0143] 10・・・アナログーデジタル変換装置、11(11₁、11₂)・・・プリアンプ、12(12₁、12₂)・・・可変利得アンプ、13(13₁、13₂)・・・アナログーデジタル変換器(ADC)、14(14₁、14₂)・・・

・デジタル減衰器、15・・・デシメーションフィルタ、16・・・レベル
検出部、16_{_1} (16_{_11}、16_{_12})、16_{_2} (16_{_21}、16_{_22})・・・エネルギー比較器、17・・・制御部

請求の範囲

- [請求項1] 入力されるアナログ信号を増幅する可変利得アンプ、
可変利得アンプを経たアナログ信号をデジタル信号に変換するアナ
ログーデジタル変換器、
アナログーデジタル変換器から出力されるデジタル信号を減衰させ
る減衰器、
入力されるアナログ信号のレベルを検出するレベル検出部、及び、
レベル検出部の検出レベルに基づいて、可変利得アンプの利得、及
び、減衰器の減衰量を制御する制御部を備える、
アナログーデジタル変換装置。
- [請求項2] 入力されるアナログ信号を取り込んで可変利得アンプに供給するプ
リアンプを有し、
レベル検出部は、プリアンプを経た後のアナログ信号のレベルを検
出する、
請求項1に記載のアナログーデジタル変換装置。
- [請求項3] レベル検出部は、互いに異なる閾値を有する複数の比較器を有する
、
請求項2に記載のアナログーデジタル変換装置。
- [請求項4] レベル検出部は、プリアンプの出力信号のバイアスよりも高い第1
の閾値を有する第1の比較器、及び、プリアンプの出力信号のバイア
スよりも低い第2の閾値を有する第2の比較器を有する、
請求項3に記載のアナログーデジタル変換装置。
- [請求項5] 第1の比較器は、アナログ信号のレベルが第1の閾値よりも高いと
きに真の論理を出力し、
第2の比較器は、アナログ信号のレベルが第2の閾値よりも低いと
きに真の論理を出力する、
請求項4に記載のアナログーデジタル変換装置。
- [請求項6] レベル検出部は、第1の比較器の出力、及び、第2の比較器の出力

の論理和を、アナログ信号の検出レベルとして出力する、

請求項 5 に記載のアナログーデジタル変換装置。

[請求項7] プリアンプは、可変利得アンプ及びレベル検出器の動作変化に対して、出力インピーダンスを一定にする役割を持っている、
請求項 1 に記載のアナログーデジタル変換装置。

[請求項8] 制御部は、減衰器の減衰量を、可変利得アンプの利得を相殺する値に制御する、
請求項 1 に記載のアナログーデジタル変換装置。

[請求項9] 制御部は、減衰器の減衰量を、可変利得アンプの制御タイミングに対して一定のタイミング差を維持しながら制御する、
請求項 8 に記載のアナログーデジタル変換装置。

[請求項10] アナログーデジタル変換器は、可変利得アンプを経たアナログ信号をオーバーサンプリングし、アナログ信号の振幅に応じたパルス列の信号に変換するデルタースigma変調器から成る、
請求項 1 に記載のアナログーデジタル変換装置。

[請求項11] デルタースigma変調器から出力され、減衰器を経たパルス列の信号を、折り返し雑音の影響を受けずに必要な信号情報を取得できるサンプリング周波数のデジタル信号に変換するデシメーションフィルタを有する、
請求項 10 に記載のアナログーデジタル変換装置。

[請求項12] 入力されるアナログ信号を増幅する可変利得アンプ、
可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、及び、
アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器を備えるアナログーデジタル変換装置の制御に当たって、
入力されるアナログ信号のレベルを検出し、
その検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量の制御を行う、

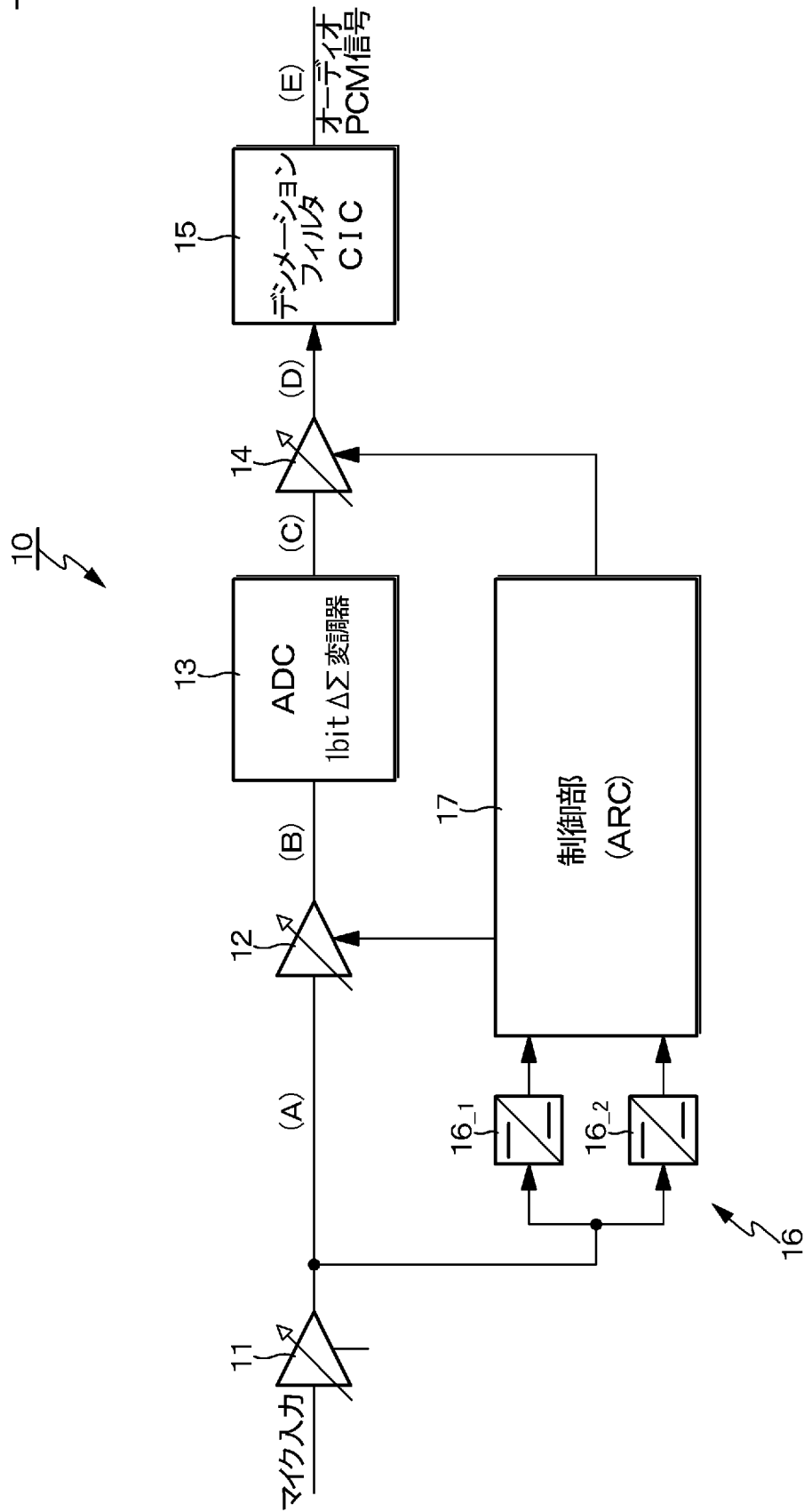
アナログーデジタル変換装置の制御方法。

[請求項13]

入力されるアナログ信号を増幅する可変利得アンプ、
可変利得アンプを経たアナログ信号をデジタル信号に変換するアナログーデジタル変換器、
アナログーデジタル変換器から出力されるデジタル信号を減衰させる減衰器、
入力されるアナログ信号のレベルを検出するレベル検出部、及び、
レベル検出部の検出レベルに基づいて、可変利得アンプの利得、及び、減衰器の減衰量を制御する制御部を備える、
アナログーデジタル変換装置を有するオーディオ装置。

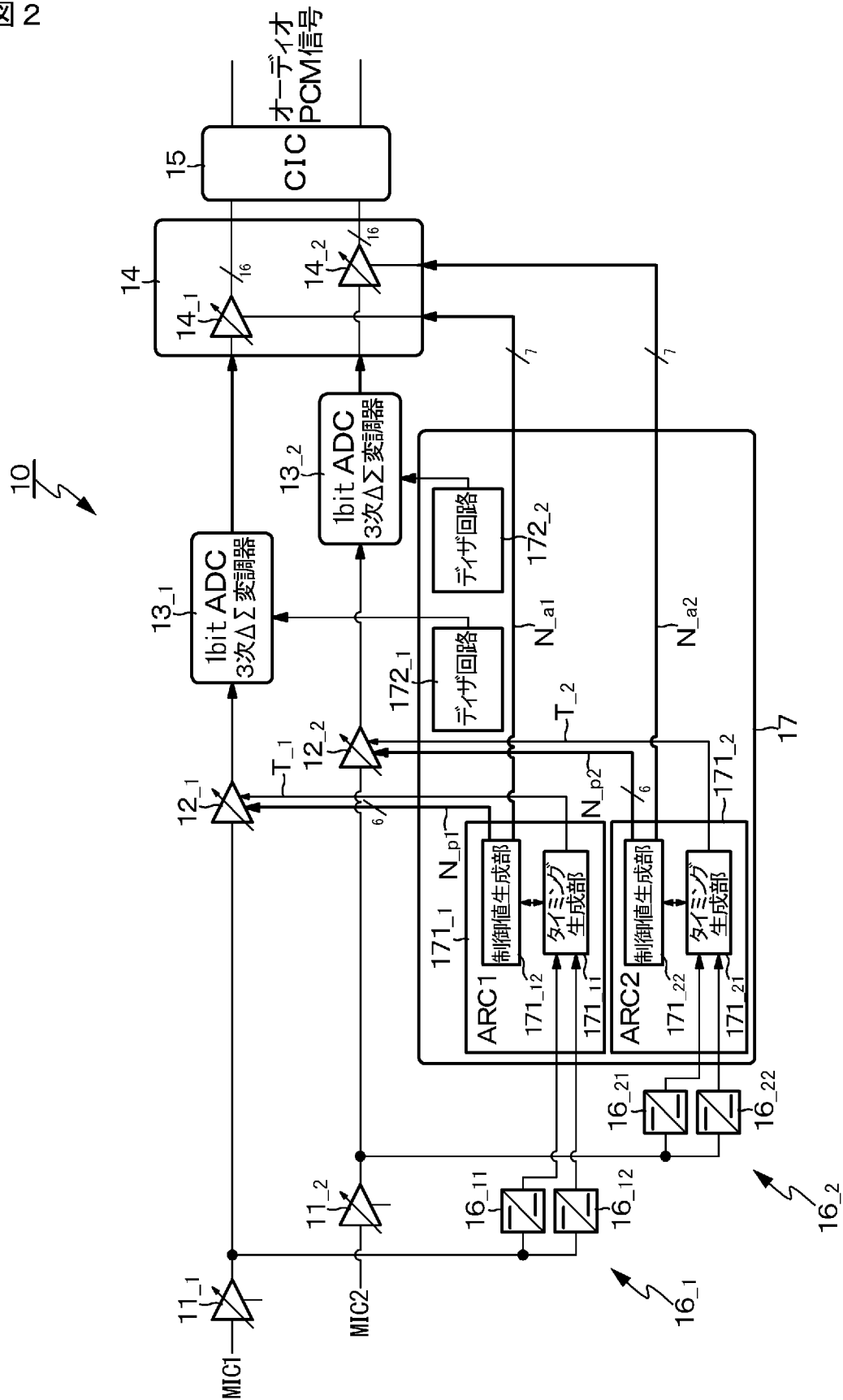
[図1]

図 1



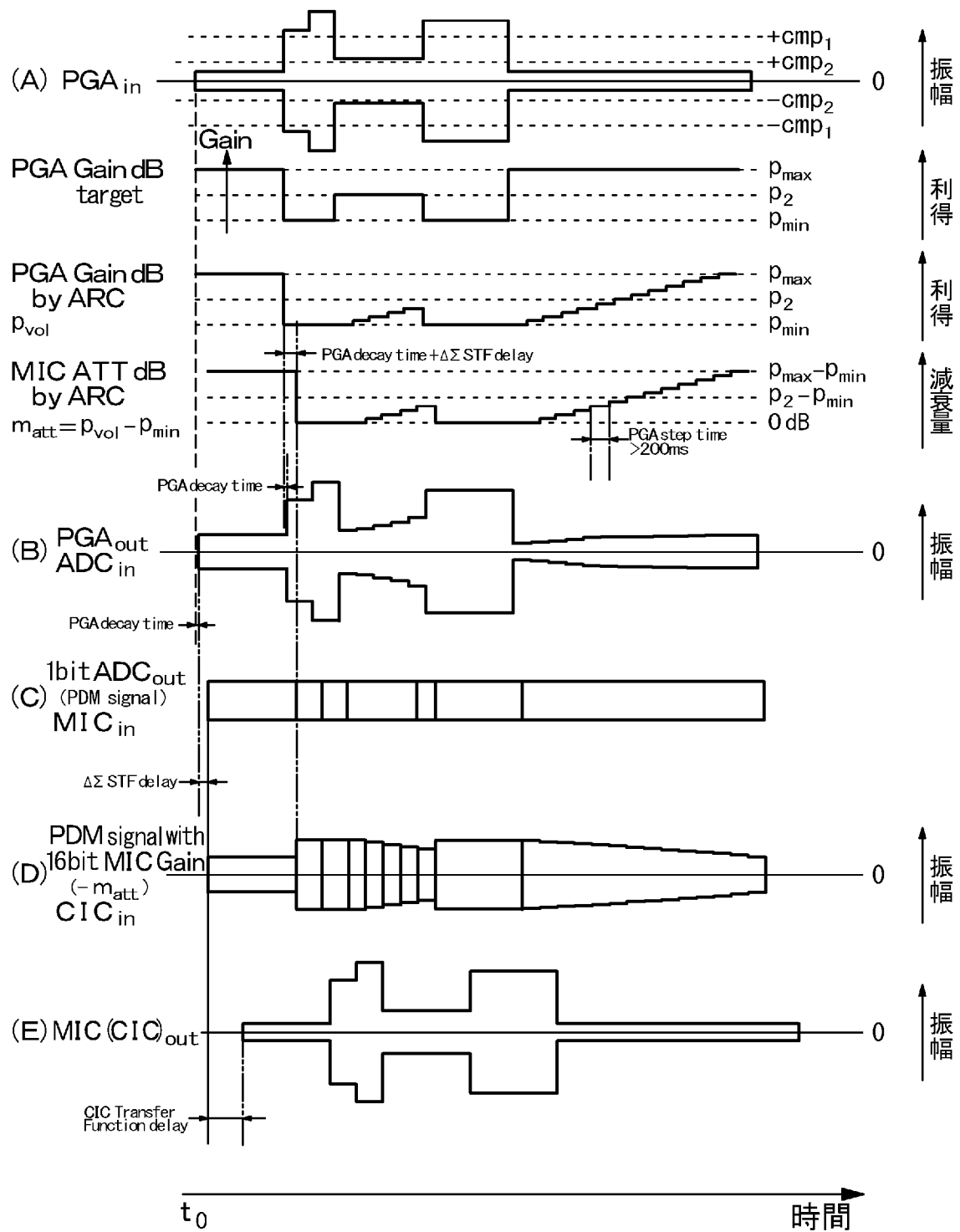
[図2]

図 2



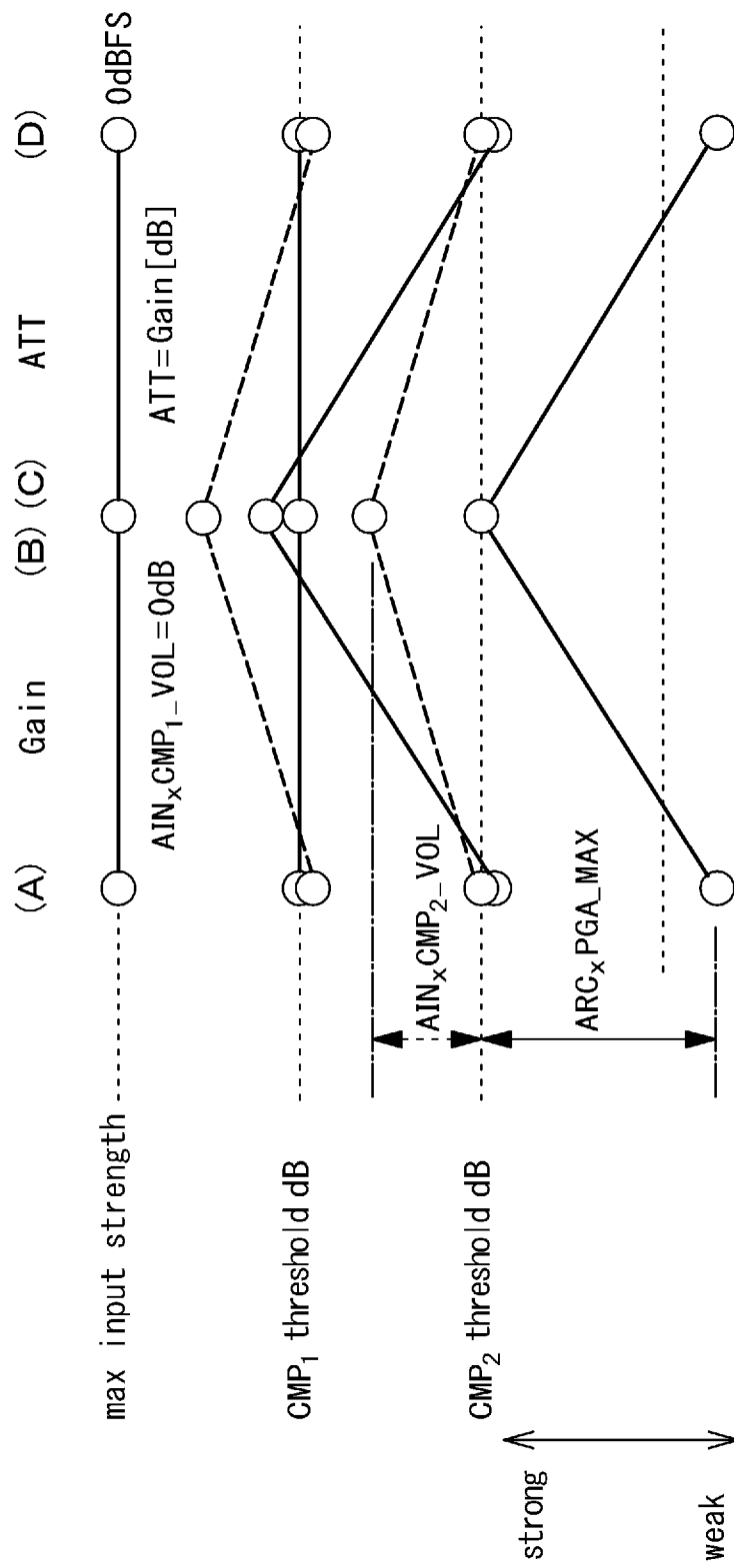
[図3]

図 3



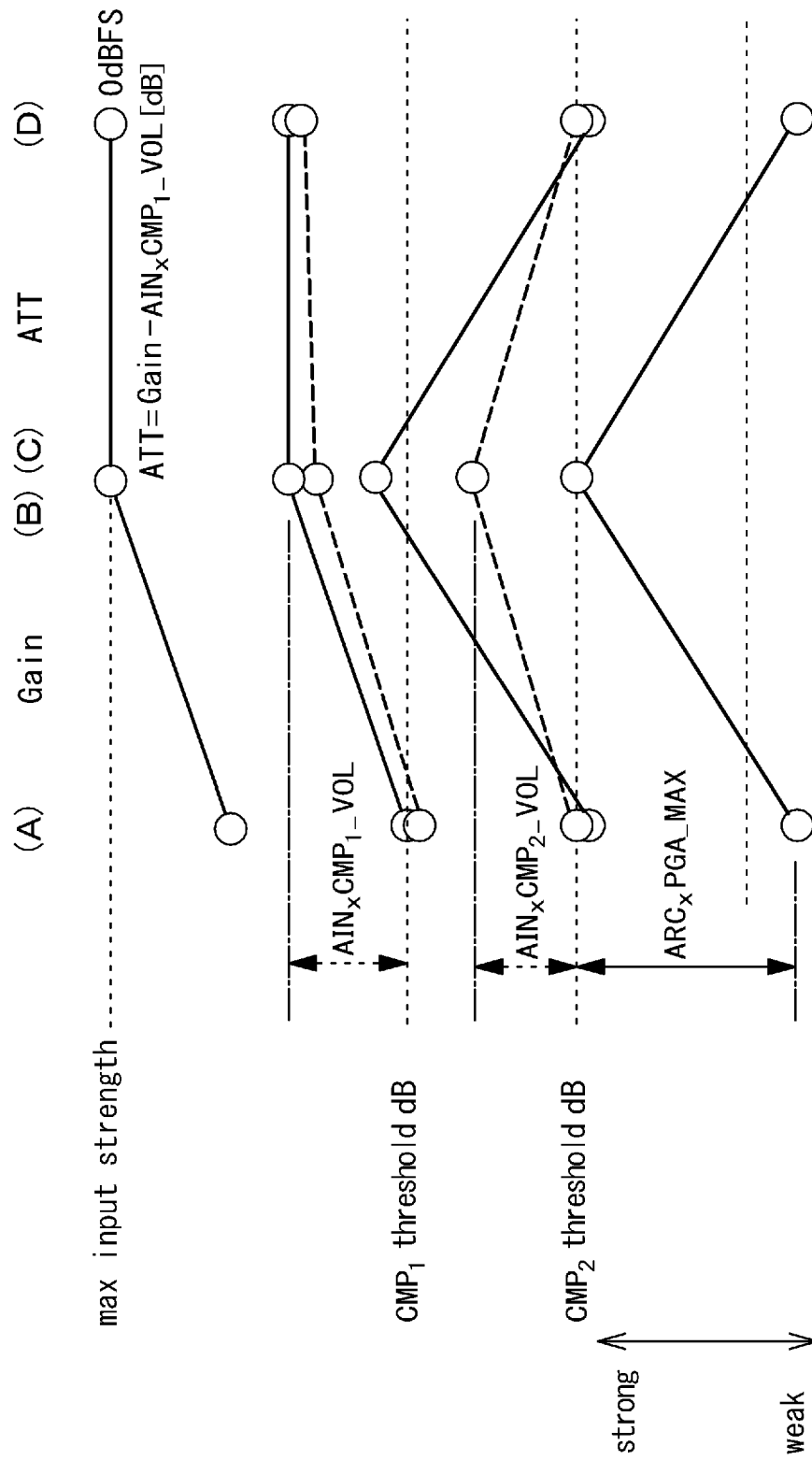
[図4]

図 4



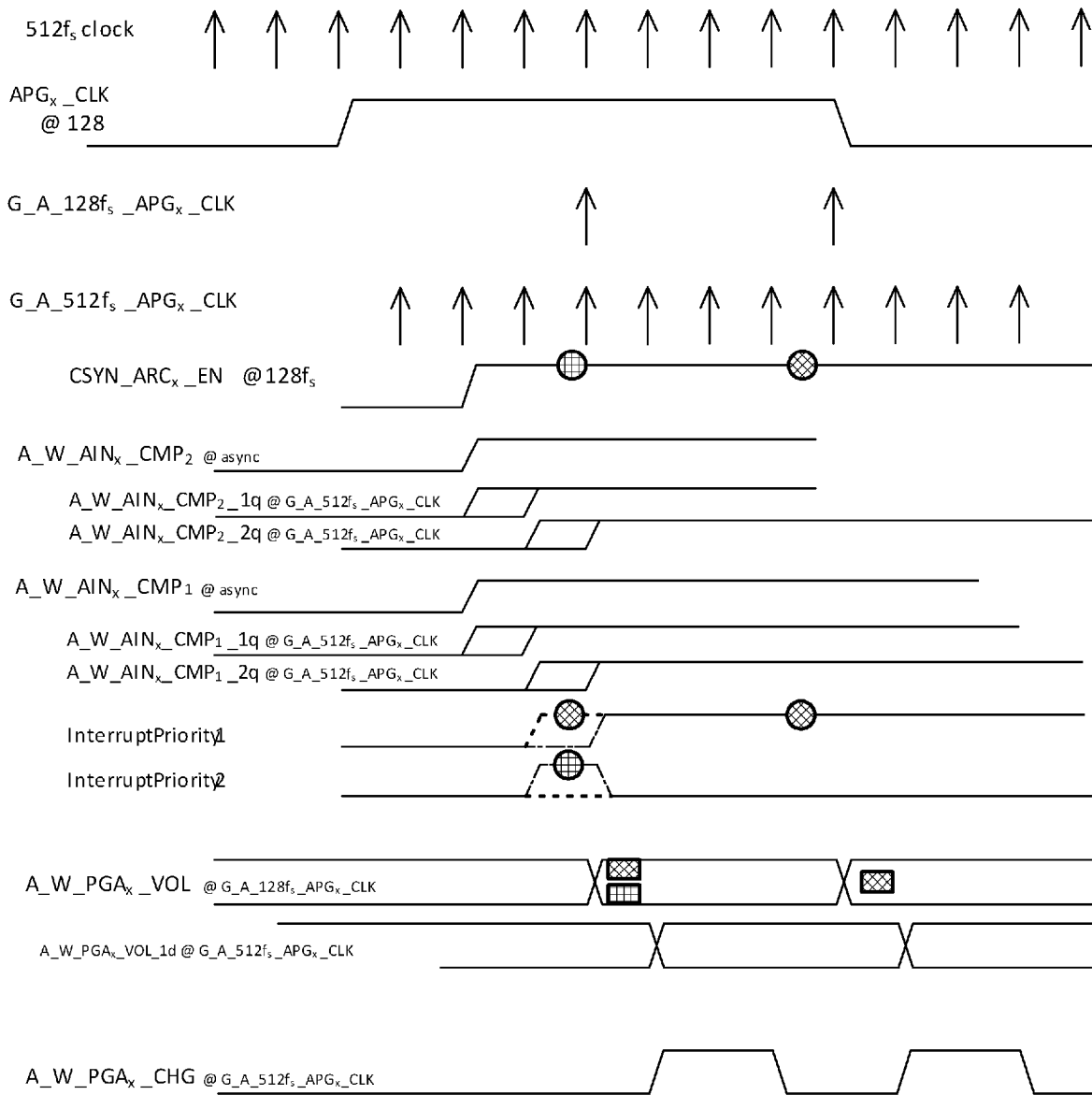
[図5]

図 5



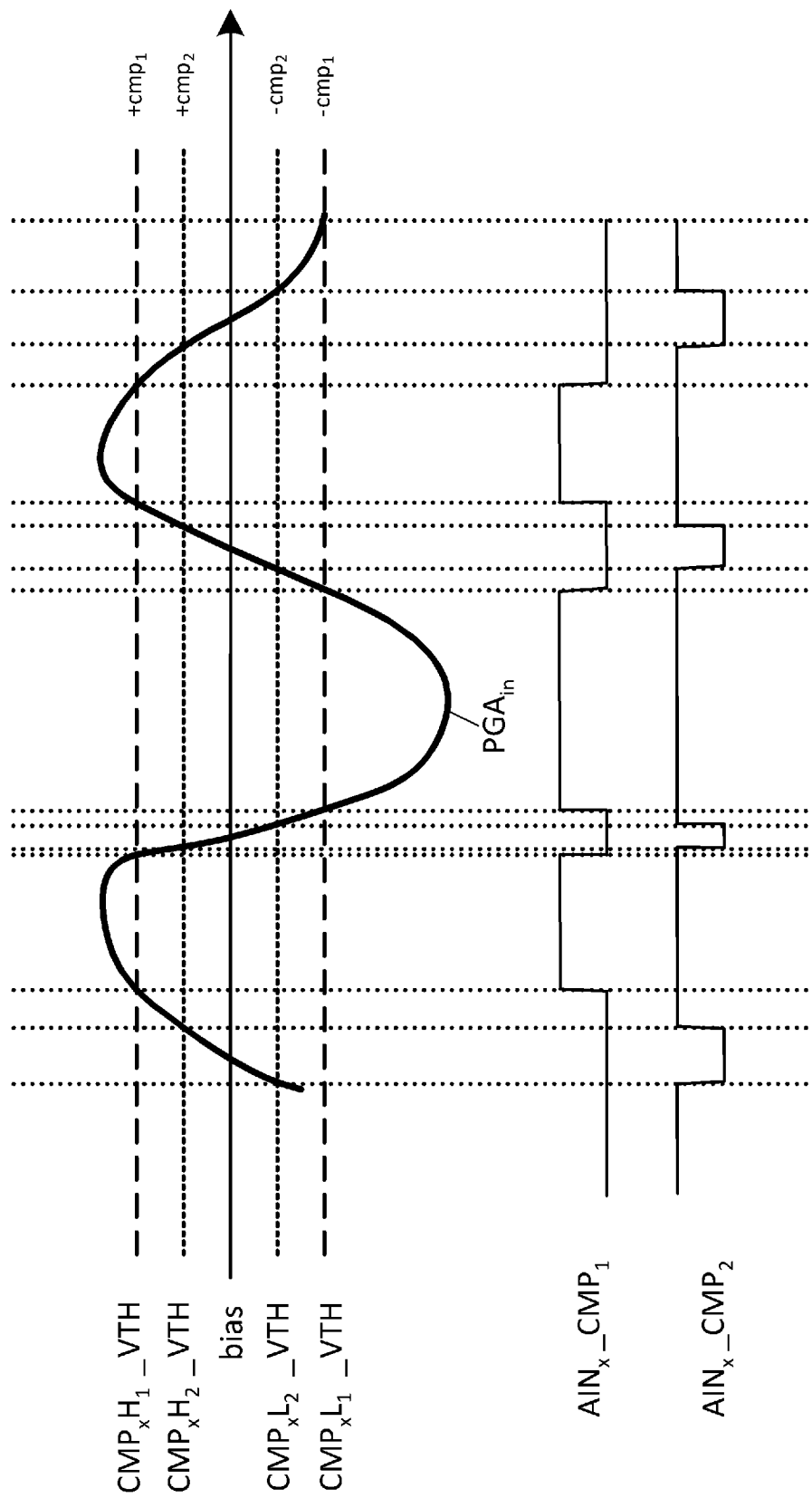
[図6]

図 6



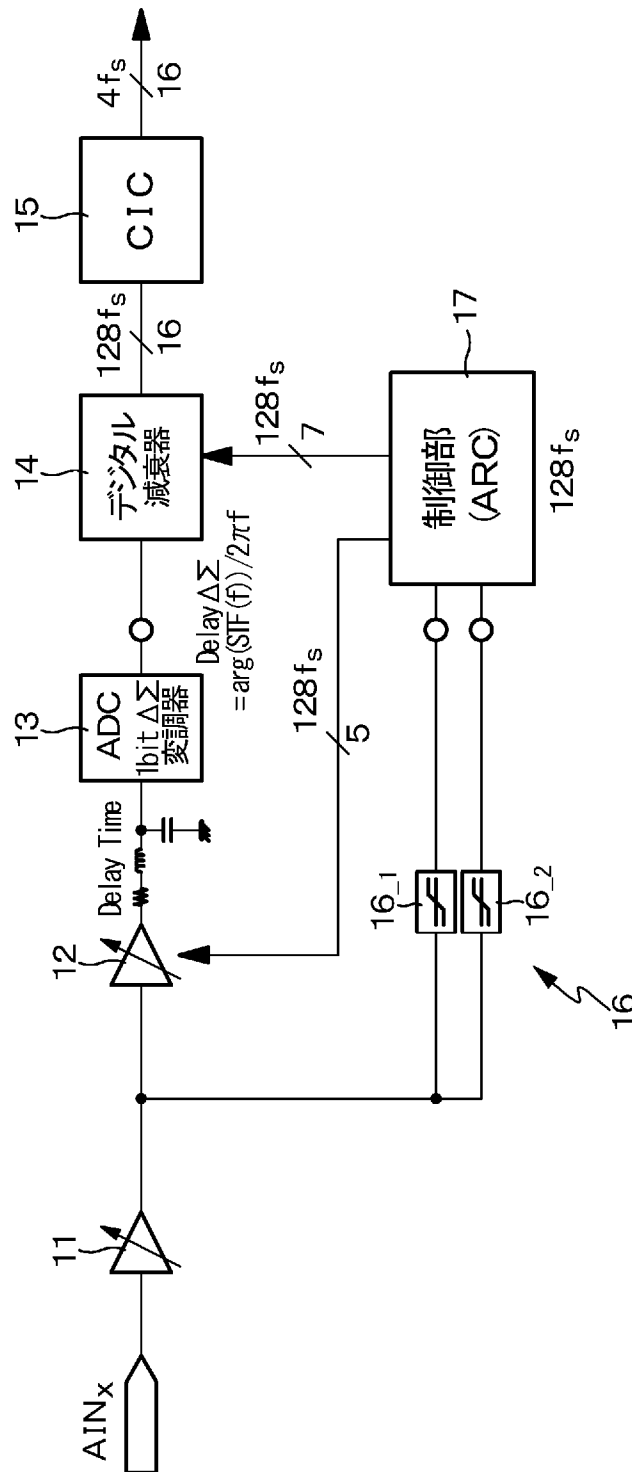
[図7]

図 7



[図8]

図 8



[図9]

図 9 A

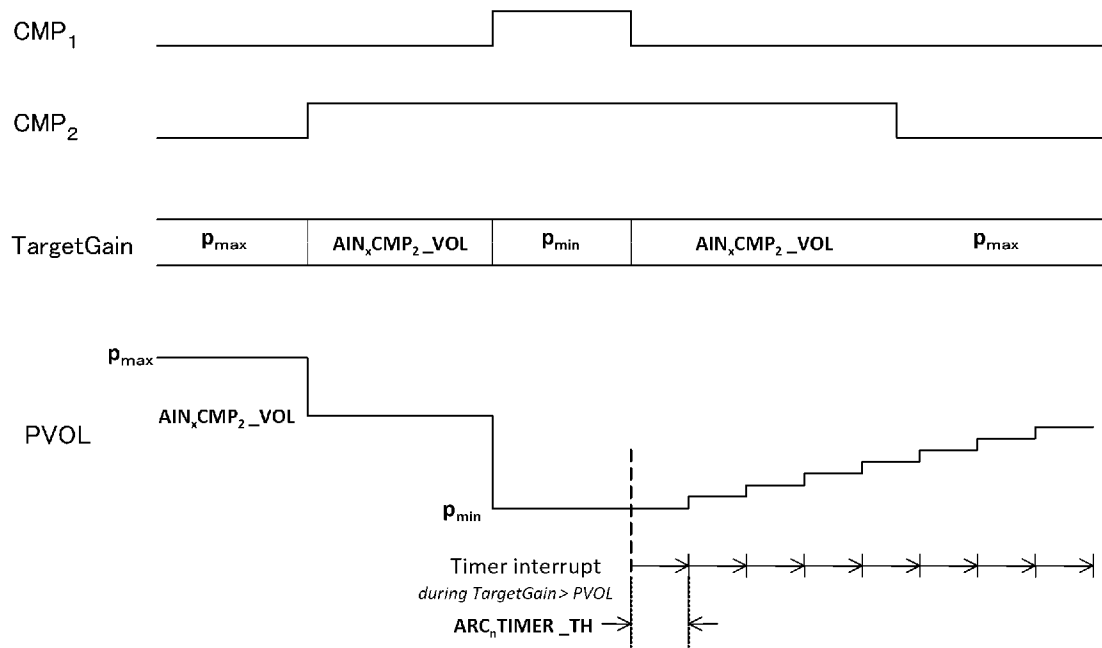
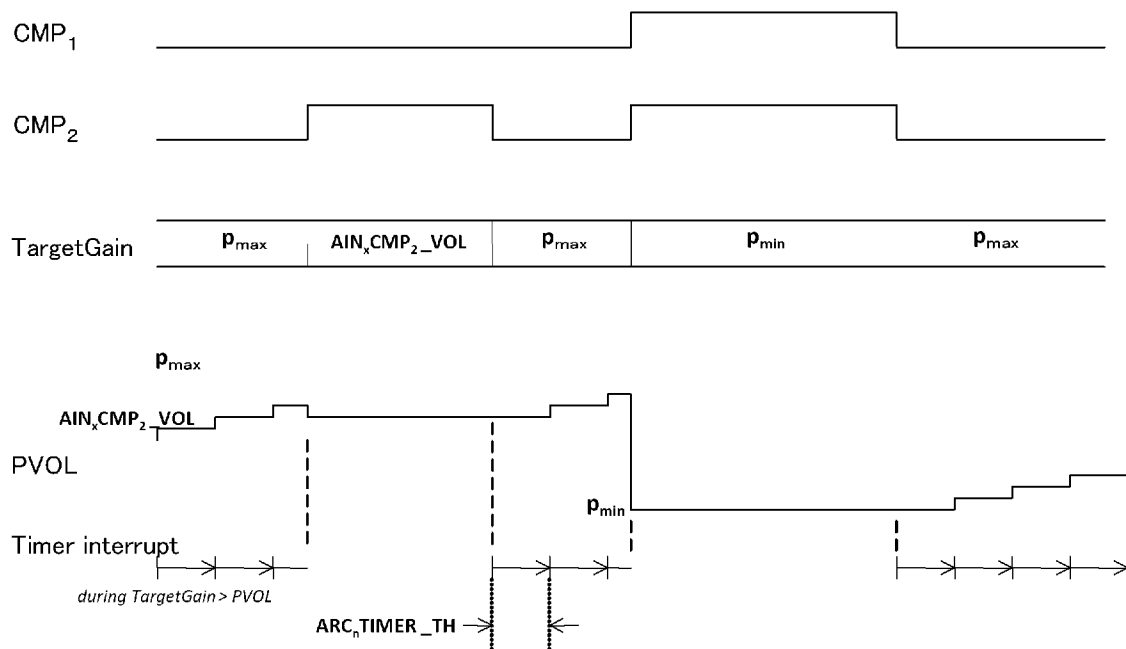


図 9 B



[図10]

図 10 A

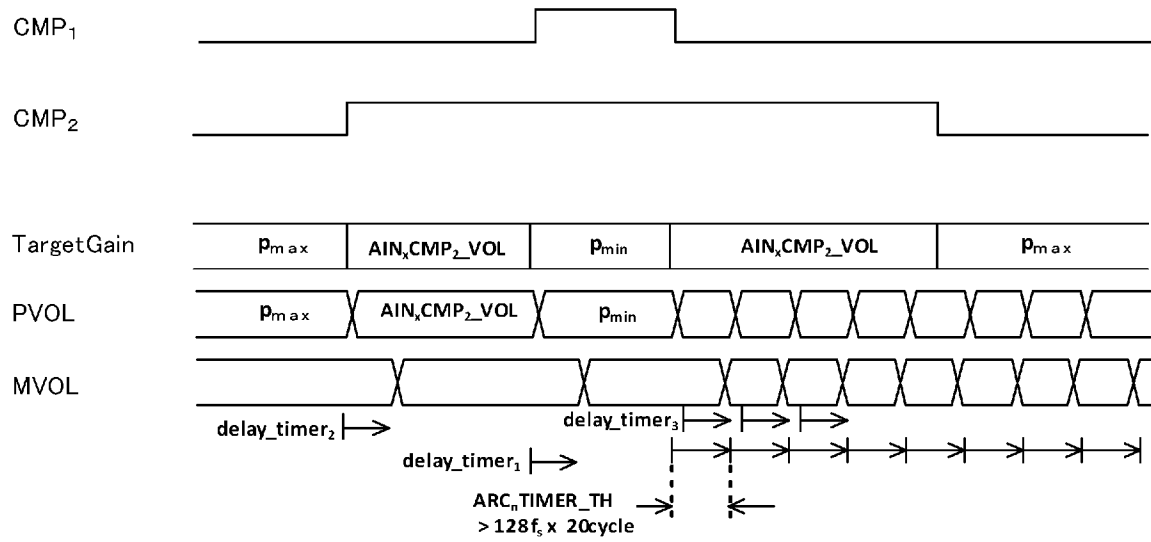
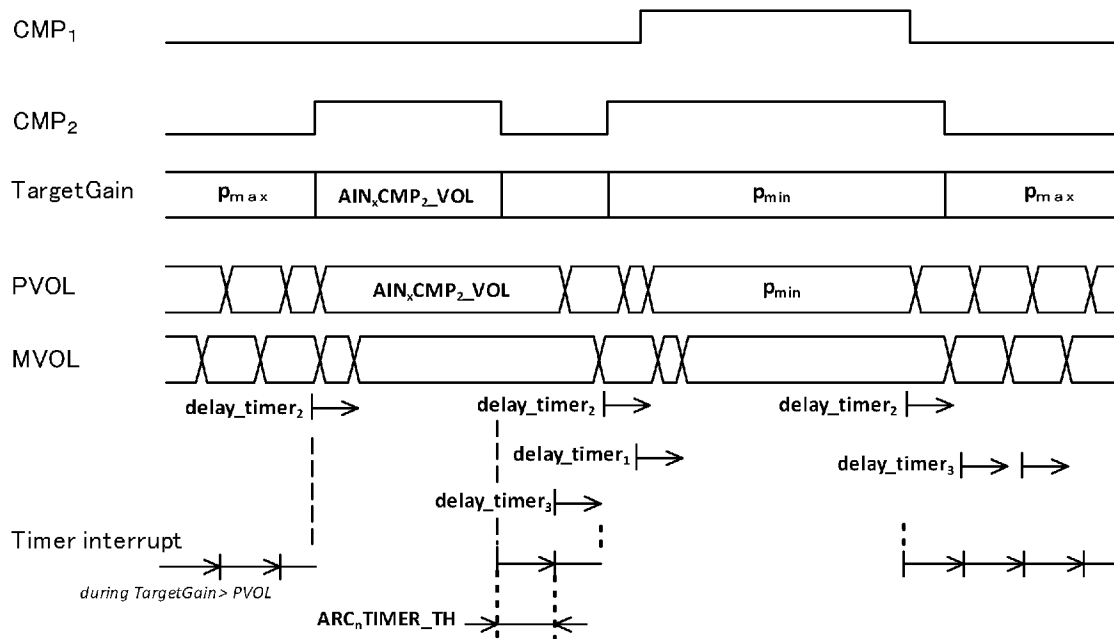
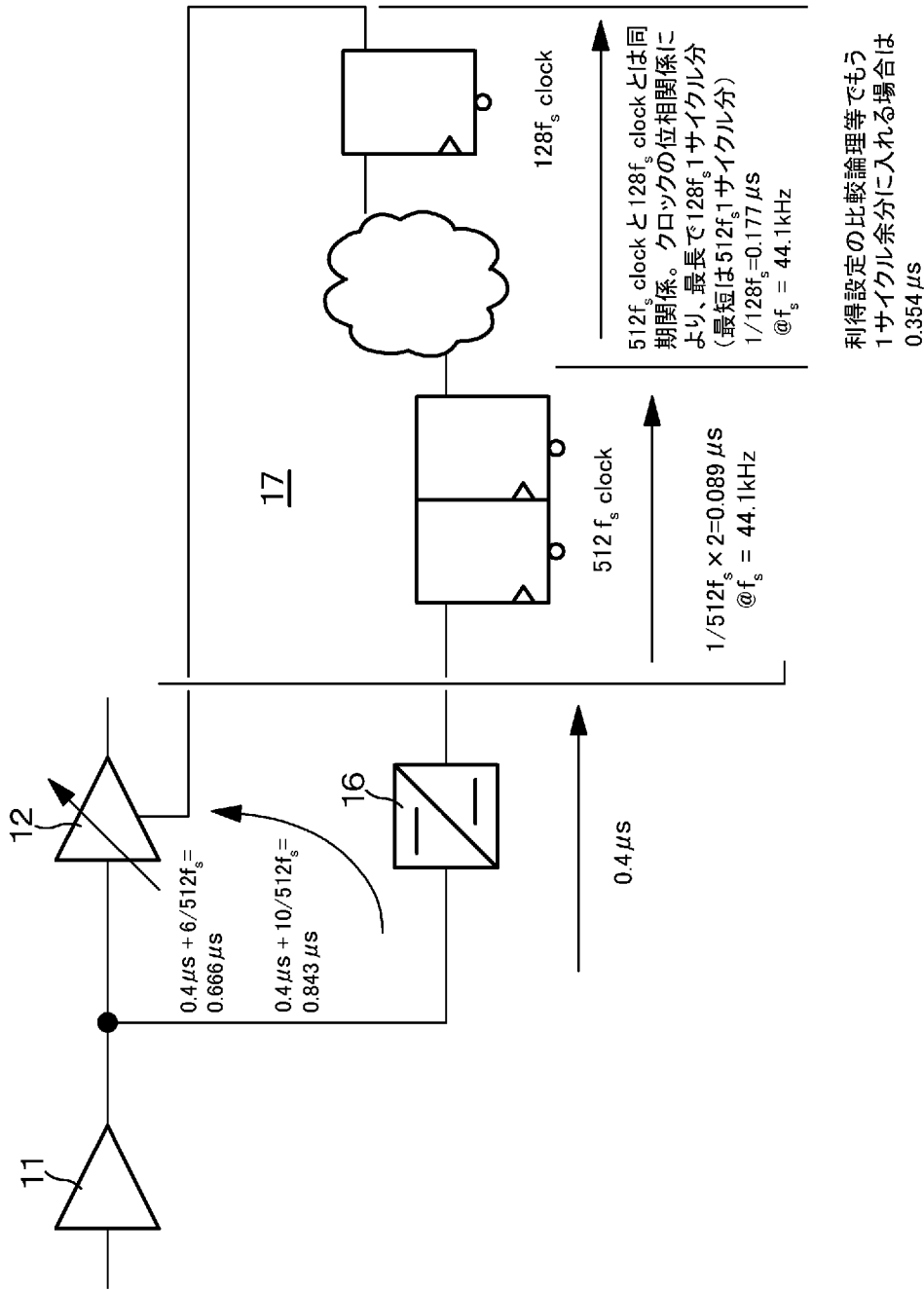


図 10 B



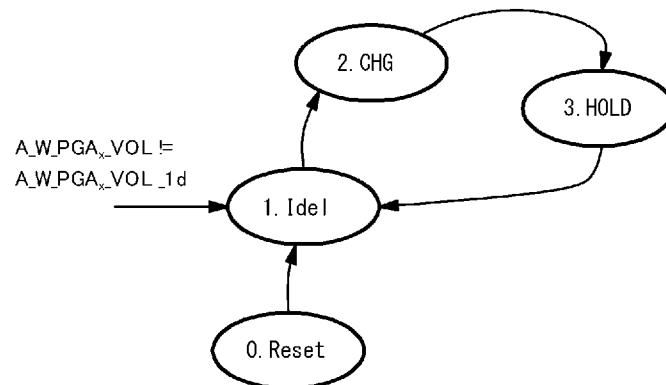
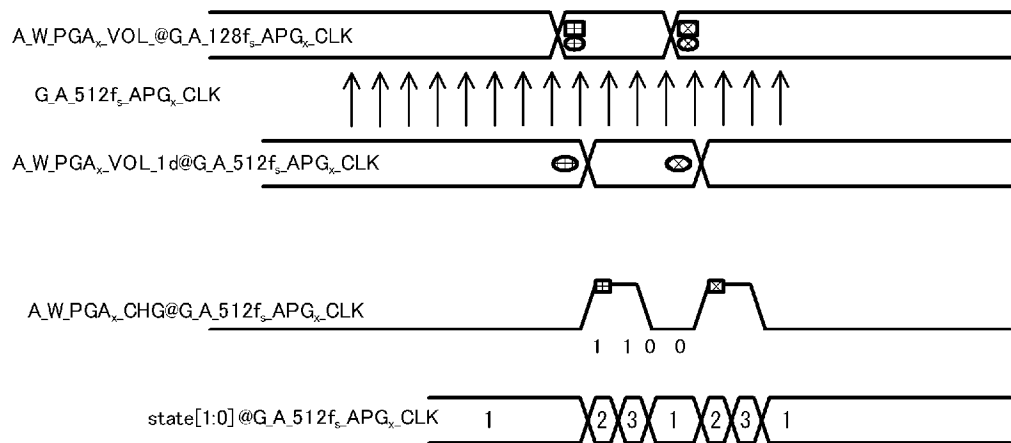
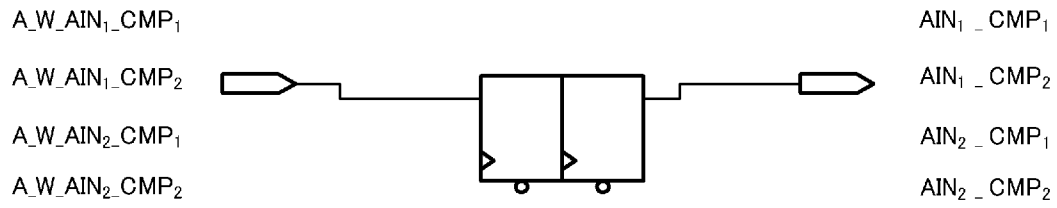
[図11]

図 1 1



[図12]

図 1 2



[図13]

図 1 3 A

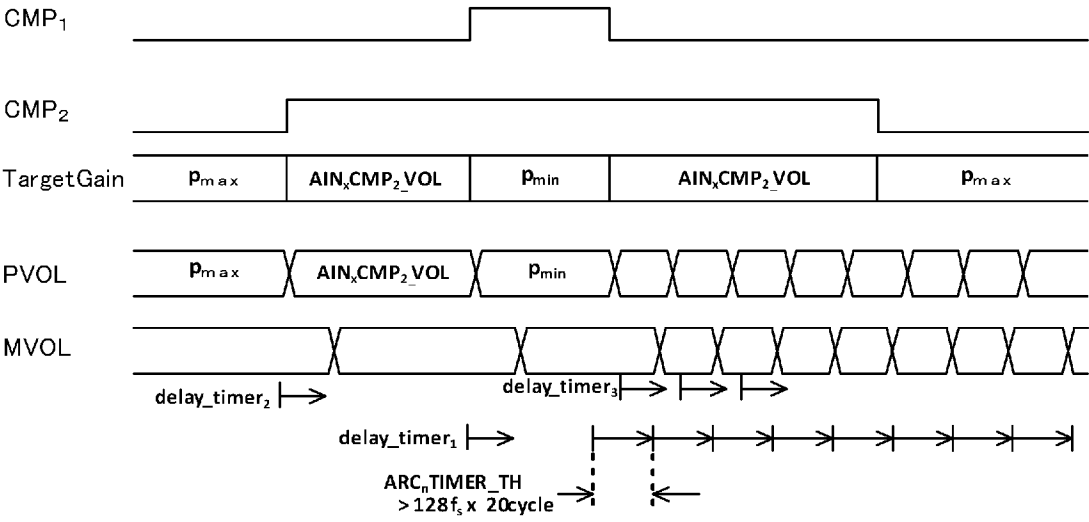
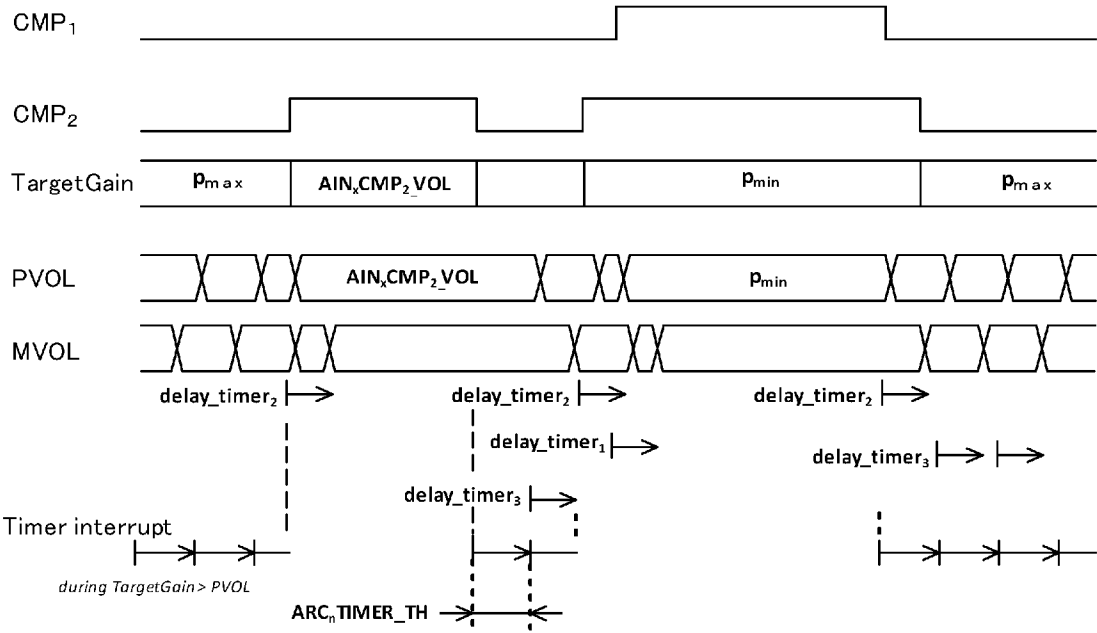
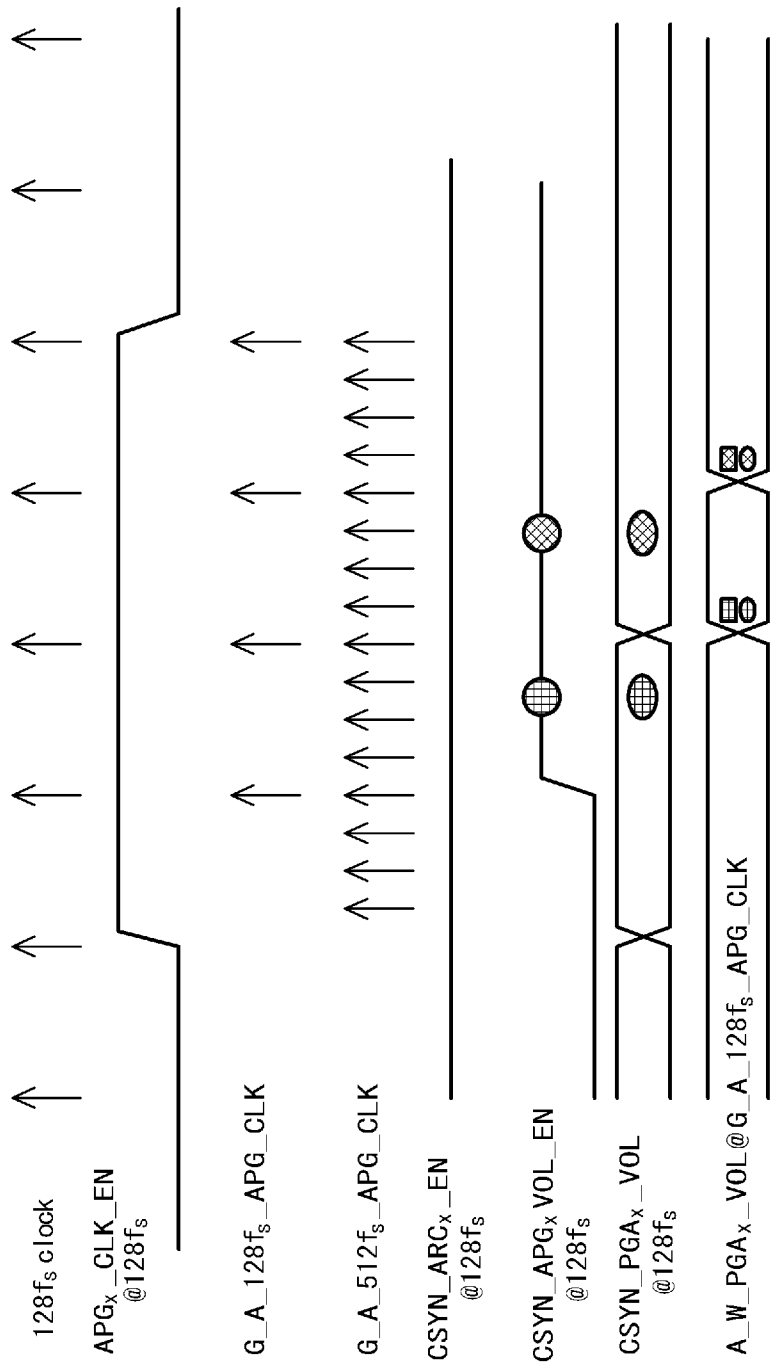


図 1 3 B



[図14]

図 1 4



[図15]

図 15 A

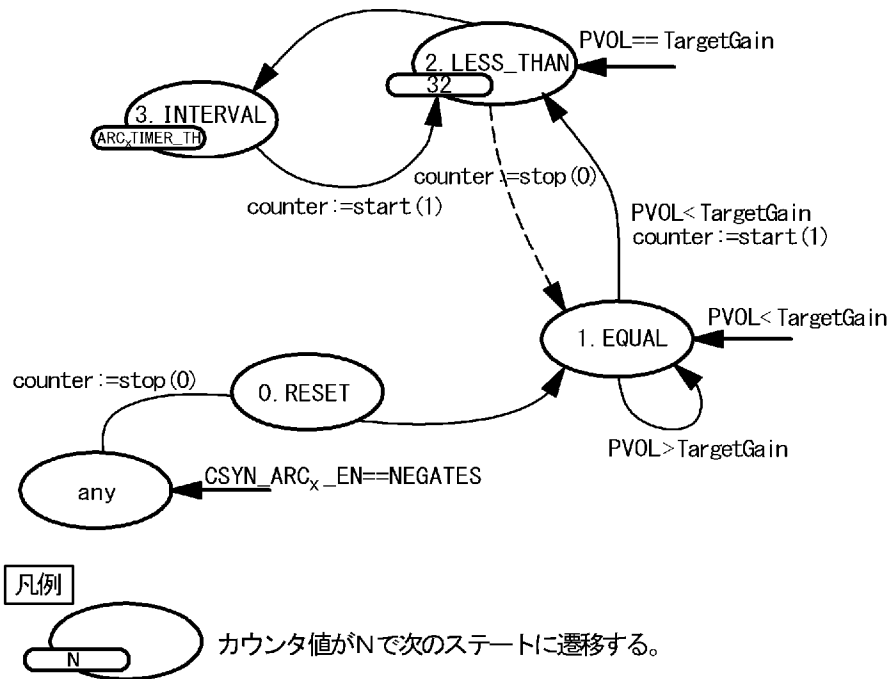
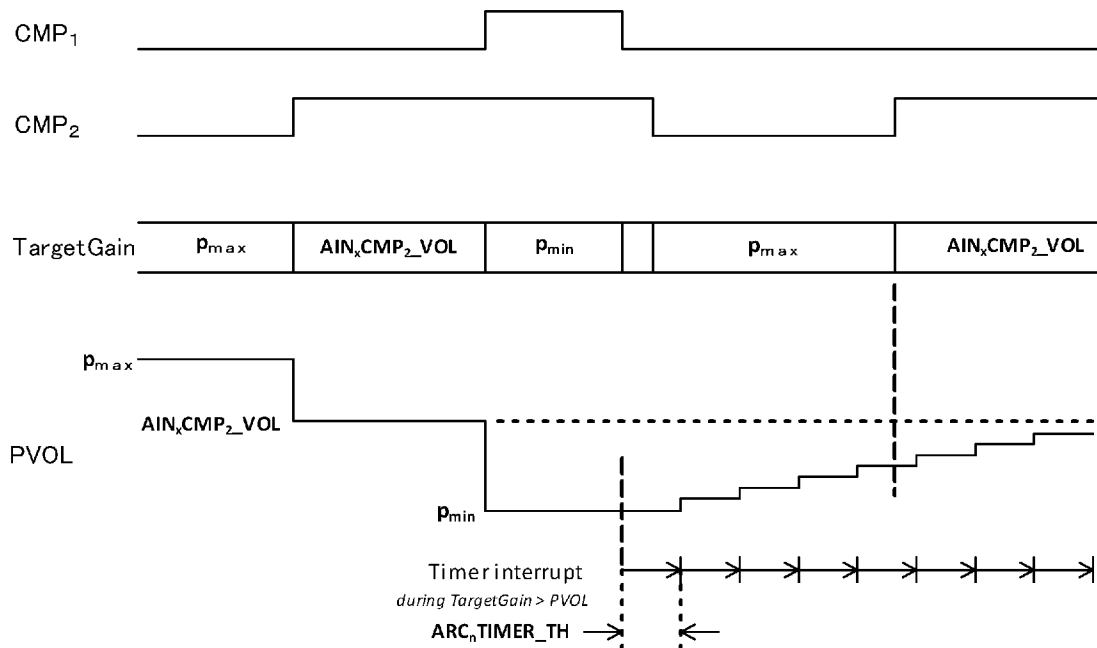
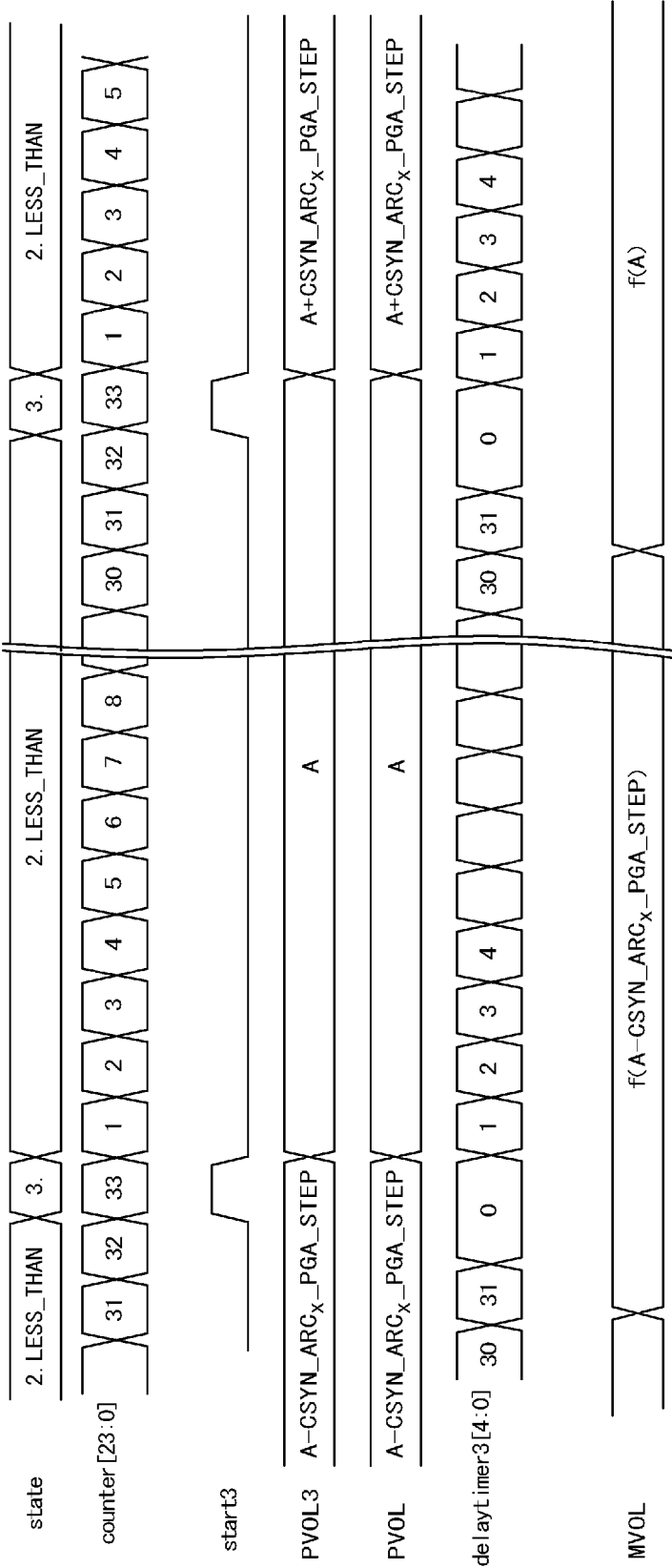


図 15 B



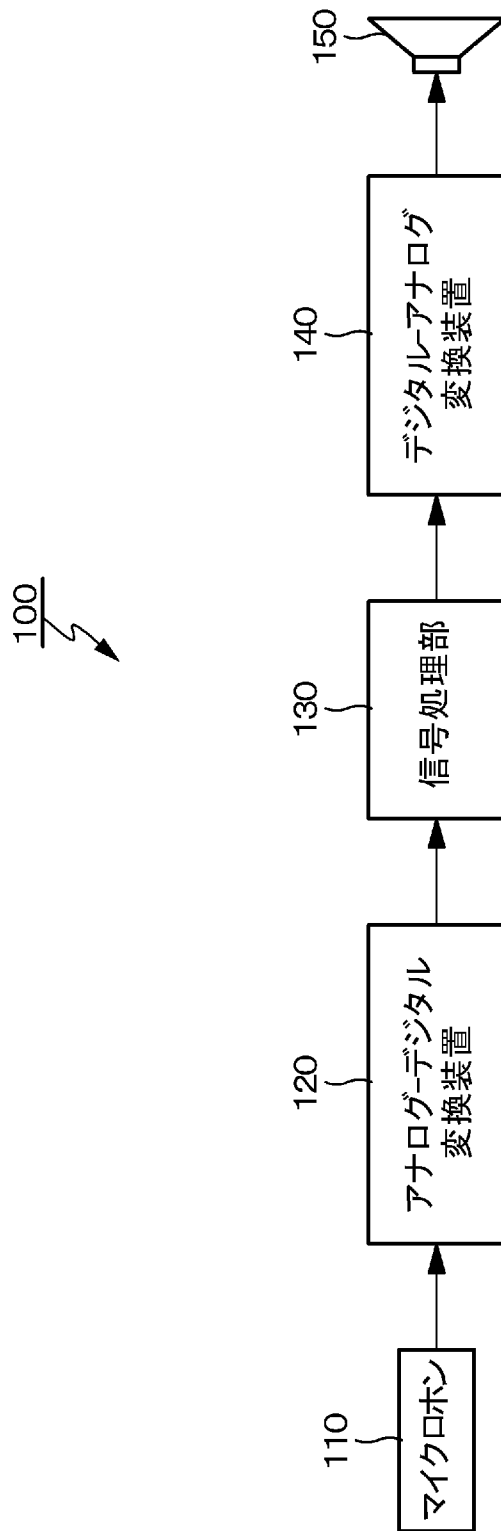
[図16]

図 16



[図17]

図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/016629

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03M3/02(2006.01)i, H03M1/18(2006.01)i, H04R3/00(2006.01)i
FI: H03M3/02, H03M1/18, H04R3/00320

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03M3/02, H03M1/18, H04R3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-146314 A (CSEM CENTRE SUISSE D'ELECTRONIQUE ET DE MICROTECHNIQUE SA-RECHERCHE ET DEVELOPPEMENT) 06.06.1995 (1995-06-06), paragraphs [0012], [0017]-[0022], [0031]-[0041], fig. 2, 3	1-13
Y	US 6288664 B1 (SWANSON, E. J.) 11.09.2001 (2001-09-11), column 5, lines 27-34, fig. 2C	1-13
Y	JP 2006-165912 A (ROHM CO., LTD.) 22.06.2006 (2006-06-22), paragraphs [0020]-[0034], fig. 1, 2	2-7, 13
Y	JP 2011-155386 A (SEIKO EPSON CORPORATION) 11.08.2011 (2011-08-11), paragraphs [0015], [0016]	7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26.06.2020

Date of mailing of the international search report
07.07.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2020/016629

JP 7-146314 A	06.06.1995	US 5541600 A column 2, lines 32-39, column 3, line 23 to column 4, line 13, column 6, line 10 to column 7, line 55, fig. 2, 3 EP 631395 A1
US 6288664 B1	11.09.2001	US 6369740 B1 US 6414619 B1 US 6590517 B1 US 6452519 B1 US 6310518 B1
JP 2006-165912 A	22.06.2006	(Family: none)
JP 2011-155386 A	11.08.2011	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 3/02(2006.01)i; H03M 1/18(2006.01)i; H04R 3/00(2006.01)i FI: H03M3/02; H03M1/18; H04R3/00 320		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03M3/02; H03M1/18; H04R3/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） IEEE Xplore		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-146314 A (セー エス ウー エム・サントル・スイス・デレクトロニク・ エ・ドウ・ミクロテクニク・エス アー・ルシエルシュ・エ・デヴェロプマン) 06.06.1995 (1995 - 06 - 06) [0012], [0017]-[0022], [0031]-[0041], 図2-3	1-13
Y	US 6288664 B1 (Eric J. Swanson) 11.09.2001 (2001 - 09 - 11) 第5欄第27-34行の記載、図2C	1-13
Y	JP 2006-165912 A (ローム株式会社) 22.06.2006 (2006 - 06 - 22) [0020]-[0034], 図1-2	2-7, 13
Y	JP 2011-155386 A (セイコーエプソン株式会社) 11.08.2011 (2011 - 08 - 11) [0015]-[0016]	7
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 26.06.2020		国際調査報告の発送日 07.07.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 北村 智彦 5K 9297 電話番号 03-3581-1101 内線 3556

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/016629

引用文献			公表日	パテントファミリー文献	公表日
JP	7-146314	A	06.06.1995	US 5541600 A 第2欄第32-39行, 第3欄第 23行-第4欄第13行, 第6欄 第10行-第7欄第55行, 図 2-3	
				EP 631395 A1	
US	6288664	B1	11.09.2001	US 6369740 B1	
				US 6414619 B1	
				US 6590517 B1	
				US 6452519 B1	
				US 6310518 B1	
JP	2006-165912	A	22.06.2006	(ファミリーなし)	
JP	2011-155386	A	11.08.2011	(ファミリーなし)	