

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.園田 大介

2.金子 壽輝

住居所地址：(中文/英文)

1.2.均日本國千葉縣茂原市早野 3300 番地日立顯示器股份有限公司
C/O HITACHI DISPLAYS, LTD. 3300 HAYANO MOBARA-SHI,
CHIBA-KEN, 297-8622, JAPAN

國 籍：(中文/英文)

1.2.均日本 JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 日本；2002 年 03 月 22 日；特願 2002-080166
- 2.
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 日本；2002 年 03 月 22 日；特願 2002-080166
- 2.
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

技術領域

本發明係有關於顯示裝置，特別是有關於將以較少之步驟數而進行高積體化之C-MOS之薄膜電晶體具備於顯示區域之主動元件或控制顯示區域之驅動電路之顯示裝置之相關技術。

使用液晶或有機EL之平面面板型之顯示裝置，係具有將有利於高精密度化、高速動作之多晶矽薄膜電晶體(p-Si TFT)作為驅動電路或主動元件而使用之傾向。使用該低溫多晶矽薄膜電晶體之顯示裝置，係藉由直接將驅動電路裝入於該顯示裝置之基板週邊，而能減低外部連接端子數，並能實現製造成本之減低。

發明內容

使用於顯示裝置之驅動電路之p-Si TFT之中，特別是移位暫存器係基於低消費電力且高速動作之要求而採用C-MOS構成。如此之高積體之C-MOS p-Si之製作係需要多數的微影法或微影步驟(使用曝光光罩或蝕刻之圖案成型法或步驟，以下亦簡稱為光學步驟)，且顯示裝置全體之製造成本係較高。此外，同時在像素選擇用之主動元件亦使用該多晶矽薄膜電晶體。

C-MOS p-Si TFT (以下稱為C-MOS TFT)係以一對的P-MOS p-Si TFT (以下稱為P-MOS TFT)和N-MOS p-Si TFT (以下稱為N-MOS TFT)而構成。製作C-MOS TFT時，雖鄰接於P-MOS TFT而配置N-MOS TFT，但，對於P-MOS TFT必須將N-MOS予以對位。近年來，形成採用所謂自我整合LDD製程方式而能

簡略地製作N-MOS TFT。因使用該製程即能以較少的光學步驟而製作C-MOS TFT。

圖9係模式性地表示具備於顯示裝置之習知的C-MOS TFT元件之一例的構成之上視圖。參考符號13係P通道部閘極電極，參考符號13'係N通道部閘極電極，17係連接孔，31係 N^+ 部，32係 N^- 部，34係 P^+ 部，25係P通道部，26係N通道部。C-MOS TFT元件電路係由具有 P^+ 部34之P通道部25、以及具有 N^+ 部31和 N^- 部32之N通道部26所構成。P通道部25之閘極電極13和N通道部26之閘極電極13'，係在連接兩者之部份具有對位部份35。

但是，使用該製程而製作C-MOS TFT時，則P-MOS TFT和N-MOS TFT之結合部份之用以對位的空間係變得非常大，而難以進行高積體化。因此，難以實現高精密度、高速驅動之顯示裝置。

本發明之目的在於實現一種將能縮小P-MOS TFT和N-MOS TFT之結合部份的空間之C-MOS構成之p-Si TFT予以具備於驅動電路等之顯示裝置。

為了達成上述目的，本發明係將具備於顯示裝置之C-MOS TFT作為該製作用的曝光用光罩而採用使用半曝光用光罩(中間色調光罩)之自動對準C-MOS製程而進行高積體化。藉由使用中間色調光罩，即可減低光學步驟數，且在P-MOS TFT和N-MOS TFT之結合部份的對位即不須要，並能實現高精密度、高速驅動之顯示裝置。有關於本發明之顯示裝置之構成的代表性之構成敘述如下。

(1)、具有薄膜電晶體基板，其係具備在P通道部之閘極電極和N通道部之閘極電極的寬幅上具有差異之C-MOS薄膜電晶體。

(2)、(1)之閘極電極寬幅的差異係在P通道部之閘極電極和N通道部之閘極電極的寬幅方向為相等。

(3)、在(1)或(2)之P通道部存在有 P^+ 半導體區域和 N^- 摻雜區域。

(4)、構成(3)之P通道部之 P^+ 半導體區域之 P^+ 摻雜原子之濃度係 10^{15}cm^{-2} 程度， N^- 摻雜區域之 N^- 摻雜原子之濃度係 10^{13}cm^{-2} 程度。

(5)、在(1)或(2)之 P^+ 半導體區域含有 N^- 摻雜原子而作為雜質。

依據作成上述本發明之各構成，即能實現將可縮小P-MOS TFT和N-MOS TFT之空間的C-MOS TFT具備於驅動電路等之顯示裝置。

又，本發明係不限定於上述構成以及後述之實施例之構成，當然亦能在本發明之技術思想之範圍內進行各種之變更。

實施方式

以下，參閱實施例之圖式而詳細說明本發明之實施形態。又，以下雖僅說明有關於構成本發明的顯示裝置之薄膜電晶體基板，但，顯示裝置係液晶顯示裝置時，係中介液晶而將對向基板貼合於該薄膜電晶體基板而構成。此外，作成有機EL顯示裝置時，在塗敷有機EL層於以該薄膜

電晶體基板而選擇之像素電極的同時，亦和像素電極均設置挾住上述有機EL層之對向電極而構成。

圖1係模式性地表示具備於本發明之顯示裝置之C-MOS TFT元件的構成之上視圖。此外，圖2係圖1的A部份之放大圖。參考符號11係N⁺部，13係P通道部閘極電極，13'係N通道部閘極電極，14係N⁻部，15係P⁺部，17係連接孔，25係P通道部，26係N通道部。C-MOS·TFT元件電路係由具有N⁻部14和P⁺部15之P通道部25、以及具有N⁺部11、N⁻部14之N通道部26所構成。P通道部25之閘極電極13和N通道部26之閘極電極13'係在A部份的連接部當中相連接。如此，閘極電極13和閘極電極13'係配置於同一條直線上。當然，在製造上該直線形狀係多少具有彎曲之情形，但，所謂的本發明之直線上，係只要大致形成於直線，則可縮小C-MOS TFT之空間，並達成能進行高積體化之功效，此係不用說而絕無問題。

如放大於圖2所示，在P通道部25和N通道部26之連接部當中，於P通道部25之閘極電極13和N通道部26之閘極電極13'之寬幅上具有尺寸變動 ΔS 。本實施例係相較於P通道部之閘極電極的寬幅，而N通道部之閘極電極的寬幅方面係較窄。該理由係為了在N通道部作成LDD部份，由於使用如最單純而考量之後述之圖3的半曝光光罩時，則P通道部之閘極寬幅係較N通道部之閘極寬幅更寬廣，故將半曝光用光罩予以改變，則亦能將N通道部之閘極電極寬幅作成較P通道部之閘極電極寬幅更為寬廣之狀態。進而將半曝光用光罩之圖

案進行微調，則理論上亦能將N通道部之閘極電極寬幅和P通道部之閘極電極寬幅作成相同的電極寬幅，但，並不意味著將電極寬幅作成相同的寬幅直至進行微調為止，而實際之製造上係並非如此。此外，本實施例係圖中上下之P通道部之閘極電極和N通道部之閘極電極的尺寸變動 ΔS 為相同，此點亦為其特徵之一。

由於本實施例之C-MOS TFT係採用自動對準C-MOS製程而製作，而在該P通道部25和通道部26的結合部份並無用以對位之空間。因此，C-MOS TFT元件之全體空間尺寸，係較具有用以對位之空間者更能大幅減低。

繼之，說明本發明之顯示裝置之C-MOS TFT之製作製程的實施例。又，以下係為了說明本發明之功效，而亦說明習知之C-MOS TFT之製作製程之例子。

圖3係說明使用於本發明之C-MOS TFT的製作之半曝光用光罩之基本的構成之模式圖。亦稱為中間色調光罩之半曝光用光罩40之構成材料係鉻較為理想，並由完全透過光之透光部41、完全遮斷光之不透光部42、以及部份透過光之半透光部43所構成。該例中，半透光部43係中介不透光部之橋部42a而連續形成有多數之平行配置的狹縫43a。該例雖對不透光部42垂直地具有狹縫43a，但，對不透光部42平行地設置狹縫之半曝光用光罩，亦能獲得相同之功效。此外，亦能以不連續狹縫或圓形孔、另外之開孔而形成。無論以何種開孔而形成之半透光部43，該開孔部和不透光部均配置於曝光用光之解像度界限以下。又，本發明所使用之半

曝光用光罩40，當然係具有對應於C-MOS TFT之圖案之透光部41、不透光部42、以及半透光部43。

因此，圖3所示之半曝光用光罩40之半透光部43係平行狹縫43a和橋部42a之排列為作成解像度界限以下。藉由使用該半曝光用光罩40，後述之光學步驟之曝光製程，係在由透光部41而進行曝光之抗蝕劑部份照射既定之光能量，而由半透光部43而曝光之抗蝕劑部份，係以未達上述既定之光能量之狀態而照射。因此，使用負型抗蝕劑時，係進行以透光部41而曝光之部份之架橋反應直至該抗蝕劑之下層為止，而以半透光部43而曝光之部份之架橋反應係在表面近傍中止，正型抗蝕劑之情形則係和此相反。

圖4和圖5係說明本發明之一實施例之C-MOS TFT之製作製程圖。此處，係表示各製程之圖1所示之B-B'線之C-MOS TFT之截面。首先，在玻璃基板1上將氧化矽(SiO)、氮化矽(SiN)積層所組成之絕緣層2予以成膜，並將非結晶矽(a-Si)層3予以成膜。繼之，藉由施以脫氫處理以及準分子雷射退火(ELA)處理，將非結晶矽層3進行多晶矽(p-Si)化(製程P-1，以下簡單地表記為P-1)。

塗敷抗蝕劑，並以光學步驟而形成Si島層之抗蝕劑圖案之後，施以乾式蝕刻而形成Si島層4。繼之，將殘留之抗蝕劑予以去除。抗蝕劑係未圖示(P-2)。以下，亦有將「蝕刻法」(etching)簡稱為「蝕刻」(etch)之情形。

在Si島層4的上層，藉由CVD法而將氧化矽(SiO)所組成之閘極絕緣層5予以成膜。繼之，為了控制N型之臨界值，則

藉由第1次離子注入(E內植1處理)予以摻雜磷(P)而形成N-MOS用Si島層6(P-3)。又,以下亦有將「內植法」(implantation)簡稱為「內植」(impla)之情形。

依據光學步驟而以抗蝕劑90覆蓋P-MOS用Si島層7部以外之部份。為了控制P型之臨界值,則藉由第2次離子注入(E內植2處理),而在P-MOS用Si島層7部摻雜硼而形成P-MOS用Si層7(P-4)。

將抗蝕劑90予以去除之後,藉由進行快速熱感應退火(RTA)而將閘極絕緣層5予以燒成,並依據E內植1處理和E內植2處理而使結晶化狀態已崩毀之N-MOS用Si島層6和P-MOS用Si島層7進行結晶化(P-5)。

藉由濺鍍法而將鉬-20 wt%鎢合金(Mo-20 wt%W)所組成之閘極金屬層8予以成膜。繼之,使用圖3所說明之半曝光用光罩,並依據微影法而形成半曝光抗蝕劑9、9'之圖案(P-6)。此處,以半透光部43而進行曝光之半曝光抗蝕劑9之圖案,係以凸形狀而表示較曝光用光罩之不透光部之抗蝕劑厚度更薄之形態。亦即,凸形狀之肩部份係半曝光區域,且為較另外的部份更薄之抗蝕劑。9'係無半曝光區域之部份。

以添加磷酸、硝酸、醋酸以及氟化銨之溶液所組成之蝕刻液,並使用淋浴蝕刻法而將閘極金屬層8進行溼式蝕刻。此時,以 $0.6\text{ }\mu\text{m}\sim 1.2\text{ }\mu\text{m}$ 將蝕刻所產生之閘極金屬層8之單邊後退量進行側邊蝕刻而形成自我整合LDD用閘極電極10(P-7)。

依據 $3\times 10^{15}\text{cm}^{-2}$ 程度內植處理,將磷摻雜於N-MOS用Si層6

而形成 N^+ 部11 (P-8)。將摻雜有磷之部份賦予符號11而規劃並表示於N-MOS用Si島層6之兩側。

將抗蝕劑膜厚較另外的部份更薄之半曝光區域予以灰化去除，而形成P通道部閘極電極抗蝕劑圖案12、以及N通道部閘極電極抗蝕劑圖案12' (P-9)。此時，P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12'係在抗蝕劑寬幅尺寸上產生差異。

由於抗蝕劑灰化係各向同性者，故抗蝕劑9、9'係對稱閘極配線中心軸而縮小抗蝕劑寬幅。此外，由於抗蝕劑9係具有和抗蝕劑9'相異之半曝光區域，故抗蝕劑寬幅縮小之開始係較為遲緩。因此，P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12'，係產生對稱於閘極配線中心軸之抗蝕劑寬幅尺寸之差異。

以添加磷酸、硝酸、醋酸、以及氟化銨之水溶液進行溼式蝕刻而形成P通道部閘極電極13和N通道部閘極電極13' (P-10)。此時，在N通道部之閘極電極13'實施不包括側邊蝕刻之溼式蝕刻。亦可使用乾式蝕刻法以取代溼式蝕刻法而將側邊蝕刻量作成零。

如上述，P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12'之寬幅尺寸上係具有差異，故如圖1之C-MOS元件上視圖和圖2所示，在P通道部閘極電極13和N通道部閘極電極13'之寬幅尺寸係產生 ΔS 之差異。該寬幅尺寸之差異 ΔS 係在該兩閘極電極之寬幅方向兩側為相等。

藉由 $3 \times 10^{13} \text{cm}^{-2}$ 程度內植處理，摻雜磷而形成N通道 N^- 部

14。此時，在P通道區域亦同時形成有N⁻部14' (P-11)。將摻雜磷之部份賦予符號14、14'並予以規劃而表示。將抗蝕劑進行灰化而去除(P-12)。

藉由微影法而以抗蝕劑予以覆蓋P-MOS用Si島層7以外之部份(P-13)

藉由 10^{15}cm^{-2} 程度反向內植處理而將硼(Br)摻雜於P-MOS用Si島層7。藉由該處理而將P通道區域之N⁻部14'改換成P⁺部15 (P-14)。因此，在P⁺部15係已摻雜之磷為存在 $3 \times 10^{13}\text{cm}^{-2}$ 程度。將改換成P⁺部之硼的摻雜區域賦予符號15而表示。依據灰化處理而將抗蝕劑90予以去除(P-15)。

藉由以上之內植法，則P通道部25係形成存在有P⁺多晶矽半導體層和N⁻部之構造。而且，構成上述之內植法所產生的P通道部之P⁺多晶矽半導體層之P⁺摻雜原子的濃度係 10^{15}cm^{-2} 程度，N⁻部之N⁻摻雜原子的濃度係 10^{13}cm^{-2} 程度。

藉由CVD法將SiO₂所組成之層間絕緣膜16予以成膜(P-16)。繼之，進行高爐退火(FA)和速熱感應退火(RTA)，並藉由內植處理而燃燒遭受損害之閘極絕緣層5，使N-MOS用Si島層6和P-MOS用Si島層7進行活性化。

覆蓋層間絕緣膜16而塗敷未圖示之抗蝕劑，並藉由微影法而形成N-MOS用Si島層6和P-MOS用Si島層7之連接孔17之抗蝕劑圖案之後，以添加有氟化氫、氟化銨之水溶液所組成之蝕刻液且使用淋浴蝕刻法，將層間絕緣膜16和5進行溼式蝕刻而形成連接孔17(P-17)。繼之，將抗蝕劑予以去除。

藉由濺鍍法而積層作為相對於Si之障壁之鈦(Ti)、作為源

極・汲極配線之鋁-矽合金(Al-Si)以及作為間隔物之Ti，並形成源極・汲極層18(P-18)。

覆蓋源極・汲極層18而塗敷未圖示之抗蝕劑，並藉由微影法而形成源極・汲極配線之抗蝕劑圖案之後，進行乾式蝕刻而形成源極・汲極配線19(P-19)。繼之，將抗蝕劑予以去除。

藉由CVD法而形成氮化矽(SiN)所組成之鈍化層20(P-20)。繼之，進氫氣退火處理而將Si膜中和界面之缺陷準位予以邊緣化。

在鈍化層20之上將含有感光材之丙烯酸系樹脂予以成膜，並形成以光學步驟而形成通孔圖案22'之有機絕緣層21(P-21)。

將有機絕緣層21之通孔圖案22'作為光罩而使用，並將鈍化層20進行乾式蝕刻而形成通孔22(P-22)。

依據添加少量的水於濺鍍中而進行室溫成膜之措施，覆蓋有機絕緣層21而將非結晶ITO予以成膜。繼之，塗敷未圖示之抗蝕劑於該非結晶ITO之上，並在以光學步驟法而形成像素電極之抗蝕劑圖案之後，使用3%草酸作為蝕刻液，並將非結晶ITO進行溼式蝕刻而形成像素電極23(P-23)。此後將抗蝕劑予以去除。

藉由採用該製程，由於依據8次之光學微影步驟即能製作搭載C-MOS電路之液晶面板用或有機LED用，另外之面板型顯示裝置用之TFT基板，故能大幅減低成本。進而因為藉由自我整合(self align)製程即能形成N-MOS和P-MOS，故能進行

C-MOS電路之高積體化。

繼之，將彩色過濾器基板貼合於該TFT基板，並在貼合間隙將液晶予以密封而構成液晶顯示裝置。此外，塗敷有機EL (OLED)物質於該TFT基板之像素電極，進而於其上配置對向電極而構成有機LED顯示裝置。本發明之TFT基板係亦能同樣地適用於另外的形成之主動陣列型顯示裝置之TFT基板。

但是，如後述之習知之C-MOS TFT之製作製程，或前述圖9所說明般地，在藉由曝光用光罩的配合而形成N-MOS和P-MOS時，由於必須考量光罩偏移之配合部份35，故難以進行高積體化。依據採用本實施例之半曝光用光罩和上述圖4與圖5之自我整合C-MOS製程之措施，即能將高積體之週邊電路予以搭載於大面積玻璃基板，故能製作將暫存器、DA變換電路、邏輯電路等進行高積體化之高精密度、高速驅動之大畫面低溫多晶矽TFT面板。

圖6係說明本發明之另外的實施例之C-MOS TFT之製作製程圖。此處亦表示各製程之圖1所示之B-B'線之C-MOS截面。圖6係僅表示本實施例之特徵部份，而圖4之(P-1)~(P-6)為止之製程，亦即，將閘極金屬層8予以成膜，並使用圖3所示之半曝光用光罩而形成半曝光抗蝕劑9、9'之圖案之製程為止，係和前述實施例相同。

在形成半曝光抗蝕劑9、9'之圖案之後(P-60)，將閘極金屬層8進行乾式蝕刻(P-61)。依據 $3 \times 10^{15} \text{cm}^{-2}$ 程度內植處理，將磷摻雜於N-MOS用Si島層6而形成 N^+ 部11 (P-62)。

此後，將殘留之抗蝕劑9、9'進行灰化而形成P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12' (P-63)。此時，P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12'，係於抗蝕劑寬幅尺寸上產生如前述之差異。該尺寸差異係依存於灰化量和半曝光部抗蝕劑膜(抗蝕劑9之較薄的部份)之膜厚，而其特徵則在於以閘極電極之配線中心軸為中心而形成線對稱之狀態(等於圖2所示之 ΔS)。相對於此，習知之製程之光罩配合之情形時，由於不清楚偏移之情形，故尺寸寬幅之偏移係不限定為形成於線對稱。

進行乾式蝕刻而形成P通道部閘極電極13和N通道部閘極電極13' (P-64)。由於P通道部閘極電極抗蝕劑圖案12和N通道部閘極電極抗蝕劑圖案12'之寬幅尺寸具有差異，故如圖1之C-MOS元件上視圖所示，P通道部閘極電極13和N通道部閘極電極13'之寬幅尺寸係產生差異(參閱圖2)。此後，在N通道N'部14'之形成(P-65)以後，係和使用說明實施例1之圖4的(P-11)~圖5之(P-23)而說明之方法相同。

本實施例中，為了形成LDD而將抗蝕劑予以後退之步驟、以及將半曝光部之抗蝕劑予以去除，並形成P通道TFT之閘極電極的抗蝕劑之步驟係相同的步驟。因此，形成相當於所必須的LDD寬幅之膜厚的半曝光抗蝕劑係極為重要。

依據本實施例，亦因為能將高積體之週邊電路予以搭載於大面積玻璃基板，故能製作將暫存器、DA變換電路、邏

輯電路等進行高積體化之高精密度、高速驅動之大畫面低溫多晶矽 TFT 面板。

繼之，為了使本發明和先前技術的差異更明確化，而說明有關於先前技術之 C-MOS p-Si TFT 之製造製程。

圖 7 係說明先前技術的一例之 C-MOS TFT 之製作製程圖。此處係表示各製程之 C-MOS 截面。至閘極金屬層 8 成膜為止，係和圖 4 所說明之本發明之一實施例相同。茲說明有關於其以後之步驟。

以光學步驟而形成閘極金屬電極之抗蝕劑 90 之圖案 (P-70)，藉由溼式蝕刻或乾式蝕刻將閘極金屬層 8 進行蝕刻而形成閘極電極 24 (P-71)。

藉由有機丙烯而剝離抗蝕劑 90 之圖案的抗蝕劑，或藉由灰化而予以去除 (P-72)。

藉由光學微影法而以抗蝕劑 90 覆蓋 N^+ 部 27 以外之部份。繼之，依據 $3 \times 10^{15} \text{cm}^{-2}$ 程度內植處理將磷摻雜於 N-MOS 用 Si 島層 6 而形成 N^+ 部 27 (P-73)。將抗蝕劑 90 予以去除 (P-74)。

藉由光學微影法而以抗蝕劑 90 覆蓋 N 通道部 26 以外之部份。繼之，依據 $3 \times 10^{13} \text{cm}^{-2}$ 程度內植處理而摻雜磷，並形成 N^- 部 28 (P-75)。將抗蝕劑 90 予以去除 (P-76)。

藉由光學微影法而以抗蝕劑 90 覆蓋 P 通道部 25 以外之部份。繼之，依據 10^{15}cm^{-2} 程度內植處理將硼摻雜於 P-MOS 用 Si 島層 7 而形成 P^+ 部 29 (P-77)。將抗蝕劑 90 予以去除 (P-78)。此後之層間絕緣膜形成以後係和使用圖 4 而說明之方法相同。

依據該方法而製作C-MOS p-Si TFT時，則必需10次光學微影步驟，使得生產成本變高。

圖8係說明先前技術之另外之例的自我整合LDD，其前述圖9所示之C-MOS p-Si TFT之製作製程圖。此處係表示各製程之圖9所示之C-C'線之C-MOS截面。至閘極金屬層8成膜為止，係和圖4所說明之本發明之一實施例相同。茲說明有關於其以後之步驟。

將閘極金屬層8予以成膜之後，以光學微影步驟而形成自我整合LDD用之抗蝕劑90之圖案(P-80)。以添加磷酸、硝酸、醋酸、以及氟化銨之水溶液所組成之蝕刻液，並使用淋浴蝕刻法而將閘極金屬層8進行溼式蝕刻。此時，以 $0.6\sim 1.2\ \mu\text{m}$ 將閘極金屬層8之單邊後退量進行側邊蝕刻而形成自我整合LDD用閘極電極30(P-81)。

將該抗蝕劑90作為光罩，依據 $3\times 10^{15}\text{cm}^{-2}$ 程度內植處理將磷摻雜於N-MOS用Si島層6而形成 N^+ 部31(P-82)。將抗蝕劑90予以去除。

將自我整合LDD用閘極配線30作為光罩而使用，依據 $3\times 10^{13}\text{cm}^{-2}$ 程度內植處理將磷進行摻雜而形成 N^- 部32(P-83)。

藉由光學微影法而以抗蝕劑90覆蓋構成P通道部25之閘極金屬層8之閘極電極的部份、以及N通道部26之部份(P-84)。

將P通道部25之閘極金屬層8進行乾式蝕刻而形成P通道部閘極電極33(P-85)。

依據 10^{15}cm^{-2} 程度內植處理，將硼摻雜於P-MOS用Si島層7

而形成P⁺部34 (P-86)。將抗蝕劑90予以去除 (P-87)。

此後之層間絕緣膜形成以後，係和使用前述本發明之一實施例之圖4而說明之方法相同。

依據該方法而製作C-MOS TFT時，由於依據各個光學步驟而形成P通道部25之閘極電極13和N通道部26之閘極電極13'，故需要如圖9所示之以P通道部25和N通道部26之連接部而配合於閘極電極13和13'之部份35。據此而得知本方法係難以進行C-MOS電路之高積體化。

又，在形成使用上述之C-MOS薄膜電晶體之驅動電路和主動元件之薄膜電晶體基板上，將作為對向基板而形成例如彩色過濾器或共通電極等之彩色過濾器基板予以貼合，並將液晶封裝於對向間隙，即能構成液晶顯示裝置。此外，藉由將有機EL層予以積層於薄膜電晶體基板之主動元件所具有之像素電極之區域，並挾住該有機EL層而積層另一方之電極，即能構成有機EL顯示裝置。

本發明係不限定於上述實施例，且能在本發明之技術思想的範圍內進行各種變更。例如，本說明書中，雖以多晶矽而形成半導體層，但，亦可為單結晶之半導體，或亦可為構成單結晶和多晶矽的中間之擬似單結晶之半導體。進而在本說明書中，雖僅將LDD構造形成於N型電晶體區域，但亦可為形成於P型之構成。

此外，如圖1和圖2，在顯示裝置之基板上具有C-MOS薄膜電晶體，且該C-MOS薄膜電晶體係P通道部之閘極電極和N通道部之閘極電極為大致連接於直線上，並鄰接P通道部和

N通道部而構成，據此，即能製作無須如圖9所示之對位部份之省空間的C-MOS TFT，並可進行高積體化。當然，該構成其P通道部之閘極電極寬幅和N通道部之閘極電極寬幅亦為相異，進而P通道部之閘極電極和N通道部之閘極電極之連接部份，係以P通道部之閘極電極寬幅、或N通道部之閘極電極寬幅之中較狹窄的一方之閘極電極寬幅以上，P通道部之閘極電極寬幅、或N通道部之閘極電極寬幅之中較寬廣的一方之閘極電極寬幅以下而予以連接。本實施例之圖式中，P通道部之閘極電極寬幅係較N通道部之閘極電極寬幅更寬廣，進而C-MOS薄膜電晶體之P通道部之閘極電極和N通道部之閘極電極，其連接部之閘極線寬幅之差異係在寬幅方向分別相等。

此外，本說明書雖記載有關於C-MOS p-Si TFT之構成，但不限定於p-Si。特別是有利於高精密度化、高速動作之p-Si之情形時，係具有其優點。

如以上說明，依據本發明，其作為用以製作具備於顯示裝置之C-MOS之曝光用光罩係採用使用中間色調光罩之自動對準C-MOS製程，則在P-MOS TFT和N-MOS TFT之結合部份的對位即不須要，且能以較少的光學步驟數而將C-MOS進行高積體化，並能實現高精密度、高速驅動之顯示裝置。

圖式簡單說明

圖1係模式性地表示具備於本發明之顯示裝置之C-MOS p-Si TFT元件之構成之上視圖。

圖2係圖1的A部份之放大圖。

圖3係說明使用於本發明之C-MOS p-Si TFT的製作之半曝光用光罩之基本的構成之模式圖。

圖4係說明本發明之一實施例之C-MOS p-Si TFT之製作製程圖。

圖5係續接於說明本發明之一實施例的圖4之C-MOS p-Si TFT之製作製程圖。

圖6係說明本發明之另外的實施例之C-MOS p-Si TFT之製作製程圖。

圖7係說明先前技術之一例之C-MOS p-Si TFT之製作製程圖。

圖8係說明先前技術之另外之例的自我整合LDD之C-MOS p-Si TFT之製作製程圖。

圖9係模式性地表示具備於顯示裝置之習知之C-MOS p-Si TFT元件之一例之構成之上視圖。

圖式代表符號說明

- | | |
|------|------------|
| 1 | 玻璃基板 |
| 2 | 絕緣層 |
| 3 | 非結晶矽層 |
| 4 | Si島層 |
| 5 | 閘極絕緣層 |
| 6 | N-MOS用Si島層 |
| 7 | P-MOS用Si島層 |
| 8 | 閘極金屬層 |
| 9、9' | 半曝光抗蝕劑 |

10	LDD用 閘極 電極
11、27、31	N ⁺ 部
12	P通道部 閘極 電極 抗蝕劑 圖案
12'	N通道部 閘極 電極 抗蝕劑 圖案
13	P通道部 閘極 電極
13'	N通道部 閘極 電極
14、28、32	N ⁻ 部
15、29、34	P ⁺ 部
16	層間絕緣膜
17	連接孔
18	源極・汲極層
19	源極・汲極配線
20	鈍化層
21	有機絕緣層
22	通孔
22'	通孔 圖案
23	像素電極
24	閘極電極
25	P通道部
26	N通道部
30	自我整合LDD用 閘極 電極
33	P通道部 閘極 電極
35	對位部份
40	半曝光用光罩

41	透光部
42	不透光部
42a	橋部
43	半透光部
43a	狹縫
90	抗蝕劑

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

- 11 N^+ 部
- 13 P通道部閘極電極
- 13' N通道部閘極電極
- 14 N^- 部
- 15 P^+ 部
- 17 連接孔
- 25 P通道部
- 26 N通道部

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾壹、圖式：

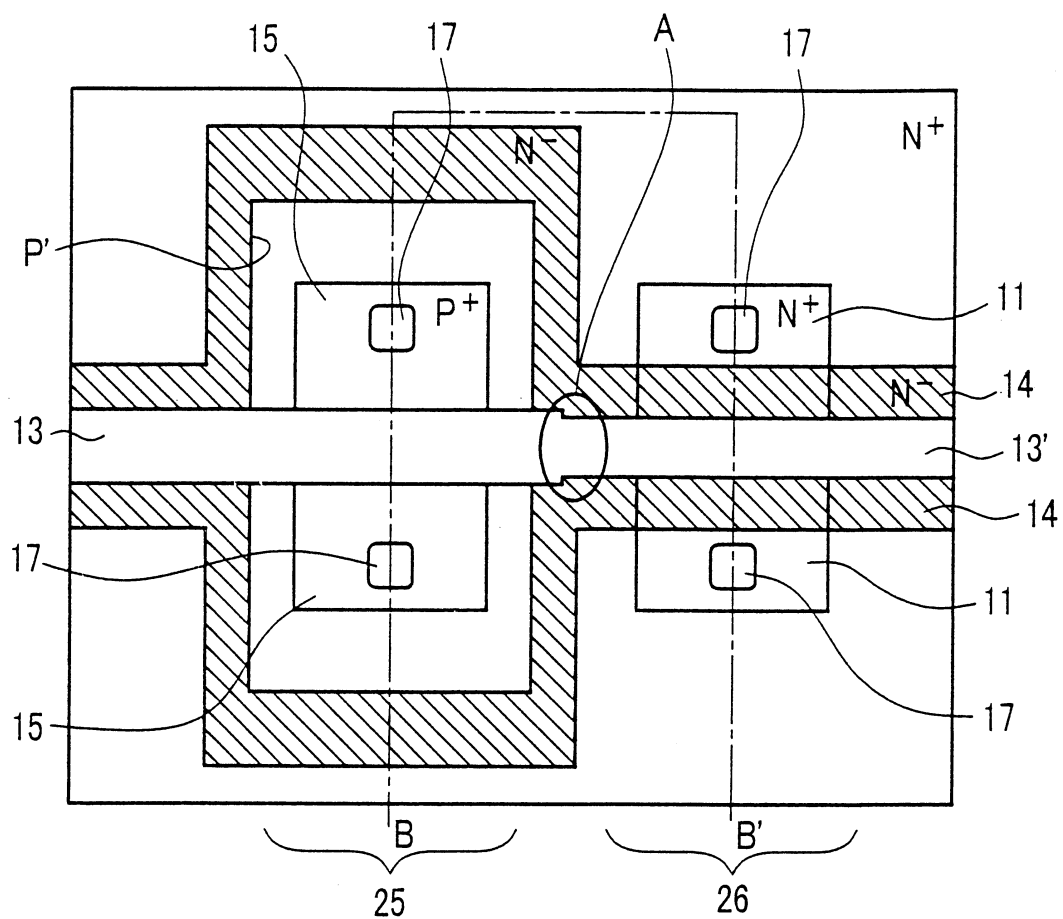


圖1

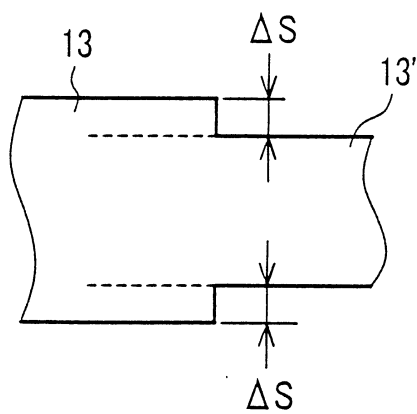


圖2

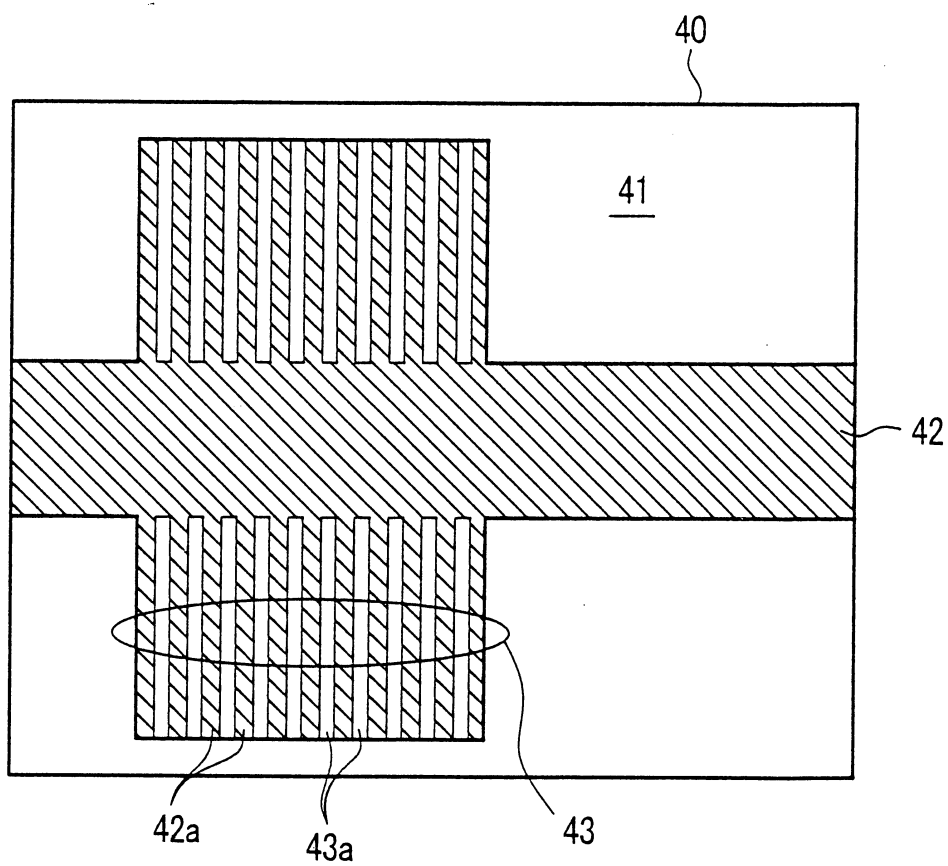


圖3

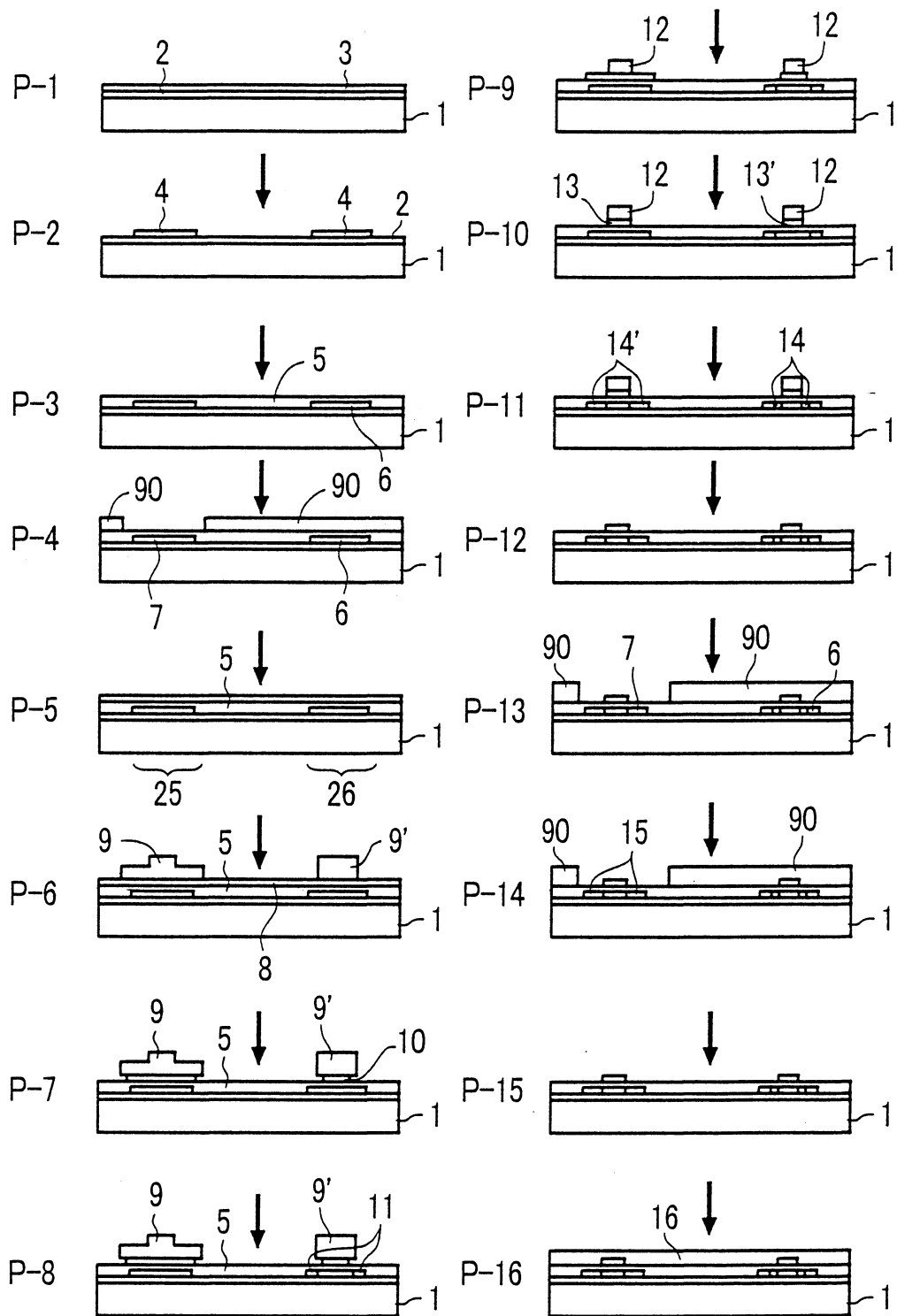


圖4

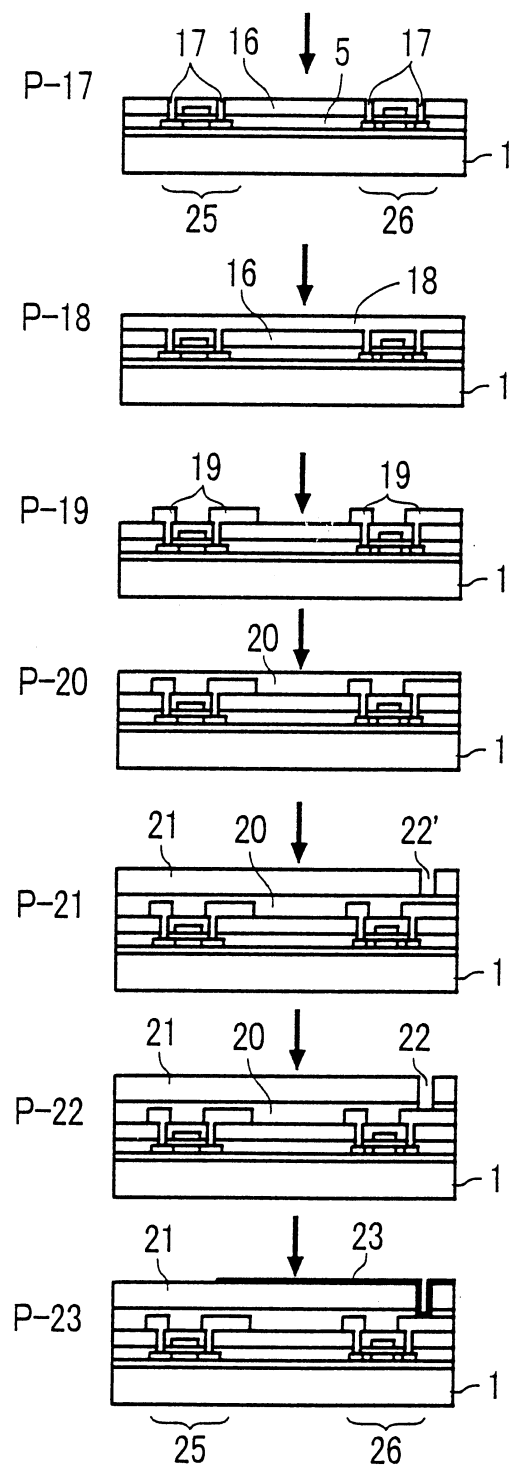


圖5

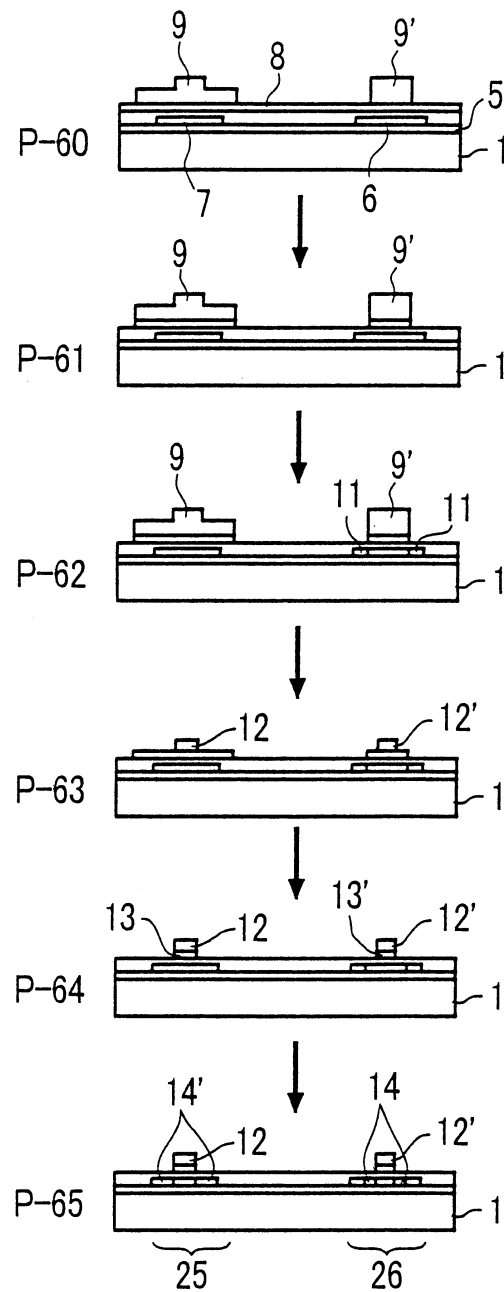


圖6

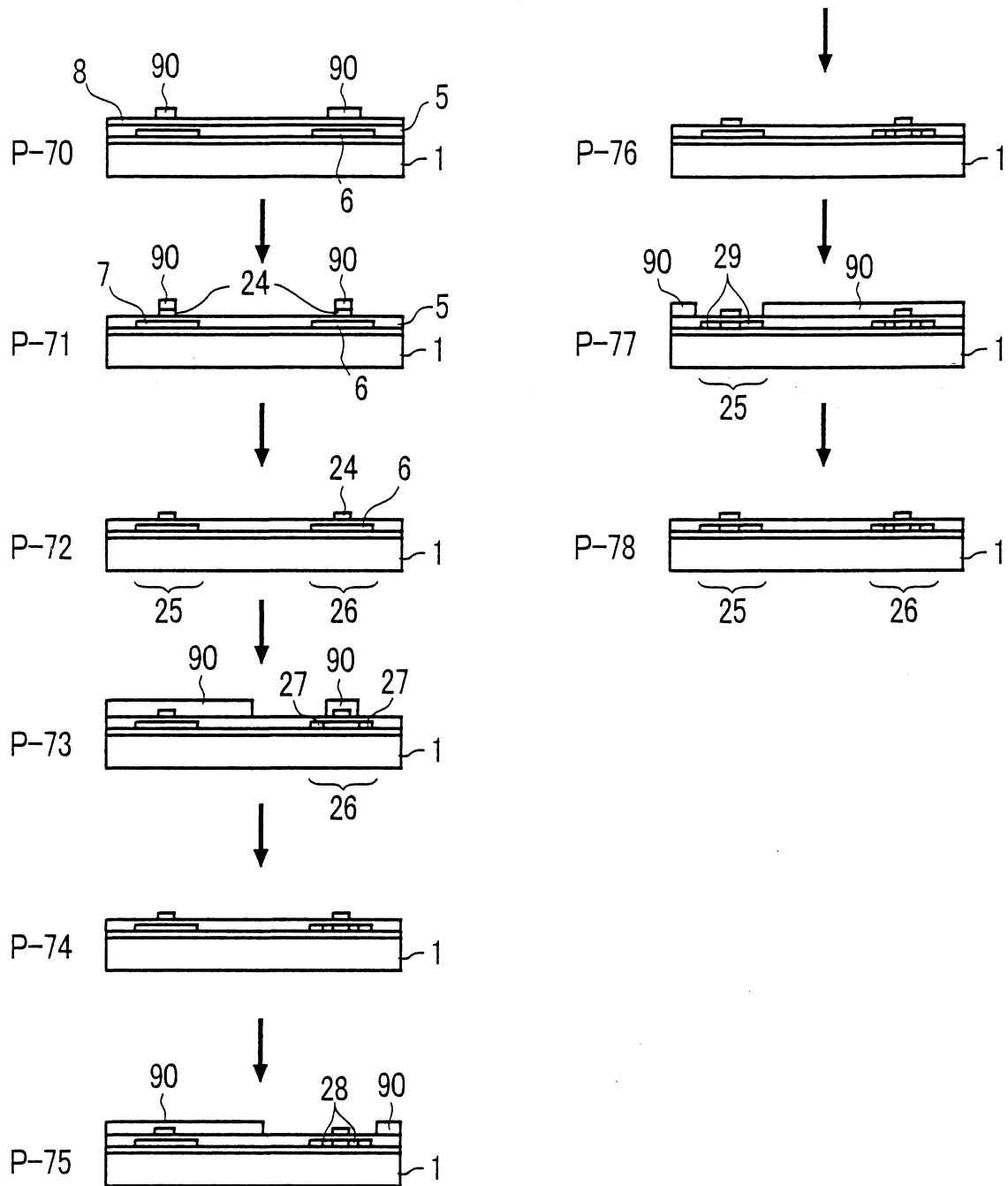


圖 7

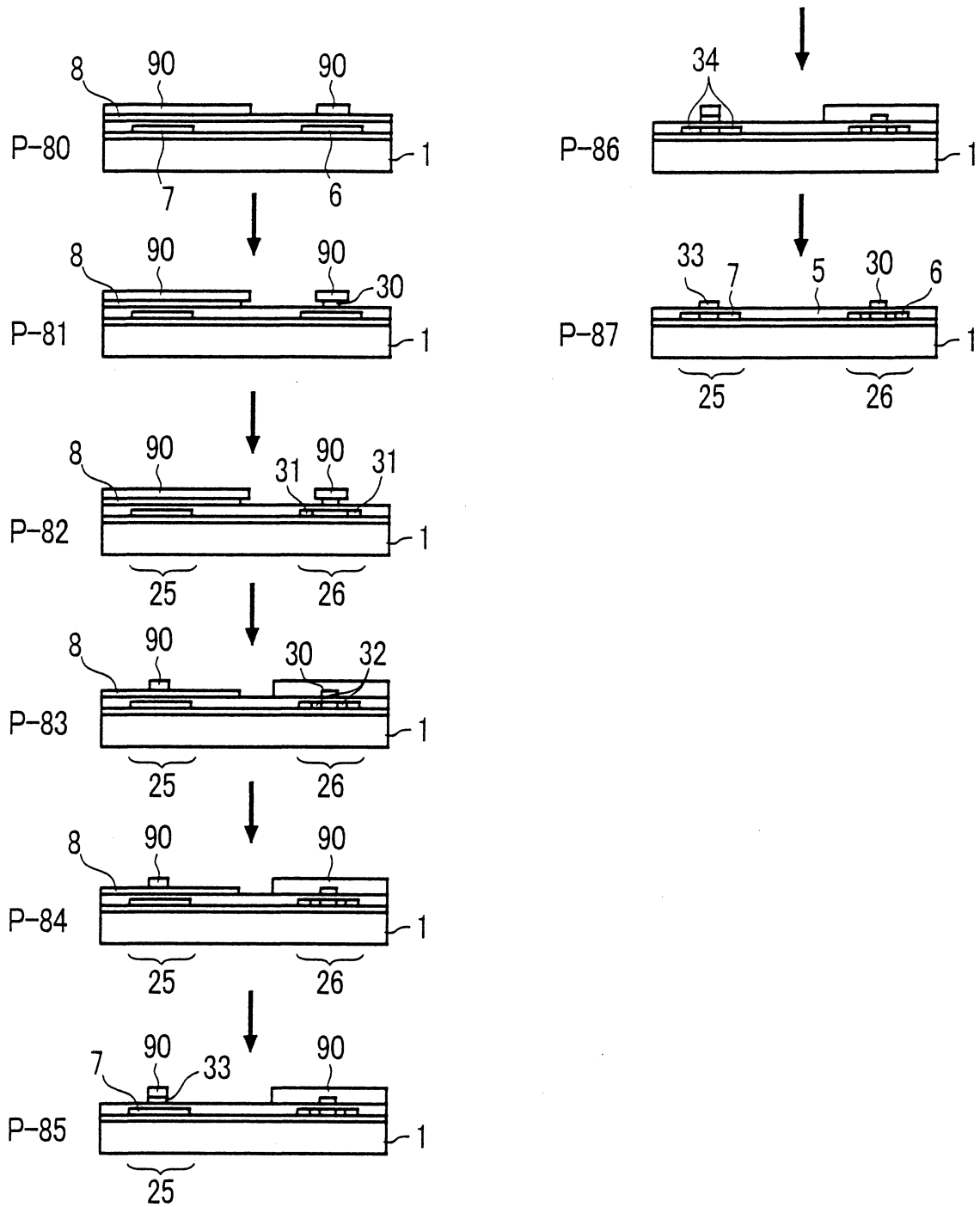


圖8

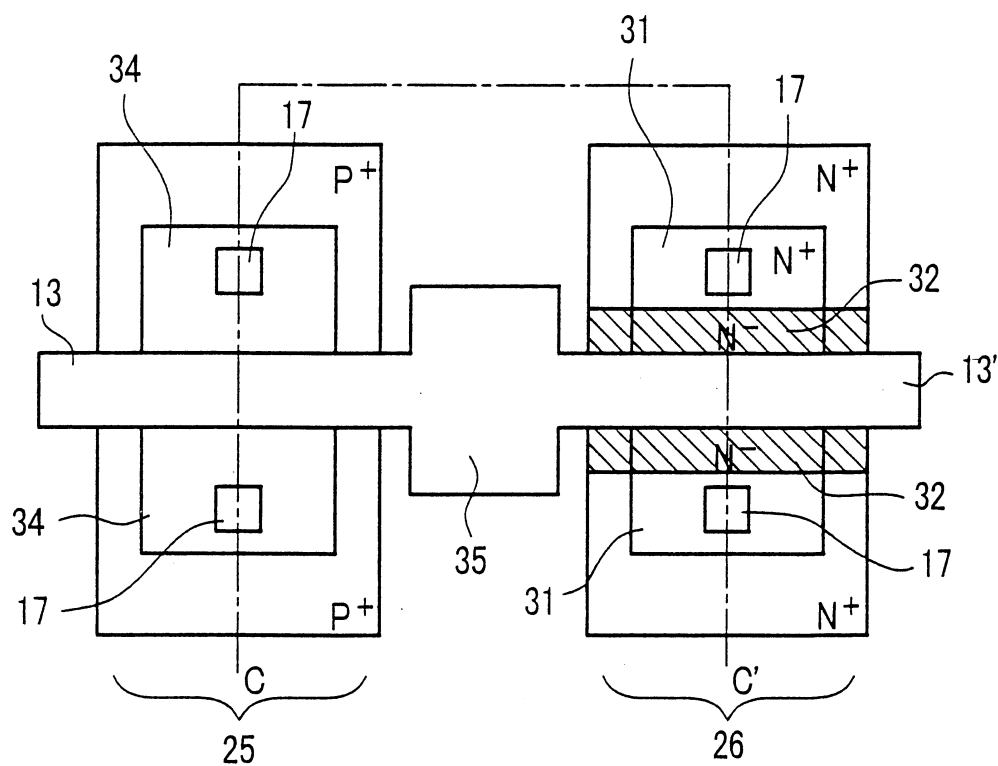


圖9

修正
93年6月25日補充

公告本
發明專利說明書

I230289

中文說明書替換頁(93年6月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92106314

※申請日期：92.3.21

※IPC分類：G02F 1/33

壹、發明名稱：(中文/日文)

顯示裝置

DISPLAY DEVICE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

日商日立顯示器股份有限公司

HITACHI DISPLAYS, LTD.

代表人：(中文/英文)

米內 史明

FUMIAKI YONAI

住居所或營業所地址：(中文/英文)

日本國千葉縣茂原市早野 3300 番地

3300 HAYANO MOBARA-SHI, CHIBA-KEN, 297-8622, JAPAN

國籍：(中文/英文)

日本 JAPAN

伍、中文發明摘要：

本發明係提供一種能實現將縮小 P-MOS TFT 和 N-MOS TFT 之空間並高積體化之 C-MOS p-Si TFT 予以具備於驅動電路等之顯示裝置之相關技術，其作為用以製作具備於顯示裝置的 C-MOS p-Si TFT 之曝光光罩係採用使用中間色調光罩之自動對準 C-MOS 製程。依據使用中間色調光罩之措施，在 P-MOS 部 25 和 N-MOS 部 26 之結合部份的對位即不須要，並能減少光學步驟數而進行高積體化。

陸、英文發明摘要：

「The present invention realizes a display device having C-MOS p-Si TFTs which enable the high integration by reducing spaces for P-MOS TFTs and N-MOS TFTs in driving circuit or the like thereof. The present invention adopts a self-aligned C-MOS process which uses a half tone mask as an exposure mask for manufacturing the C-MOS p-Si TFTs mounted on the display device. With the use of the half tone mask, the alignment or positioning at a bonding portion between a P-MOS portion and an N-MOS portion becomes unnecessary and hence, the number of photolithography steps can be reduced and the high integration of C-MOS TFT circuits can be realized.」

拾、申請專利範圍：

1. 一種顯示裝置，其特徵在於：
其係具有以下之構成：
在前述顯示裝置之基板上係具有C-MOS薄膜電晶體，
前述C-MOS薄膜電晶體之閘極電極係由金屬所構成；
前述C-MOS薄膜電晶體之P通道部之閘極電極和N通道部之閘極電極之寬幅係相異。
2. 如申請專利範圍第1項之顯示裝置，其中前述P通道部之閘極電極和前述N通道部之閘極電極係大致連接於直線上。
3. 如申請專利範圍第1項之顯示裝置，其中前述P通道部之閘極電極之寬幅，係較前述N通道部之閘極電極之寬幅更寬廣。
4. 如申請專利範圍第3項之顯示裝置，其中前述P通道部之閘極電極和前述N通道部之閘極電極係大致連接於直線上。
5. 如申請專利範圍第1項之顯示裝置，其中前述C-MOS薄膜電晶體係C-MOS多晶矽薄膜電晶體。
6. 如申請專利範圍第1項之顯示裝置，其中前述C-MOS薄膜電晶體之P通道部之閘極電極和N通道部之閘極電極，其連接部之閘極線寬幅之差異係分別在寬幅方向相等。
7. 如申請專利範圍第1項之顯示裝置，其中在前述P通道部存在有P⁺半導體區域和N⁻摻雜區域。
8. 如申請專利範圍第7項之顯示裝置，其中構成前述P通道部之P⁺半導體區域之P⁺摻雜原子之濃度係10¹⁵cm⁻²程度，N⁻摻雜區域之N⁻摻雜原子之濃度係10¹³cm⁻²程度。

9. 如申請專利範圍第1項之顯示裝置，其中在構成前述P通道部之P⁺半導體區域，含有N⁻摻雜原子而作為雜質。

10. 一種顯示裝置，其特徵在於：

其係具有以下之構成：

在前述顯示裝置之基板上，係具有C-MOS薄膜電晶體，
前述C-MOS薄膜電晶體，係具有P-MOS薄膜電晶體和
N-MOS薄膜電晶體而構成，

前述P-MOS電晶體和前述N-MOS電晶體，係藉由大致直
線上之閘極電極而連接，

前述P-MOS薄膜電晶體之閘極電極寬幅和前述N-MOS
薄膜電晶體之閘極電極寬幅係相異，

前述P-MOS薄膜電晶體之閘極電極和前述N-MOS薄膜
電晶體之閘極電極之連接部，係以前述N-MOS電晶體之
閘極電極寬幅、或前述P-MOS薄膜電晶體之閘極電極寬
幅之中較狹窄之一方之電極寬幅以上，前述P-MOS電晶
體之閘極電極寬幅、或前述N-MOS薄膜電晶體之閘極電
極寬幅之中較寬廣之一方之電極寬幅以下而予以連接。

11. 如申請專利範圍第10項之顯示裝置，其中前述P-MOS薄
膜電晶體之閘極電極寬幅，係較前述N-MOS薄膜電晶體
之閘極電極寬幅更寬廣。

12. 一種顯示裝置，其特徵在於：

其係具有以下之構成：

在前述顯示裝置之基板上係具有C-MOS薄膜電晶體，
前述C-MOS薄膜電晶體，係P通道部之閘極電極和N通

道部之閘極電極為大致連接於直線上，

前述P通道部和前述N通道部係鄰接而構成。

13. 如申請專利範圍第12項之顯示裝置，其中前述P通道部之閘極電極寬幅和前述N通道部之閘極電極寬幅係相異。
14. 如申請專利範圍第13項之顯示裝置，其中前述P通道部之閘極電極和前述N通道部之閘極電極之連接部份，係以前述P通道部之閘極電極寬幅、或N通道部之閘極電極寬幅之中較狹窄的一方之閘極電極寬幅以上，前述P通道部之閘極電極寬幅、或N通道部之閘極電極寬幅之中較寬廣的一方之閘極電極寬幅以下而連接。
15. 如申請專利範圍第14項之顯示裝置，其中前述P通道部之閘極電極寬幅，係較N通道部之閘極電極寬幅更寬廣。
16. 如申請專利範圍第15項之顯示裝置，其中前述C-MOS薄膜電晶體之P通道部之閘極電極和N通道部之閘極電極，其連接部之閘極線寬幅之差異係分別在寬幅方向相等。
17. 如申請專利範圍第12項之顯示裝置，其中在前述P通道部存在有 P^+ 半導體區域和 N^- 摻雜區域。
18. 如申請專利範圍第17項之顯示裝置，其中構成前述P通道部之 P^+ 半導體區域之 P^+ 摻雜原子之濃度係 10^{15}cm^{-2} 程度， N^- 摻雜區域之 N^- 摻雜原子之濃度係 10^{13}cm^{-2} 程度。
19. 如申請專利範圍第12項之顯示裝置，其中在構成前述P通道部之 P^+ 半導體區域，含有 N^- 摻雜原子而作為雜質。
20. 如申請專利範圍第12項之顯示裝置，其中前述C-MOS薄膜電晶體係C-MOS多晶矽薄膜電晶體。