



(12) 发明专利申请

(10) 申请公布号 CN 101794792 A

(43) 申请公布日 2010.08.04

(21) 申请号 201010106921.8

(22) 申请日 2010.01.22

(30) 优先权数据

011691/09 2009.01.22 JP

(71) 申请人 索尼公司

地址 日本东京都

(72) 发明人 黑田英明

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 彭久云

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 21/84(2006.01)

H01L 29/78(2006.01)

H01L 29/08(2006.01)

H01L 21/28(2006.01)

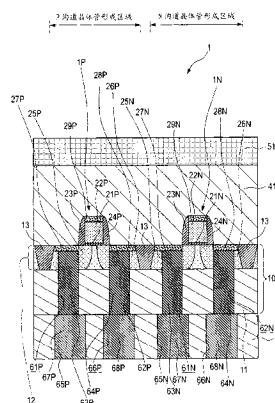
权利要求书 2 页 说明书 24 页 附图 16 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明提供一种半导体器件及其制造方法。该半导体器件包括：扩散层，形成在基板的前表面处；低阻抗部，形成在扩散层的前表面处，并具有低于扩散层的阻抗；以及后接触电极，从基板的后表面贯穿基板以穿过扩散层连接到低阻抗部。



1. 一种半导体器件,包括:
扩散层,形成在基板的前表面处;
低阻抗部,形成在所述扩散层的前表面处,并具有低于所述扩散层的阻抗;以及
后接触电极,从所述基板的后表面贯穿所述基板以穿过所述扩散层连接到所述低阻抗部。
2. 根据权利要求 1 所述的半导体器件,还包括:
至少一半导体区域,形成在所述基板的前表面处,
其中栅极电极隔着栅极绝缘膜形成在所述半导体区域上,并且
所述扩散层形成在所述栅极电极两侧的所述半导体区域中。
3. 根据权利要求 2 所述的半导体器件,
其中所述基板具有绝缘层和形成在所述绝缘层上的所述半导体区域,并且
具有隔着所述栅极绝缘膜形成在所述半导体区域上的所述栅极电极以及由在所述栅极电极两侧的所述半导体区域中的所述扩散层形成的源极区域和漏极区域的晶体管是完全耗尽型晶体管。
4. 根据权利要求 1 到 3 中任一项所述的半导体器件,
其中所述低阻抗部由硅化物层构成。
5. 根据权利要求 4 所述的半导体器件,还包括:
硅化物层,形成在所述栅极电极的前表面处,
其中所述后接触电极连接到形成在所述扩散层中的一个扩散层处的所述硅化物层以及形成在所述栅极电极处的所述硅化物层。
6. 根据权利要求 2 所述的半导体器件,
其中绝缘膜隔着空间形成在所述栅极电极的侧方。
7. 根据权利要求 2 所述的半导体器件,
其中侧壁部形成在所述栅极电极的侧壁处,并且
所述侧壁部由具有低于硅氧化物的介电常数的低介电常数膜构成。
8. 根据权利要求 1 所述的半导体器件,
其中所述低阻抗部由电极构成。
9. 根据权利要求 1 所述的半导体器件,
其中存储元件连接到所述后接触电极。
10. 根据权利要求 9 所述的半导体器件,
其中所述存储元件由电容器构成。
11. 根据权利要求 9 所述的半导体器件,
其中所述存储元件由阻变存储元件构成。
12. 根据权利要求 9 所述的半导体器件,
其中所述存储元件由磁阻存储元件构成。
13. 根据权利要求 9 所述的半导体器件,
其中所述存储元件由铁电存储元件构成。
14. 一种半导体器件的制造方法,所述方法包括步骤:
隔着栅极绝缘膜在 SOI 基板的硅层上形成栅极电极以及在所述栅极电极两侧的所述

硅层中形成扩散层,从而形成晶体管,其中在所述 SOI 基板中所述硅层隔着绝缘层形成在第一支撑基板上;

在所述扩散层的前表面处形成阻抗低于所述扩散层的低阻抗部;

隔着覆盖所述晶体管的绝缘膜在所述硅层上形成第二支撑基板以及去除所述第一支撑基板和所述绝缘层;以及

在所述硅层上形成层间绝缘层以及在所述层间绝缘层和所述硅层中形成后接触电极以连接到所述低阻抗部。

15. 根据权利要求 14 所述的方法,

其中所述低阻抗部由硅化物层形成。

16. 根据权利要求 15 所述的方法,

其中当所述低阻抗部由硅化物层形成时,在所述栅极电极的前表面处也形成硅化物层,并且

所述后接触电极连接到形成在所述扩散层中的一个扩散层处的硅化物层以及形成在所述栅极电极处的硅化物层。

17. 根据权利要求 14 所述的方法,还包括步骤:

在形成所述栅极电极之后且在形成所述扩散层之前,在所述栅极电极的侧壁处形成侧壁部;

形成第一绝缘膜以覆盖所述栅极电极和所述侧壁部;

暴露所述侧壁部的上部;

去除所述侧壁部以在所述栅极电极与所述第一绝缘膜之间形成空间;以及

在所述第一绝缘膜上形成第二绝缘膜并保留所述空间,从而所述第一绝缘膜和所述第二绝缘膜形成所述绝缘膜。

18. 根据权利要求 17 所述的方法,还包括步骤:

在所述空间中填充低介电常数膜,所述低介电常数膜具有低于硅氧化物的介电常数。

19. 根据权利要求 14 所述的方法,

其中所述低阻抗部由电极构成。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件及其制造方法。

背景技术

[0002] 接触电极与栅极电极之间的距离根据缩放比例 (scaling) 减小, 且栅极电极与接触电极之间的寄生电容的显著增加引起栅极电极的寄生电容的显著增加, 并且引起电路运行速度的劣化和负载电容的增加, 这导致功耗的增加。

[0003] 作为解决这个问题的手段, 栅极电极隔着栅极绝缘膜形成在有源区域层的前表面处, 源极和漏极形成在栅极电极两侧的有源区域层处。人们提出了一种器件结构及其制造方法, 其中接触电极设置在有源区域层的后表面处以连接到源极 / 漏极的后表面 (例如, 见 JP-A-2004-079645)。

[0004] 随着缩放比例以及系统尺寸的增加, 互连层的数量迅速增加。因此, 良率的劣化或互连延迟变得难以解决。

[0005] 作为解决这个问题的手段, 所谓的后接触电极和后互连被结合使用, 从而改善了互连的效用并实现了互连层数量的减少和集成度的改善 (例如, 见 JP-A-05-267563)。

[0006] 在上述后接触结构中, 接触电极直接连接到扩散层。通常, 当接触电极从扩散层的前表面连接时, 诸如硅化物层的低阻抗层形成在扩散层的前表面处, 接触电极连接到该低阻抗层, 从而降低了接触阻抗。然而, 难以在扩散层的后表面处形成诸如硅化物层的低阻抗层, 从而后接触电极不可避免地直接连接到扩散层。这引起接触阻抗的增加及运行速度的劣化。

[0007] 也就是, 现有的后接触电极和后互连容许寄生电容的降低, 但是增加了后接触电极与扩散层之间的接触阻抗, 并使 MOSFET 性能劣化或者性能改变增加, 这导致半导体器件性能的劣化。

[0008] 这是因为由于通过离子注入从硅层的前表面等引入杂质, 在 SOI 基板的硅层中形成在接触氧化埋层 (BOX) 的硅层处的扩散层的杂质浓度沿深度方向 (后方向) 而不是沿前表面降低。

[0009] 为了增加氧化埋层的界面处的杂质浓度, 必须增加离子注入能或者在离子注入之后进行热处理。然而, 当这些发生时, MOSFET 特性的短沟道效应增加, 且性能劣化和性能改变也增加。

[0010] 此外, 当采用前互连时, 随着微型化的推进, 栅极电极和接触电极之间的距离变得更小。因此, 栅极电极与接触电极或扩散层之间的寄生电容相对增加, 且半导体器件的性能劣化。

发明内容

[0011] 存在问题: 后接触电极与扩散层之间的接触阻抗增加, MOSFET 的性能劣化或者性能的改变增加, 这导致半导体器件性能的劣化。

[0012] 因此,期望降低后接触电极与扩散层之间的接触阻抗,从而改善半导体器件的运行速度。

[0013] 本发明的实施例提供一种半导体器件。该半导体器件包括:扩散层,形成在基板的前表面处;低阻抗部,形成在扩散层的前表面处,并具有比扩散层低的阻抗;以及后接触电极,从基板的后表面贯穿基板以穿过扩散层连接到低阻抗部。

[0014] 对于这种半导体器件,后接触电极被设置为从基板的后表面贯穿基板以穿过扩散层连接到低阻抗部。为此,形成在扩散层的后表面处的后接触电极与扩散层之间的接触阻抗降低。也就是,后接触电极与扩散层之间的接触阻抗等于前接触电极与扩散层之间的接触阻抗,该前接触电极从前表面连接到形成在扩散层的前表面处的低阻抗部。

[0015] 本发明的另一实施例提供一种制造半导体器件的方法。该方法包括步骤:隔着栅极绝缘膜在 SOI 基板的硅层上形成栅极电极,其中硅层隔着绝缘层形成在第一支撑基板上;在栅极电极两侧的硅层中形成扩散层,从而形成晶体管;在扩散层的前表面处形成阻抗低于扩散层的低阻抗部;隔着覆盖晶体管的绝缘膜在硅层上形成第二支撑基板;去除第一支撑基板和绝缘层;以及在硅层上形成层间绝缘层且在层间绝缘层和硅层中形成后接触电极以连接到低阻抗部。

[0016] 对于半导体器件的这种制造方法,后接触电极形成为从基板的后表面贯穿基板以穿过扩散层连接到低阻抗部。为此,形成在扩散层的后表面处的后接触电极与扩散层之间的接触阻抗降低。也就是,后接触电极与扩散层之间的接触阻抗等于前接触电极与扩散层之间的接触阻抗,该前接触电极从前表面连接到形成在扩散层的前表面处的低阻抗部。

[0017] 根据本发明实施例的半导体器件,后接触电极与扩散层之间的接触阻抗降低。因此,可以改善半导体器件的运行速度,结果,可以提供高性能的半导体器件。

[0018] 根据本发明实施例的半导体器件的制造方法,后接触电极与扩散层之间的接触阻抗降低。因此,可以改善半导体器件的运行速度,结果,可以提供高性能的半导体器件。

附图说明

[0019] 图 1 是示出根据本发明第一实施例的半导体器件的构造的第一示例的示意性截面图;

[0020] 图 2 是示出根据本发明第一实施例的半导体器件的构造的第二示例的示意性截面图;

[0021] 图 3 是示出根据本发明第一实施例的半导体器件的构造的第三示例的示意性截面图;

[0022] 图 4 是示出根据本发明第一实施例的半导体器件的构造的第五示例的示意性截面图;

[0023] 图 5 是示出根据本发明第二实施例的半导体器件的构造的第六示例的示意性截面图;

[0024] 图 6 是示出根据本发明第二实施例的半导体器件的构造的第七示例的示意性截面图;

[0025] 图 7 是示出根据本发明第二实施例的半导体器件的构造的第八示例的示意性截面图;

[0026] 图 8 是示出根据本发明第二实施例的半导体器件的构造的第九示例的示意性截面图；

[0027] 图 9 是示出根据本发明第三实施例的半导体器件的制造方法的第一示例的工艺截面图；

[0028] 图 10 是示出根据本发明第三实施例的半导体器件的制造方法的第一示例的工艺截面图；

[0029] 图 11 是示出根据本发明第三实施例的半导体器件的制造方法的第一示例的工艺截面图；

[0030] 图 12 是示出根据本发明第三实施例的半导体器件的制造方法的第二示例的工艺截面图；

[0031] 图 13A 和图 13B 是示出根据本发明第三实施例的半导体器件的制造方法的第三示例的工艺截面图；

[0032] 图 14 是示出根据本发明第三实施例的半导体器件的制造方法的第五示例的工艺截面图；

[0033] 图 15 是示出根据本发明第三实施例的半导体器件的制造方法的第五示例的工艺截面图；

[0034] 图 16 是示出根据本发明第三实施例的半导体器件的制造方法的第五示例的工艺截面图。

具体实施方式

[0035] 在下文中,将描述用于实施本发明的最佳模式(下文中,被称为实施例)。

[0036] <1. 第一实施例>

[0037] [半导体器件构造的第一示例]

[0038] 将参考图 1 的示意性截面图描述根据本发明第一实施例的半导体器件的构造的第一示例。

[0039] 如图 1 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物(SiN)膜、硅氧化物(SiO₂)膜、硅碳氧化物(SiOC)膜、硅碳氧氮化物(SiOCN)膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0040] 半导体区域 12 具有元件隔离区域 13,用于使 P 沟道晶体管形成区域和 N 沟道晶体管形成区域彼此分离。

[0041] P 沟道晶体管 1P 形成在 PMOS 晶体管形成区域的半导体区域 12 中, N 沟道晶体管 1N 形成在 NMOS 晶体管形成区域的半导体区域 12 中。

[0042] 下文中,将描述细节。

[0043] 栅极电极 22P 隔着栅极绝缘膜 21P 形成在半导体区域 12 的 P 沟道晶体管形成区域上。

[0044] 栅极绝缘膜 21P 由例如铪氧化物(HfO₂)、硅氧氮化铪(HfSiON)、锆氧化物(ZrO₂)、硅氧氮化锆(ZrSiON)或者类似物的所谓的高介电常数(高 k)膜形成。备选地,栅极绝缘

膜 21P 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0045] 栅极电极 22P 由例如多晶硅制成。备选地,栅极电极 22P 由钛氮化物 (TiN)、钽碳化物 (TaC)、钨 (W) 或者类似物制成。

[0046] 侧壁部 23P 和 24P 形成在栅极电极 22P 的侧壁处。侧壁部 23P 和 24P 由例如硅氧化物 (SiO_2)、硅氮化物 (SiN)、硅氧氮化物 (SiON) 或者类似物制成。备选地,侧壁部 23P 和 24P 由这些材料的组合膜形成。

[0047] 扩散层 25P 和 26P 形成在栅极电极 22P 两侧的半导体区域 12 中。扩散层 25P 和 26P 为 p 型且形成源极区域和漏极区域。扩散层 25P 和 26P 之间的半导体区域 12 形成沟道区域。

[0048] 低阻抗部 27P 和 28P 形成在扩散层 25P 和 26P 的前表面处,从而具有低于扩散层 25P 和 26P 的阻抗 (电阻)。低阻抗部 27P 和 28P 由例如硅化物层形成。硅化物层由例如钴 (Co)、镍 (Ni)、铂 (Pt)、钽 (Ta)、钛 (Ti) 或类似物的金属硅化物制成。

[0049] 当栅极电极 22P 由多晶硅制成时,低阻抗部 29P 形成在栅极电极 22P 的上部处。低阻抗部 29P 由与以上所描述相同的硅化物层形成。

[0050] 这样,P 沟道晶体管 1P 形成在半导体区域 12 中。

[0051] 栅极电极 22N 隔着栅极绝缘膜 21N 形成在半导体区域 12 的 N 沟道晶体管形成区域上。

[0052] 栅极绝缘膜 21N 由例如铪氧化物 (HfO_2)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO_2)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数 (高 k) 膜形成。备选地,栅极绝缘膜 21N 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0053] 栅极电极 22N 由例如多晶硅制成。备选地,栅极电极 22N 由钛氮化物 (TiN)、钽碳化物 (TaC)、钨 (W) 或者类似物制成。

[0054] 侧壁部 23N 和 24N 形成在栅极电极 22N 的侧壁处。侧壁部 23N 和 24N 由例如硅氧化物 (SiO_2)、硅氮化物、硅氧氮化物或者类似物制成。备选地,侧壁部 23N 和 24N 由这些材料的组合膜形成。

[0055] 扩散层 25N 和 26N 形成在栅极电极 22N 两侧的半导体区域 12 中。扩散层 25N 和 26N 为 N 型且形成源极区域和漏极区域。扩散层 25N 和 26N 之间的半导体区域 12 形成沟道区域。

[0056] 低阻抗部 27N 和 28N 形成在扩散层 25N 和 26N 的前表面处,从而具有低于扩散层 25N 和 26N 的阻抗 (电阻)。低阻抗部 27N 和 28N 由例如硅化物层形成。硅化物层由例如钴 (Co)、镍 (Ni)、铂 (Pt)、钽 (Ta)、钛 (Ti) 或类似物的金属硅化物制成。

[0057] 当栅极电极 22N 由多晶硅制成时,低阻抗部 29N 形成在栅极电极 22N 的上部处。低阻抗部 29N 由与如上所述相同的硅化物层形成。

[0058] 这样,N 沟道晶体管 1N 形成在半导体区域 12 中。

[0059] 如上所述,半导体器件 1 具有 P 沟道晶体管 1P 和 N 沟道晶体管 1N。

[0060] 其中形成有 P 沟道晶体管 1P 和 N 沟道晶体管 1N 的基板 10 具有作为绝缘层的第一绝缘膜 11 以及形成在第一绝缘膜 11 的顶表面处的半导体区域 12。因此,半导体区域 12 实质上相当于 SOI 基板的 SOI 层。为此,形成在半导体区域 12 中的 P 沟道晶体管 1P 和 N 沟道晶体管 1N 可以是完全耗尽型晶体管。

[0061] 半导体器件 1 可以具有上述晶体管之一。

[0062] 层间绝缘层 41 形成在半导体区域 12 上,以覆盖半导体器件 1。层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。层间绝缘层 41 的表面被平坦化。

[0063] 支撑基板 51 形成在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0064] 接触孔 61P 和 62P 形成在第一绝缘膜 11 中,以分别与扩散层 25P 和 26P 相通。接触孔 61P 和 62P 分别穿过扩散层 25P 和 26P 且到达低阻抗部 27P 和 28P 的后表面。后接触电极 63P 和 64P 分别形成在接触孔 61P 和 62P 中且连接到低阻抗部 27P 和 28P 的后表面。后接触电极 63P 和 64P 分别通过用金属材料 (例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N)、钨 (W)、铜 (Cu) 或者类似物) 填充接触孔 61P 和 62P 而形成。

[0065] 类似地,接触孔 61N 和 62N 形成在第一绝缘膜 11 中,以分别与扩散层 25N 和 26N 相通。接触孔 61N 和 62N 分别穿过扩散层 25N 和 26N 且到达低阻抗部 27N 和 28N 的后表面。后接触电极 63N 和 64N 分别形成在接触孔 61N 和 62N 中且连接到低阻抗部 27N 和 28N 的后表面。后接触电极 63N 和 64N 分别通过用金属材料 (例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N)、钨 (W)、铜 (Cu) 或者类似物) 填充接触孔 61N 和 62N 而形成。

[0066] 第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0067] 互连槽 65P 和 66P 形成在第二绝缘膜 14 中,以分别与后接触电极 63P 和 64P 相通。互连槽 65P 和 66P 分别到达后接触电极 63P 和 64P。互连 67P 和 68P 分别形成在互连槽 65P 和 66P 中且连接到后接触电极 63P 和 64P。互连 67P 和 68P 分别通过用金属材料 (例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N)、钨 (W)、铜 (Cu) 或者类似物,或者它们的组合膜) 填充互连槽 65P 和 66P 而形成。

[0068] 类似地,互连槽 65N 和 66N 形成在第二绝缘膜 14 中,以分别与后接触电极 63N 和 64N 相通。互连槽 65N 和 66N 分别到达后接触电极 63N 和 64N。互连 67N 和 68N 分别形成在互连槽 65N 和 66N 中且连接到后接触电极 63N 和 64N。互连 67N 和 68N 分别通过用金属材料 (例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N)、钨 (W)、铜 (Cu) 或者类似物,或者它们的组合膜) 填充互连槽 65N 和 66N 而形成。

[0069] 尽管未示出,但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极 (这里, $N \geq 2$)。也就是,互连可以以多层互连的形式形成。

[0070] 在半导体器件 1 中,后接触电极 63P、64P、63N 和 64N 分别穿过扩散层 25P、26P、25N 和 26N 并直接连接到低阻抗部 27P、28P、27N 和 28N。因此,例如,后接触电极 63P 与扩散层 25P 之间的接触阻抗值减小。类似地,后接触电极 64P、63N 和 64N 与扩散层 26P、25N 和 26N 之间的接触阻抗值减小。也就是,后接触电极 63P、64P、63N 和 64N 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值等于前接触电极 (未示出) 与扩散层 25P、26P、25N 和 26N 之间的

接触阻抗值,该前接触电极从前表面连接到形成在扩散层 25P、26P、25N 和 26N 前表面处的低阻抗部 27P、28P、27N 和 28N。

[0071] 因此,将不形成在相关技术中形成在栅极电极 22P 和 22N 上的接触电极,从而栅极电极 22P 和 22N 与后接触电极 63P、64P、63N 和 64N 之间的寄生电容减小。

[0072] 即使栅极电极 22P 和 22N 与接触电极之间的距离在平面布局方面随着元件的微型化而减小时,栅极电极 22P 和 22N 也能够与后接触电极 63P、64P、63N 和 64N 可靠地绝缘。

[0073] 接触电极的微型化通过后接触电极 63P、64P、63N 和 64N 的小的深宽比而促进。

[0074] 即使当所谓的应力衬垫膜 (stress liner film) (未示出) 设置在晶体管上以改善迁移率时,该应力衬垫膜也不被接触电极分开,因此应力衬垫膜的应力效应的损失是小的。应力衬垫膜 (CSIL :沟道应力诱生衬垫) 典型地由具有拉应力或压应力的硅氮化物膜形成。

[0075] [半导体器件构造的第二示例]

[0076] 接下来,将参考图 2 的示意性截面图描述根据本发明第一实施例的半导体器件的构造的第二示例。图 2 中示出的半导体器件 (晶体管) 可以是以上所描述的 P 沟道晶体管 1P 或 N 沟道晶体管 1N。也就是,提供连接到栅极电极和扩散层的共享接触电极。

[0077] 如图 2 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0078] 半导体区域 12 具有元件隔离区域 13,用于分离晶体管形成区域。

[0079] 第一晶体管 101 (例如,P 沟道晶体管或 N 沟道晶体管) 形成在晶体管形成区域的半导体区域 12 中。

[0080] 下文中,将描述细节。

[0081] 栅极电极 22 隔着栅极绝缘膜 21 形成在半导体区域 12 的晶体管形成区域上。

[0082] 栅极绝缘膜 21 由例如铪氧化物 (HfO₂)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO₂)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数 (高 k) 膜形成。备选地,栅极绝缘膜 21 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0083] 栅极电极 22 由例如多晶硅制成。

[0084] 侧壁部 23 和 24 形成在栅极电极 22 的侧壁处。侧壁部 23 和 24 由例如硅氧化物 (SiO₂)、硅氮化物 (SiN)、硅氧氮化物 (SiON) 或者类似物制成。备选地,侧壁部 23 和 24 由这些材料的组合膜形成。

[0085] 扩散层 25 和 26 形成在栅极电极 22 两侧的半导体区域 12 中。扩散层 25 和 26 在 P 沟道晶体管的情况下为 P 型或者在 N 沟道晶体管的情况下为 N 型,且形成源极区域和漏极区域。扩散层 25 和 26 之间的半导体区域 12 形成沟道区域。

[0086] 低阻抗部 27 和 28 分别形成在扩散层 25 和 26 的前表面处,以具有低于扩散层 25 和 26 的阻抗 (电阻)。低阻抗部 27 和 28 由例如硅化物层形成。硅化物层由例如钴 (Co)、镍 (Ni)、铂 (Pt)、钽 (Ta)、钛 (Ti) 或类似物的金属硅化物制成。

[0087] 低阻抗部 29 形成在栅极电极 22 的上部处。低阻抗部 29 由与以上所描述相同的

硅化物层形成。

[0088] 这样,第一晶体管 101 形成在半导体区域 12 中。

[0089] 不同于第一晶体管 101 的第二晶体管 102 的栅极电极 122 形成为在元件隔离区域 13 上延伸。栅极电极 122 由多晶硅制成,且低阻抗部 129 形成在栅极电极 122 上。低阻抗部 129 由与以上所描述相同的硅化物层形成。

[0090] 层间绝缘层 41 形成在半导体区域 12 上,以覆盖半导体器件 2(第一晶体管 101 和第二晶体管 102)。层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。层间绝缘层 41 的表面被平坦化。

[0091] 支撑基板 51 形成在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0092] 接触孔 61 和 62 形成在第一绝缘膜 11 中,以分别与扩散层 25 和 26 相通。接触孔 61 和 62 分别穿过扩散层 25 和 26 且到达低阻抗部 27 和 28 的后表面。其中,接触孔 62 还到达栅极电极 122 的低阻抗部 129 的后表面。后接触电极 63 和 64 分别形成在接触孔 61 和 62 中且连接到低阻抗部 27 和 28 的后表面。其中,后接触电极 64 连接到栅极电极 122 的低阻抗部 129 和扩散层 26 的低阻抗部 28。后接触电极 63 和 64 分别通过用金属材料(例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (TaN)、钨 (W)、铜 (Cu) 或者类似物)填充接触孔 61 和 62 而形成。

[0093] 第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0094] 互连槽 65 和 66 形成在第二绝缘膜 14 中,以分别与后接触电极 63 和 64 相通。互连槽 65 和 66 分别到达后接触电极 63 和 64。互连 67 和 68 分别形成在互连槽 65 和 66 中且连接到后接触电极 63 和 64。互连 67 和 68 分别通过用金属材料(例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (TaN)、钌 (Ru)、铜 (Cu) 或者类似物,或者它们的组合膜)填充互连槽 65 和 66 而形成。

[0095] 尽管未示出,但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极(这里, $N \geq 2$)。也就是,互连可以以多层互连的形式形成。

[0096] 半导体器件 2 应用于所谓的共享接触电极结构。因此,即使在共享接触电极结构中,也获得与半导体器件 1 相同的优点。与半导体器件 1 类似,半导体器件 2 可以具有完全耗尽型晶体管。

[0097] 也就是,与半导体器件 1 类似,在半导体器件 2 中,后接触电极 63 和 64 分别穿过扩散层 25 和 26 直接连接到低阻抗部 27 和 28。因此,例如,后接触电极 63 与扩散层 25 之间的接触阻抗值减小。类似地,后接触电极 64 与扩散层 26 之间的接触阻抗值减小。也就是,后接触电极 63 和 64 与扩散层 25 和 26 之间的接触阻抗值等于前接触电极(未示出)与扩散层 25 和 26 之间的接触阻抗值,该前接触电极从前表面连接到形成在扩散层 25 和 26 前表面处的低阻抗部 27 和 28。

[0098] 因此,将不形成在相关技术中形成在栅极电极 22 上的接触电极,从而栅极电极 22 与后接触电极 63 和 64 之间的寄生电容减小。

[0099] 即使栅极电极 22 与接触电极之间的距离在平面布局方面随着元件的微型化而减小时,栅极电极 22 也能够与后接触电极 63 和 64 可靠地绝缘。

[0100] 接触电极的微型化通过后接触电极 63 和 64 的小的深宽比而促进。

[0101] 即使当所谓的应力衬垫膜(stress liner film)(未示出)设置在晶体管上以改善迁移率时,该应力衬垫膜也不被接触电极分开,因此应力衬垫膜的应力效应的损失是小的。应力衬垫膜(CSIL:沟道应力诱生衬垫)典型地由具有拉应力或压应力的硅氮化物膜形成。

[0102] [半导体器件构造的第三示例]

[0103] 接下来,将参考图 3 的示意性截面图描述根据本发明第一实施例的半导体器件的构造的第三示例。

[0104] 如图 3 所示,半导体器件 3 具有形成在半导体区域 12 中的 P 沟道晶体管 3P 和 N 沟道晶体管 3N。半导体器件 3 与上述半导体器件 1 的不同之处在于:代替形成在栅极电极 22P 的侧壁处的侧壁部 23P 和 24P(见图 1)而设置空间 91P 和 92P。此外,代替形成在栅极电极 22N 的侧壁处的侧壁部 23N 和 24N(见图 1)而设置空间 91N 和 92N。

[0105] 第一层间绝缘层 42 隔着空间 91P 和 92P 形成于栅极电极 22P 的侧方。第一层间绝缘层 42 隔着空间 91N 和 92N 形成于栅极电极 22N 的侧方。

[0106] 第二层间绝缘层 43 形成在第一层间绝缘层 42 上,使得其不填充空间 91P 和 92P 及空间 91N 和 92N。因此,第一层间绝缘层 42 和第二层间绝缘层 43 形成层间绝缘层 41。

[0107] 其他部件与参考图 1 所描述的相同。

[0108] 在半导体器件 3 中,空间 91P 和 92P 可以在栅极电极 22P 的侧方形成,空间 91N 和 92N 可以在栅极电极 22N 的侧方形成,因此寄生电容可以被进一步减小。此外,获得与半导体器件 1 相同的优点。与半导体器件 1 类似,半导体器件 3 可以具有完全耗尽型晶体管。

[0109] [半导体器件构造的第四示例]

[0110] 接下来,将参考图 1 的示意性截面图描述根据本发明第一实施例的半导体器件的构造的第四示例。

[0111] 如图 1 所示,半导体器件的构造的第四示例被构造为使得侧壁部 23P 和 24P 及侧壁部 23N 和 24N 由例如介电常数低于硅氧化物的低介电常数膜形成。低介电常数膜的示例包括有机绝缘膜。

[0112] 这样,侧壁部 23P 和 24P 及侧壁部 23N 和 24N 由低介电常数膜形成,因此,寄生电容可以被进一步减小。

[0113] [半导体器件构造的第五示例]

[0114] 接下来,将参考图 4 的示意性截面图描述根据本发明第一实施例的半导体器件的构造的第五示例。

[0115] 如图 4 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物(SiN)膜、硅氧化物(SiO₂)膜、硅碳氧化物(SiOC)膜、硅碳氧氮化物(SiOCN)膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12

由例如硅层形成。

[0116] 半导体区域 12 具有元件隔离区域 13, 用于使 P 沟道晶体管形成区域和 N 沟道晶体管形成区域彼此分离。

[0117] P 沟道晶体管 5P 形成在 PMOS 晶体管形成区域的半导体区域 12 中, N 沟道晶体管 5N 形成在 NMOS 晶体管形成区域的半导体区域 12 中。

[0118] 下文中, 将描述细节。

[0119] 栅极电极 22P 隔着栅极绝缘膜 21P 形成在半导体区域 12 的 P 沟道晶体管形成区域上。

[0120] 栅极绝缘膜 21P 由例如铪氧化物 (HfO_2)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO_2)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数 (高 k) 膜形成。备选地, 栅极绝缘膜 21P 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0121] 栅极电极 22P 由例如多晶硅制成。备选地, 栅极电极 22P 由钛氮化物 (TiN)、钽碳化物 (TaC)、钨 (W) 或者类似物制成。

[0122] 侧壁部 23P 和 24P 形成在栅极电极 22P 的侧壁处。侧壁部 23P 和 24P 由例如硅氧化物 (SiO_2)、硅氮化物 (SiN)、硅氧氮化物 (SiON) 或者类似物制成。备选地, 侧壁部 23P 和 24P 由这些材料的组合膜形成。

[0123] 扩散层 25P 和 26P 形成在栅极电极 22P 两侧的半导体区域 12 中。扩散层 25P 和 26P 为 p 型且形成源极区域和漏极区域。扩散层 25P 和 26P 之间的半导体区域 12 形成沟道区域。

[0124] 这样, P 沟道晶体管 5P 形成在半导体区域 12 中。

[0125] 栅极电极 22N 隔着栅极绝缘膜 21N 形成在半导体区域 12 的 N 沟道晶体管形成区域上。

[0126] 栅极绝缘膜 21N 由例如铪氧化物 (HfO_2)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO_2)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数 (高 k) 膜形成。备选地, 栅极绝缘膜 21N 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0127] 栅极电极 22N 由例如多晶硅制成。备选地, 栅极电极 22N 由钛氮化物 (TiN)、钽碳化物 (TaC)、钨 (W) 或者类似物制成。

[0128] 侧壁部 23N 和 24N 形成在栅极电极 22N 的侧壁处。侧壁部 23N 和 24N 由例如硅氧化物 (SiO_2)、硅氮化物、硅氧氮化物或者类似物制成。备选地, 侧壁部 23N 和 24N 由这些材料的组合膜形成。

[0129] 扩散层 25N 和 26N 形成在栅极电极 22N 两侧的半导体区域 12 中。扩散层 25N 和 26N 为 N 型且形成源极区域和漏极区域。扩散层 25N 和 26N 之间的半导体区域 12 形成沟道区域。

[0130] 这样, N 沟道晶体管 5N 形成在半导体区域 12 中。

[0131] 如上所述, 半导体器件 5 具有 P 沟道晶体管 5P 和 N 沟道晶体管 5N。与半导体器件 1 类似, 半导体器件 5 可以具有完全耗尽型晶体管。半导体器件 5 可以具有上述晶体管之一。

[0132] 层间绝缘层 41 形成在半导体区域 12 上, 以覆盖半导体器件 5。层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO_2) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN)

膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。层间绝缘层 41 的表面被平坦化。

[0133] 电极(接触电极)44P 和 45P 形成在层间绝缘层 41 中,以分别连接到扩散层 25P 和 26P 的前表面。电极 44P 和 45P 成为低阻抗部件。此外,电极(接触电极)44N 和 45N 形成成为分别连接到扩散层 25N 和 26N。电极 44N 和 45N 成为低阻抗部件。

[0134] 互连 46P 和 47P 形成为分别连接到电极 44P 和 45P。互连 46N 和 47N 形成为分别连接到电极 44N 和 45N。

[0135] 支撑基板 51 形成在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0136] 接触孔 61P 和 62P 形成在第一绝缘膜 11 中,以分别与扩散层 25P 和 26P 相通。接触孔 61P 和 62P 分别穿过扩散层 25P 和 26P 且到达电极 44P 和 45P 的后表面。后接触电极 63P 和 64P 分别形成在接触孔 61P 和 62P 中且连接到电极 44P 和 45P 的后表面。后接触电极 63P 和 64P 分别通过用金属材料(例如,钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钨(W)、铜(Cu)或者类似物)填充接触孔 61P 和 62P 而形成。

[0137] 类似地,接触孔 61N 和 62N 形成在第一绝缘膜 11 中,以分别与扩散层 25N 和 26N 相通。接触孔 61N 和 62N 分别穿过扩散层 25N 和 26N 且到达电极 44N 和 45N 的后表面。后接触电极 63N 和 64N 分别形成在接触孔 61N 和 62N 中且连接到电极 44N 和 45N 的后表面。后接触电极 63N 和 64N 分别通过用金属材料(例如,钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钨(W)、铜(Cu)或者类似物)填充接触孔 61N 和 62N 而形成。

[0138] 第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物(SiN)膜、硅氧化物(SiO₂)膜、硅碳氧化物(SiOC)膜、硅碳氧氮化物(SiOCN)膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0139] 互连槽 65P 和 66P 形成在第二绝缘膜 14 中,以分别与后接触电极 63P 和 64P 相通。互连槽 65P 和 66P 分别到达后接触电极 63P 和 64P。互连 67P 和 68P 分别形成在互连槽 65P 和 66P 中且连接到后接触电极 63P 和 64P。互连 67P 和 68P 分别通过用金属材料(例如,钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钨(W)、铜(Cu)或者类似物,或者它们的组合膜)填充互连槽 65P 和 66P 而形成。

[0140] 类似地,互连槽 65N 和 66N 形成在第二绝缘膜 14 中,以分别与后接触电极 63N 和 64N 相通。互连槽 65N 和 66N 分别到达后接触电极 63N 和 64N。互连 67N 和 68N 分别形成在互连槽 65N 和 66N 中且连接到后接触电极 63N 和 64N。互连 67N 和 68N 分别通过用金属材料(例如,钛(Ti)、钛氮化物(TiN)、钽(Ta)、钽氮化物(TaN)、钨(W)、铜(Cu)或者类似物,或者它们的组合膜)填充互连槽 65N 和 66N 而形成。

[0141] 尽管未示出,但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极(这里, $N \geq 2$)。也就是,互连可以以多层互连的形式形成。

[0142] 在半导体器件 5 中,后接触电极 63P、64P、63N 和 64N 分别穿过扩散层 25P、26P、25N 和 26N 直接连接到电极 44P、45P、44N 和 45N。因此,例如,后接触电极 63P 与扩散层 25P 之间的接触阻抗值减小。类似地,后接触电极 64P、63N 和 64N 与扩散层 26P、25N 和 26N 之间

的接触阻抗值减小。也就是,后接触电极 63P、64P、63N 和 64N 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值等于前接触电极(未示出)与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值,该前接触电极从前表面连接到形成在扩散层 25P、26P、25N 和 26N 前表面处的电极 44P、45P、44N 和 45N。

[0143] 因此,将不形成在相关技术中形成在栅极电极 22P 和 22N 上的接触电极,从而栅极电极 22P 和 22N 与后接触电极 63P、64P、63N 和 64N 之间的寄生电容减小。

[0144] 即使栅极电极 22P 和 22N 与接触电极之间的距离在平面布局方面随着元件的微型化而减小时,栅极电极 22P 和 22N 也能够与后接触电极 63P、64P、63N 和 64N 可靠地绝缘。

[0145] 接触电极的微型化通过后接触电极 63P、64P、63N 和 64N 的小的深宽比而促进。

[0146] 即使当所谓的应力衬垫膜(未示出)设置在晶体管上以改善迁移率时,该应力衬垫膜也不被接触电极分开,因此应力衬垫膜的应力效应的损失是小的。应力衬垫膜(CSIL: 沟道应力诱导衬垫)典型地由具有拉应力或压应力的硅氮化物膜形成。

[0147] <2. 第二实施例>

[0148] [半导体器件构造的第六示例]

[0149] 将参考图 5 的示意性截面图描述根据本发明第二实施例的半导体器件的构造的第六示例。图 5 示出了其中用作存储元件的电容器形成在基板 10 的后表面上的示例。

[0150] 如图 5 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物(SiN)膜、硅氧化物(SiO₂)膜、硅碳氧化物(SiOC)膜、硅碳氧氮化物(SiOCN)膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0151] 半导体区域 12 具有元件隔离区域 13,用于分离存储元件部 15 和逻辑元件部 16。元件隔离区域 13 具有例如浅沟槽隔离(STI, Shallow Trench Isolation)结构且通过利用硅氧化物填充形成在半导体区域 12 中的元件隔离槽而形成。

[0152] 第一场效应晶体管 Tr1 形成在存储元件部 15 的半导体区域 12 中,第二场效应晶体管 Tr2 形成在逻辑元件部 16 的半导体区域 12 中。

[0153] 第一场效应晶体管 Tr1 具有隔着栅极绝缘膜 21M 形成在半导体区域 12 的前表面上的栅极电极 22M。成为源极区域和漏极区域的扩散层 25M 和 26M 形成在栅极电极 22M 两侧的半导体区域 12 中。低阻抗部 27M 和 28M 分别形成在扩散层 25M 和 26M 的前表面处。在扩散层 25M 和 26M 之间的一部分半导体区域 12 成为第一场效应晶体管 Tr1 的沟道区域。

[0154] 栅极绝缘膜 21M、栅极电极 22M 及低阻抗部 27M 和 28M 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0155] 第二场效应晶体管 Tr2 具有隔着栅极绝缘膜 21L 形成在半导体区域 12 的前表面上的栅极电极 22L。成为源极区域和漏极区域的扩散层 25L 和 26L 形成在栅极电极 22L 两侧的半导体区域 12 中。在扩散层 25L 和 26L 之间的一部分半导体区域 12 成为第二场效应晶体管 Tr2 的沟道区域。

[0156] 栅极绝缘膜 21L、栅极电极 22L 及低阻抗部 27L 和 28L 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0157] 层间绝缘层 41 形成在半导体区域 12 的前表面上,以覆盖第一场效应晶体管 Tr1

和第二场效应晶体管 Tr2。层间绝缘层 41 形成为具有例如几百 nm 或更大的厚度,且层间绝缘层 41 的表面被平坦化。

[0158] 支撑基板 51 形成在层间绝缘层 41 上。

[0159] 后接触电极 64M 形成在第一绝缘膜 11 中,以连接到扩散层 26M。形成例如电容器 211 作为连接到后接触电极 64M 的存储元件。

[0160] 电容器 211 具有第一电极 212 和形成在第一电极 212 的前表面上的第二电极 214,且第一电极 212 与第二电极 214 之间插设有电容器绝缘膜 213。

[0161] 扩散层 26M 和第一电极 212 通过后接触电极 64M 彼此电连接,后接触电极 64M 穿过第一绝缘膜 11 和扩散层 26M 并连接到低阻抗部 28M 的后表面。

[0162] 第二绝缘膜 14 形成在第一绝缘膜 11 上以覆盖电容器 211。

[0163] 在半导体器件 6 中,当电容器 211 安装到逻辑器件上时,在相关技术中形成在前表面上的电容器 211 可以布置在后表面上。因此,可以应用微型化的规则,从而可以易于形成高容量的存储器。

[0164] 电容器 211 和用作存取晶体管的第一场效应晶体管 Tr1 可以在浅的后接触电极 64M 处彼此连接。因此,实现了接触阻抗的降低、MOSFET 性能的改善以及接触电极良率的改善。

[0165] [半导体器件构造的第七示例]

[0166] 接下来,将参考图 6 的示意性截面图描述根据本发明第二实施例的半导体器件的构造的第七示例。图 6 示出了其中用作存储元件的阻变存储元件形成在基板 10 的后表面上的示例。

[0167] 如图 6 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0168] 半导体区域 12 具有元件隔离区域 13,用于分离存储元件部 15 和逻辑元件部 16。元件隔离区域 13 具有例如浅沟槽隔离 (STI) 结构且通过利用硅氧化物填充形成在半导体区域 12 中的元件隔离槽而形成。

[0169] 共享单个扩散层的第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 形成为在存储元件部 15 的半导体区域 12 中彼此相邻。第三场效应晶体管 Tr3 形成在逻辑元件部 16 的半导体区域 12 中。

[0170] 第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 的每个具有隔着栅极绝缘膜 21M 形成在半导体区域 12 的前表面上的栅极电极 22M。成为源极区域和漏极区域的扩散层 25M 和 26M 形成在栅极电极 22M 两侧的半导体区域 12 中。扩散层 26M 被共享。低阻抗部 27M 和 28M 分别形成在扩散层 25M 和 26M 的前表面处。在一侧 (图中的左侧) 的扩散层 25M 和 26M 之间的半导体区域 12 成为第一场效应晶体管 Tr1 的沟道区域。在另一侧 (图中的右侧) 的扩散层 25M 和 26M 之间的半导体区域 12 成为第二场效应晶体管 Tr2 的沟道区域。

[0171] 栅极绝缘膜 21M、栅极电极 22M 及低阻抗部 27M 和 28M 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0172] 第三场效应晶体管 Tr3 具有隔着栅极绝缘膜 21L 形成在半导体区域 12 的前表面上的栅极电极 22L。成为源极区域和漏极区域的扩散层 25L 和 26L 形成在栅极电极 22L 两侧的半导体区域 12 中。低阻抗部 27L 和 28L 分别形成在扩散层 25L 和 26L 的前表面处。在扩散层 25L 和 26L 之间的一部分半导体区域 12 成为第三场效应晶体管 Tr3 的沟道区域。

[0173] 栅极绝缘膜 21L、栅极电极 22L 及低阻抗部 27L 和 28L 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0174] 层间绝缘层 41 形成在半导体区域 12 的前表面上,以覆盖第一场效应晶体管 Tr1、第二场效应晶体管 Tr2 和第三场效应晶体管 Tr3 等。层间绝缘层 41 形成为具有例如几百 nm 或更大的厚度,且层间绝缘层 41 的表面被平坦化。

[0175] 支撑基板 51 形成在层间绝缘层 41 上。

[0176] 后接触电极 63M 形成在第一绝缘膜 11 中,以连接到扩散层 25M。阻变存储元件 221 形成为连接到后接触电极 63M。

[0177] 阻变存储元件 221 通过层叠第一电极 222、存储层 223、离子源层 224 和第二电极 225 而形成。

[0178] 第一电极 222 和第二电极 225 由例如铂 (Pt)、钨 (W)、钨氮化物 (WN)、铜 (Cu) 或者类似物制成。

[0179] 存储层 (阻变膜) 223 由金属氧化物制成。金属氧化物的示例包括钽氧化物、铌氧化物、铝氧化物、镍氧化物、钴氧化物、钛氧化物、钪氧化物、锆氧化物、镓氧化物或者类似物,或者它们的混合。存储层 223 优选是薄的,且形成为具有等于或小于 2nm (优选等于或小于 1nm,更优选等于或小于 0.5nm) 的厚度。

[0180] 离子源层 224 包含例如铜 (Cu)、银 (Ag) 和锌 (Zn) 的至少之一以及诸如碲 (Te)、硒 (Se) 和硫 (S) 的硫族化物元素的至少之一。例如, CuTe、GeSbTe、CuGeTe、AgGeTe、AgTe、ZnTe、ZnGeTe、CuS、CuGeS、CuSe、CuGeSe 及类似物可以为示例。离子源层 224 可以包含硼 (B)、稀土元素或者硅 (Si)。

[0181] 因此,离子源层 224 包含 Cu、Ag 和 Zn 的至少之一。也就是,离子源层 224 是用于向存储层 223 提供 Cu、Ag 和 Zn 的至少之一的离子的层,或者是用于接收提供给存储层 223 的离子的层。

[0182] 扩散层 25M 和第一电极 222 通过后接触电极 63M 彼此电连接,后接触电极 63M 穿过第一绝缘膜 11 和扩散层 25M 并连接到低阻抗部 27M 的后表面。

[0183] 在图中,第二电极 225 用作互连。为此,第二绝缘膜 14 形成为埋入第一电极 222、存储层 223 和离子源层 224,而第二电极 225 连接到离子源层 224 且布置在第二绝缘膜 14 上。

[0184] 接触电极 226 连接到第一场效应晶体管 Tr1 的扩散层 26M,接触电极 227 连接到第三场效应晶体管 Tr3 的扩散层 26L。接触电极 226 和接触电极 227 通过互连 228 彼此连接。从而,第一场效应晶体管 Tr1 的扩散层 26M 电连接到第三场效应晶体管 Tr3 的扩散层 26L。通过在多层 (图中为三层) 中层叠接触电极和互连而形成的多层互连部 229 连接到第三场效应晶体管 Tr3 的扩散层 25L。

[0185] 在半导体器件 7 中,当阻变存储元件 221 安装在逻辑器件上时,在相关技术中形成在最上面的互连上的阻变存储元件 221 可以布置在后表面上。因此,可以应用微型化规则,

从而可以易于形成高容量的存储器。

[0186] 阻变存储元件 221 和用作存取晶体管的第一场效应晶体管 Tr1 及第二场效应晶体管 Tr2 可以在浅的后接触电极 63M 处彼此连接。因此,实现了接触阻抗的降低、MOSFET 性能的改善以及接触电极良率的改善。

[0187] [半导体器件构造的第八示例]

[0188] 接下来,将参考图 7 的示意性截面图描述根据本发明第二实施例的半导体器件的构造的第八示例。图 7 示出了其中用作存储元件的磁阻存储元件形成在基板 10 的后表面上的示例。

[0189] 如图 7 所示,基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0190] 半导体区域 12 具有元件隔离区域 13,用于分离存储元件部 15 和逻辑元件部 16。元件隔离区域 13 具有例如浅沟槽隔离 (STI) 结构且通过利用硅氧化物填充形成在半导体区域 12 中的元件隔离槽而形成。

[0191] 共享单个扩散层的第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 在存储元件部 15 的半导体区域 12 中形成为彼此相邻。第三场效应晶体管 Tr3 形成在逻辑元件部 16 的半导体区域 12 中。

[0192] 第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 的每个具有隔着栅极绝缘膜 21M 形成在半导体区域 12 的前表面上的栅极电极 22M。成为源极区域和漏极区域的扩散层 25M 和 26M 形成在栅极电极 22M 两侧的半导体区域 12 中。扩散层 26M 被共享。低阻抗部 27M 和 28M 分别形成在扩散层 25M 和 26M 的前表面处。在一侧 (图中的左侧) 的扩散层 25M 和 26M 之间的半导体区域 12 成为第一场效应晶体管 Tr1 的沟道区域。在另一侧 (图中的右侧) 的扩散层 25M 和 26M 之间的半导体区域 12 成为第二场效应晶体管 Tr2 的沟道区域。

[0193] 栅极绝缘膜 21M、栅极电极 22M 及低阻抗部 27M 和 28M 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0194] 第三场效应晶体管 Tr3 具有隔着栅极绝缘膜 21L 形成在半导体区域 12 的前表面上的栅极电极 22L。成为源极区域和漏极区域的扩散层 25L 和 26L 形成在栅极电极 22L 两侧的半导体区域 12 中。低阻抗部 27L 和 28L 分别形成在扩散层 25L 和 26L 的前表面处。在扩散层 25L 和 26L 之间的一部分半导体区域 12 成为第三场效应晶体管 Tr3 的沟道区域。

[0195] 栅极绝缘膜 21L、栅极电极 22L 及低阻抗部 27L 和 28L 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0196] 层间绝缘层 41 形成在半导体区域 12 的前表面上,以覆盖第一场效应晶体管 Tr1、第二场效应晶体管 Tr2 和第三场效应晶体管 Tr3 等。层间绝缘层 41 形成为具有例如几百 nm 或更大的厚度,且层间绝缘层 41 的表面被平坦化。

[0197] 支撑基板 51 形成在层间绝缘层 41 上。

[0198] 后接触电极 63M 形成为穿过第一绝缘膜 11 和扩散层 25M,且连接到低阻抗部 27M 的后表面。形成连接到后接触电极 63M 的互连 235 以及连接到互连 235 的接触电极 236。

[0199] 写入线 237 形成在与互连 235 相同的层处。当电流在写入线 237 中流动时写入线 237 产生磁场且反转以下描述的 MTJ 膜 233 的自由层的磁化方向。写入线 237 由例如铜 (Cu)、铝 (Al)、钛 (Ti)、钽 (Ta)、钛氮化物 (TiN)、钨 (W)、钽氮化物 (TaN) 或者类似物制成。

[0200] 磁阻存储元件 231 隔着第二绝缘膜 14 形成在写入线 237 上。

[0201] 磁阻存储元件 231 通过层叠第一电极 232、MTJ 膜 233 和第二电极 234 而形成。第一电极 232 连接到接触电极 236。

[0202] 第一电极 232 由例如钛氮化物 (TiN)、钨 (W)、铂 (Pt) 或者类似物制成。第二电极 234 由例如铂 (Pt) 制成。

[0203] 术语“MTJ”是磁隧道结的缩写,并表示磁隧道结。MTJ 膜 233 形成为具有钉扎层 (pinning layer)、隧道绝缘膜以及自由层的层叠结构。钉扎层由例如钴 (Co)、钴铁硼 (CoFeB) 或者类似物制成。隧道绝缘膜由例如铝氧化物、镁氧化物或者类似物的氧化物膜形成。自由层由例如镍铁 (NiFe)、钌 (Ru) 和镍铁 (NiFe) 的层叠膜、钴铁 (CoFe) 或者类似物形成。

[0204] 第三绝缘膜 17 形成为掩埋磁阻存储元件 231。位线 (或者电源线) 238 设置于第三绝缘膜 17, 以连接到磁阻存储元件 231 的第二电极 234 且沿与写入线 237 正交的方向延伸。

[0205] 接触电极 226 连接到第一场效应晶体管 Tr1 的扩散层 26M, 接触电极 227 连接到第三场效应晶体管 Tr3 的扩散层 26L。接触电极 226 和接触电极 227 通过互连 228 彼此连接。从而, 第一场效应晶体管 Tr1 的扩散层 26M 电连接到第三场效应晶体管 Tr3 的扩散层 26L。通过在多层 (图中为三层) 中层叠接触电极和互连而形成的多层互连部 229 连接到第三场效应晶体管 Tr3 的扩散层 25L。

[0206] 在半导体器件 8 中, 当磁阻存储元件 231 安装在逻辑器件上时, 在相关技术中形成在最上面的互连上的阻变存储元件 231 可以布置在后表面上。因此, 可以应用微型化规则, 从而可以易于形成高容量的存储器。

[0207] 磁阻存储元件 231 和用作存取晶体管的第一场效应晶体管 Tr1 可以在浅的后接触电极 63M 处彼此连接。因此, 实现了接触阻抗的降低、MOSFET 性能的改善以及接触电极良率的改善。

[0208] [半导体器件构造的第九示例]

[0209] 接下来, 将参考图 8 的示意性截面图描述根据本发明第二实施例的半导体器件的构造的第九示例。图 8 示出了其中用作存储元件的阻变存储元件形成在基板 10 的后表面上的示例。

[0210] 如图 8 所示, 基板 10 具有形成在第一绝缘膜 11 上的半导体区域 12。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地, 第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成, 该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。半导体区域 12 由例如硅层形成。

[0211] 半导体区域 12 具有元件隔离区域 13, 用于分离存储元件部 15 和逻辑元件部 16。元件隔离区域 13 具有例如浅沟槽隔离 (STI) 结构且通过利用硅氧化物填充形成在半导体区域 12 中的元件隔离槽而形成。

[0212] 共享单个扩散层的第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 在存储元件部 15 的半导体区域 12 中形成为彼此相邻。第三场效应晶体管 Tr3 形成在逻辑元件部 16 的半导体区域 12 中。

[0213] 第一场效应晶体管 Tr1 和第二场效应晶体管 Tr2 的每个具有隔着栅极绝缘膜 21M 形成在半导体区域 12 的前表面上的栅极电极 22M。成为源极区域和漏极区域的扩散层 25M 和 26M 形成在栅极电极 22M 两侧的半导体区域 12 中。扩散层 26M 被共享。低阻抗部 27M 和 28M 分别形成在扩散层 25M 和 26M 的前表面处。在一侧（图中的左侧）的扩散层 25M 和 26M 之间的半导体区域 12 成为第一场效应晶体管 Tr1 的沟道区域。在另一侧（图中的右侧）的扩散层 25M 和 26M 之间的半导体区域 12 成为第二场效应晶体管 Tr2 的沟道区域。

[0214] 栅极绝缘膜 21M、栅极电极 22M 及低阻抗部 27M 和 28M 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0215] 第三场效应晶体管 Tr3 具有隔着栅极绝缘膜 21L 形成在半导体区域 12 的前表面上的栅极电极 22L。成为源极区域和漏极区域的扩散层 25L 和 26L 形成在栅极电极 22L 两侧的半导体区域 12 中。低阻抗部 27L 和 28L 分别形成在扩散层 25L 和 26L 的前表面处。在扩散层 25L 和 26L 之间的一部分半导体区域 12 成为第三场效应晶体管 Tr3 的沟道区域。

[0216] 栅极绝缘膜 21L、栅极电极 22L 及低阻抗部 27L 和 28L 由与半导体器件 1 的栅极绝缘膜、栅极电极和低阻抗部相同的材料制成。

[0217] 层间绝缘层 41 形成在半导体区域 12 的前表面上，以覆盖第一场效应晶体管 Tr1、第二场效应晶体管 Tr2 和第三场效应晶体管 Tr3 等。层间绝缘层 41 形成为具有例如几百 nm 或更大的厚度，且层间绝缘层 41 的表面被平坦化。

[0218] 支撑基板 51 形成在层间绝缘层 41 上。

[0219] 后接触电极 63M 形成在第一绝缘膜 11 中，以连接到扩散层 25M。铁电存储元件 241 形成为连接到后接触电极 63M。

[0220] 铁电存储元件 241 通过层叠第一电极 242、铁电膜 243 和第二电极 244 而形成。

[0221] 面对后接触电极 63M 的第一电极 242 由例如铂 (Pt) 制成。

[0222] 铁电膜 243 由锆钛酸铅 (PZT : $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$)、钽酸锶铋 (SBT : $\text{SrBi}_2\text{Ta}_2\text{O}_9$)、钛酸镧铋 (BLT : $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$) 或者类似物制成。

[0223] 第二电极 244 由例如铱氧化物 (IrO_2) 制成。

[0224] 各个材料都是示例并可以被适当地改变。

[0225] 扩散层 25M 和第一电极 242 通过后接触电极 63M 彼此电连接，后接触电极 63M 穿过第一绝缘膜 11 和扩散层 25M 并连接到低阻抗部 27M 的后表面。

[0226] 第二绝缘膜 14 形成为掩埋铁电存储元件 241，且第二电极 244 形成在连接到铁电存储元件 241 的接触电极 245 上。互连 246 形成于第二绝缘膜 14，以连接到接触电极 245。

[0227] 接触电极 226 连接到第一场效应晶体管 Tr1 的扩散层 26M，接触电极 227 连接到第三场效应晶体管 Tr3 的扩散层 26L。接触电极 226 和接触电极 227 通过互连 228 彼此连接。从而，第一场效应晶体管 Tr1 的扩散层 26M 电连接到第三场效应晶体管 Tr3 的扩散层 26L。通过在多层（图中为三层）中层叠接触电极和互连而形成的多层互连部 229 连接到第三场效应晶体管 Tr3 的扩散层 25L。

[0228] 在半导体器件 9 中，当铁电存储元件 241 安装在逻辑器件上时，在相关技术中形成

在最上面的互连上的铁电存储元件 241 可以布置在后表面上。因此,可以应用微型化规则,从而可以易于形成高容量的存储器。

[0229] 铁电存储元件 241 和用作存取晶体管的第一场效应晶体管 Tr1 可以在浅的后接触电极 63M 处彼此连接。因此,实现了接触阻抗的降低、MOSFET 性能的改善以及接触电极良率的改善。

[0230] <3. 第三实施例>

[0231] [制造半导体器件的方法的第一示例]

[0232] 将参考图 9 到 11 的工艺截面图描述根据本发明第三实施例的半导体器件的制造方法的第一示例。该制造方法是关于第一实施例的第一示例的制造方法。

[0233] 如图 9 所示,采用 SOI 基板 310,在 SOI 基板 310 中,硅层 313(对应于半导体区域 12)隔着绝缘层 312 形成在第一支撑基板 311 上。

[0234] P 沟道晶体管和 N 沟道晶体管通过典型的晶体管形成工艺形成。

[0235] 首先,用于使 P 沟道晶体管形成区域和 N 沟道晶体管形成区域彼此分离的元件隔离区域 13 形成在半导体区域 12 中。

[0236] 接下来,栅极电极 22(22P、22N)隔着栅极绝缘膜 21(21P、21N)形成在半导体区域 12 上。当栅极绝缘膜 21P 和 21N 形成为具有变化的厚度时,栅极绝缘膜通过不同的工艺形成。栅极绝缘膜 21 由例如通过热氧化、等离子体氧化或者等离子体氮化法形成的热氧氮化物膜形成。备选地,作为形成绝缘膜 21 的方法,可以采用 MOCVD 法或 ALD 法。术语“MOCVD”是金属有机化学气相沉积的缩写。术语“ALD”是原子层沉积的缩写。

[0237] 栅极绝缘膜 21 由例如铪氧化物 (HfO_2)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO_2)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数(高 k)膜形成。备选地,栅极绝缘膜 21P 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0238] 栅极电极 22 由例如多晶硅制成。备选地,栅极电极 22 由钛氮化物 (TiN)、钽碳化物 (TaC)、钨 (W) 或者类似物制成。

[0239] 接下来,尽管未示出,但可以形成 LDD(轻掺杂漏极, Lightly Doped Drain)区域。在这种情况下,当形成 P 沟道晶体管形成区域的 LDD 区域时, N 沟道晶体管形成区域用抗蚀剂或类似物遮盖,进行离子注入以形成 P 沟道晶体管的 LDD 区域。之后,用于离子注入的掩模被去除。接下来,当形成 N 沟道晶体管形成区域的 LDD 区域时, P 沟道晶体管形成区域用抗蚀剂或类似物遮盖,进行离子注入以形成 N 沟道晶体管的 LDD 区域。之后,用于离子注入的掩模被去除。LDD 区域的任意之一可以较早地形成。

[0240] 接下来,侧壁部 23(23P、23N)和 24(24P、24N)形成在栅极电极 22 的侧壁处。典型地,侧壁部形成为围绕栅极电极 22,使得侧壁部 23 和 24 连续地形成。侧壁部 23 和 24 由例如硅氧化物 (SiO_2)、硅氮化物 (SiN)、硅氧氮化物 (SiON) 或者类似物制成。备选地,侧壁部 23 和 24 由这些材料的组合膜形成。

[0241] 接下来, N 沟道晶体管形成区域用抗蚀剂或类似物遮盖,进行 P 型杂质的离子注入以形成 P 沟道晶体管的扩散层 25(25P)和 26(26P)。之后,用于离子注入的掩模被去除。接下来, P 沟道晶体管形成区域用抗蚀剂或类似物遮盖,进行 N 型杂质的离子注入以形成 N 沟道晶体管的扩散层 25(25N)和 26(26N)。之后,用于离子注入的掩模被去除。

[0242] 接下来,具有低于扩散层 25 和 26 的阻抗的低阻抗部 27 和 28 分别通过典型的硅

化工艺由硅化物层形成在扩散层 25 和 26 的前表面处。已知硅化物层具有低于通过在硅层中注入离子而形成的扩散层的阻抗。硅化物层由例如钴 (Co)、镍 (Ni)、铂 (Pt)、钽 (Ta)、钛 (Ti) 或类似物的金属硅化物制成。

[0243] 当栅极电极 22 由多晶硅制成时,低阻抗部 29(29P、29N) 与低阻抗部 27 和 28 同时地形成在栅极电极 22 的上部处。

[0244] 这样,形成具有 P 沟道晶体管 1P 和 N 沟道晶体管 1N 的半导体器件 1。

[0245] 接下来,如图 10 所示,层间绝缘层 41 形成在半导体区域 12 上,以覆盖半导体器件 1。层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。之后,层间绝缘层 41 的表面被平坦化。

[0246] 接下来,支撑基板 51 堆叠在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0247] 接下来,如图 11 所示,第一绝缘膜 11 形成在半导体区域 12 的后表面上。从而,形成基板 10,在基板 10 中半导体区域 12 形成在第一绝缘膜 11 上。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0248] 接下来,接触孔 61P 和 62P 通过典型的光刻和蚀刻技术形成在第一绝缘膜 11 中,以分别与扩散层 25P 和 26P 相通。接触孔 61P 和 62P 分别穿过扩散层 25P 和 26P 并到达低阻抗部 27P 和 28P 的后表面。

[0249] 同时,接触孔 61N 和 62N 形成在第一绝缘膜 11 中,以分别与扩散层 25N 和 26N 相通。接触孔 61N 和 62N 分别穿过扩散层 25N 和 26N 且到达低阻抗部 27N 和 28N 的后表面。

[0250] 接下来,后接触电极 63P 和 64P 分别形成在接触孔 61P 和 62P 中,以连接到低阻抗部 27P 和 28P 的后表面。同时,后接触电极 63N 和 64N 分别形成在接触孔 61N 和 62N 中,以连接到低阻抗部 27N 和 28N 的后表面。后接触电极 63P 和 64P 及后接触电极 63N 和 64N 分别通过用金属材料填充接触孔 61P 和 62P 及接触孔 61N 和 62N 而形成。金属材料的示例包括钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (TaN)、钨 (W)、铜 (Cu) 或者类似物。

[0251] 接下来,第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0252] 接下来,互连槽 65P 和 66P 通过典型的光刻和蚀刻技术形成在第二绝缘膜 14 中,以分别与后接触电极 63P 和 64P 相通。互连槽 65P 和 66P 分别到达后接触电极 63P 和 64P。同时,互连槽 65N 和 66N 形成在第二绝缘膜 14 中,以分别与后接触电极 63N 和 64N 相通。互连槽 65N 和 66N 分别到达后接触电极 63N 和 64N。

[0253] 接下来,互连 67P 和 68P 通过典型的互连形成工艺分别形成在互连槽 65P 和 66P 中以连接到后接触电极 63P 和 64P。同时,互连 67N 和 68N 分别形成在互连槽 65N 和 66N 中,以连接到后接触电极 63N 和 64N。互连 67P、68P、67N 和 68N 分别通过用金属材料或它们

的组合膜填充互连槽 65P、66P、65N 和 66N 而形成。金属材料的示例包括钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (TaN)、钌 (Ru)、铜 (Cu) 或者类似物。

[0254] 尽管未示出,但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极 (这里, $N \geq 2$)。也就是,互连可以以多层互连的形式形成。

[0255] 在半导体器件 1 的制造方法中,后接触电极 63P、64P、63N 和 64N 分别穿过扩散层 25P、26P、25N 和 26N 直接连接到低阻抗部 27P、28P、27N 和 28N。因此,后接触电极 63P 与扩散层 25P 之间的接触阻抗值减小。类似地,后接触电极 64P、63N 和 64N 与扩散层 26P、25N 和 26N 之间的接触阻抗值减小。也就是,后接触电极 63P、64P、63N 和 64N 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值等于前接触电极 (未示出) 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值,该前接触电极从前表面连接到形成在扩散层 25P、26P、25N 和 26N 前表面处的低阻抗部 27P、28P、27N 和 28N。

[0256] 因此,将不形成在相关技术中形成在栅极电极 22 上的接触电极,从而栅极电极 22 与后接触电极 63P、64P、63N 和 64N 之间的寄生电容减小。

[0257] 即使栅极电极 22 与接触电极之间的距离在平面布局方面随着元件的微型化而减小时,栅极电极 22 也能够与后接触电极 63P、64P、63N 和 64N 可靠地绝缘。

[0258] 接触电极的微型化通过后接触电极 63P、64P、63N 和 64N 的小的深宽比而促进。

[0259] 即使当所谓的应力衬垫膜 (未示出) 设置在晶体管上以改善迁移率时,该应力衬垫膜也不被接触电极分开,因此应力衬垫膜的应力效应的损失是小的。应力衬垫膜 (CSIL: 沟道应力诱生衬垫) 典型地由具有拉应力或压应力的硅氮化物膜形成。

[0260] [制造半导体器件的方法的第二示例]

[0261] 接下来,将参考图 12 的工艺截面图描述根据本发明第三实施例的半导体器件的制造方法的第二示例。该第二示例是关于第一实施例的半导体器件的第二示例的制造方法。

[0262] 如图 12 所示,用于分离半导体区域 12 中的晶体管形成区域的元件隔离区域 13 由 SOI 基板的作为半导体区域 12 的硅层形成。然后,第一晶体管 101 (例如, P 沟道晶体管或 N 沟道晶体管) 通过典型的晶体管形成工艺形成在半导体区域 12 的晶体管形成区域中。

[0263] 具体地,栅极电极 22 隔着栅极绝缘膜 21 形成在半导体区域 12 的晶体管形成区域上。

[0264] 栅极绝缘膜 21 由例如铪氧化物 (HfO_2)、硅氧氮化铪 (HfSiON)、锆氧化物 (ZrO_2)、硅氧氮化锆 (ZrSiON) 或者类似物的所谓的高介电常数 (高 k) 膜形成。备选地,栅极绝缘膜 21 由热氧氮化物膜和高介电常数膜的组合膜形成。

[0265] 栅极电极 22 由例如多晶硅制成。

[0266] 接下来,侧壁部 23 和 24 形成在栅极电极 22 的侧壁处。侧壁部 23 和 24 由例如硅氧化物 (SiO_2)、硅氮化物 (SiN)、硅氧氮化物 (SiON) 或者类似物制成。备选地,侧壁部 23 和 24 由这些材料的组合膜形成。在形成侧壁部 23 和 24 之前,LDD (轻掺杂漏极) 区域可以形成在栅极电极 22 两侧的半导体区域 12 中。

[0267] 扩散层 25 和 26 通过离子注入法形成在栅极电极 22 两侧的半导体区域 12 中。在 P 沟道晶体管的情况下,扩散层 25 和 26 通过离子注入 P 型杂质而形成,在 N 沟道晶体管的情况下,扩散层 25 和 26 通过离子注入 N 型碳氟化物 (CF_x) 而形成,且形成源极区域和漏极

区域。扩散层 25 和 26 之间的半导体区域 12 成为沟道区域。

[0268] 接下来,具有低于扩散层 25 和 26 的阻抗(电阻)的低阻抗部 27 和 28 通过典型的硅化工艺由硅化物形成在扩散层 25 和 26 的前表面处。硅化物层由例如钴 (Co)、镍 (Ni)、铂 (Pt)、钽 (Ta)、钛 (Ti) 或类似物的金属硅化物制成。

[0269] 同时,低阻抗部 29 形成在栅极电极 22 的上部处。

[0270] 这样,第一晶体管 101 形成在半导体区域 12 中。

[0271] 第二晶体管 102 通过与第一晶体管 101 相同的工艺同时形成在元件隔离区域 13 上,且第二晶体管 102 的栅极电极 122 的一部分形成在元件隔离区域 13 上。栅极电极 122 由多晶硅制成。低阻抗部 129 由与以上所描述相同的硅化物层形成在栅极电极 122 的上部处,且与低阻抗部 27 和 28 同时形成。

[0272] 这样,形成具有第一晶体管 101 和第二晶体管 102 的半导体器件 2。

[0273] 接下来,层间绝缘层 41 形成在半导体区域 12 上,以覆盖半导体器件 2。层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。之后,层间绝缘层 41 的表面被平坦化。

[0274] 支撑基板 51 堆叠在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0275] 接下来,尽管未示出,但 SOI 基板的第一支撑基板和绝缘层被去除以暴露半导体区域 12 的后表面。

[0276] 接下来,第一绝缘膜 11 形成在半导体区域 12 的后表面上。从而,形成基板 10,在基板 10 中半导体区域 12 形成在第一绝缘膜 11 上。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0277] 接下来,接触孔 61 和 62 通过典型的光刻和蚀刻技术形成在第一绝缘膜 11 中,以分别与扩散层 25 和 26 相通。接触孔 61 和 62 分别穿过扩散层 25 和 26 且到达低阻抗部 27 和 28 的后表面。其中,接触孔 62 进一步到达栅极电极 122 的低阻抗部 129 的后表面。接下来,后接触电极 63 和 64 分别形成在接触孔 61 和 62 中,以连接到低阻抗部 27 和 28 的后表面。其中,后接触电极 64 连接到扩散层 26 的低阻抗部 28 和栅极电极 122 的低阻抗部 129。后接触电极 63 和 64 分别通过用金属材料(例如,钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N₃)、钨 (W)、铜 (Cu) 或者类似物)填充接触孔 61 和 62 而形成。

[0278] 接下来,第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0279] 接下来,互连槽 65 和 66 通过典型的光刻和蚀刻技术形成在第二绝缘膜 14 中,以分别达到后接触电极 63 和 64。

[0280] 接下来,互连 67 和 68 通过典型的互连形成工艺分别形成在互连槽 65 和 66 中以

连接到后接触电极 63 和 64。互连 67 和 68 分别通过用金属材料（例如，钛（Ti）、钛氮化物（TiN）、钽（Ta）、钽氮化物（Ta₂N）、钌（Ru）、铜（Cu）或者类似物，或它们的组合膜）填充互连槽 65 和 66 而形成。

[0281] 尽管未示出，但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极（这里， $N \geq 2$ ）。也就是，互连可以以多层互连的形式形成。

[0282] 在半导体器件 2 的制造方法中，可以形成所谓的共享接触电极结构。即使在共享接触电极结构中，也获得与半导体器件 1 的制造方法相同的优点。

[0283] [制造半导体器件的方法的第三示例]

[0284] 接下来，将参考图 13A 到 13B 的工艺截面图描述根据本发明第三实施例的半导体器件的制造方法的第三示例。第三示例是这样的制造方法，其中在半导体器件的制造方法的第一示例中，形成侧壁部，然后去除该侧壁部以形成空间。第三示例是关于第一实施例的半导体器件的第三示例的制造方法。

[0285] 如图 13A 所示，与半导体器件的制造方法的第一示例类似，P 沟道晶体管 1P 和 N 沟道晶体管 1N 形成在 SOI 基板 310 的半导体区域 12 中。

[0286] 也就是，栅极电极 22 (22P、22N) 隔着栅极绝缘膜 21 (21P、21N) 形成在半导体区域 12 上，且侧壁部 23 和 24 形成在栅极电极 22 的侧壁处。侧壁部 23 和 24 由例如硅氧化物（SiO₂）、硅氮化物、硅氧氮化物或者类似物制成。侧壁部 23 和 24 由这些材料的组合膜形成。成为源极区域和漏极区域的扩散层 25 (25P、25N) 和 26 (26P、26N) 形成在栅极电极 22 (22P、22N) 两侧的半导体区域 12 中。

[0287] 具有低于扩散层 25 和 26 的阻抗的低阻抗部 27 和 28 通过典型的硅化工艺由硅化物层形成在扩散层 25 和 26 的前表面处。硅化物层由例如钴（Co）、镍（Ni）、铂（Pt）、钽（Ta）、钛（Ti）或类似物的金属硅化物制成。

[0288] 尽管未示出，但当栅极电极 22 由多晶硅制成时，低阻抗部（未示出）与低阻抗部 27 和 28 同时地形成在栅极电极 22 的上部处。

[0289] 接下来，第一层间绝缘层 42 形成在半导体区域 12 上，以覆盖 P 沟道晶体管 1P 和 N 沟道晶体管 1N。之后，第一层间绝缘层 42 的上部被抛光使得栅极电极 22 及侧壁部 23 和 24 的上部被暴露。抛光通过例如化学机械抛光进行。

[0290] 接下来，如图 13B 所示，侧壁部 23 和 24（见 13A）被去除以形成空间 91P 和 92P 及空间 91N 和 92N。当侧壁部 23 和 24 由例如硅氧化物膜和硅氮化物膜的层叠膜形成时，这些膜之一可以被去除以形成空间 91P 和 92P 及空间 91N 和 92N。

[0291] 接下来，第二层间绝缘层 43 形成在第一层间绝缘层 42 上，使得其不填充空间 91P 和 92P 及空间 91N 和 92N。第二层间绝缘层 43 由例如硅氮化物、硅氧化物、硅碳氧化物、硅碳氧氮化物或者类似物，或者它们的组合膜制成。

[0292] 这样，第一层间绝缘层 42 和第二层间绝缘层 43 形成层间绝缘层 41。支撑基板 51 堆叠在层间绝缘层 41 上。

[0293] 后续制造工艺与参考半导体器件的制造方法的第一示例所描述的相同。

[0294] 在半导体器件 3 的制造方法中，空间 91P 和 92P 相对于栅极电极 22P 侧向形成，且空间 91N 和 92N 相对于栅极电极 22N 侧向形成。因此，寄生电容可以进一步降低。此外，获得与半导体器件 1 的制造方法相同的优点。

[0295] [制造半导体器件的方法的第四示例]

[0296] 接下来,将描述根据本发明第三实施例的半导体器件的制造方法的第四示例。

[0297] 在半导体器件的制造方法的第四示例中,如图 13A 所示,形成空间 91P 和 92P 及空间 91N 和 92N,然后,空间 91P 和 92P 及空间 91N 和 92N 用例如低介电常数膜填充,该低介电常数膜具有低于硅氧化物的介电常数。低介电常数膜的示例包括用于层间绝缘层的聚芳基醚 (polyaryl ether)、聚对二甲苯 (polyparaxylylene)、聚芳基醚 (polyaryl ether) 或者氟化聚芳基醚 (fluorinated polyaryl ether) 的低介电常数有机膜。备选地,可以采用绝缘膜,例如硅碳氧化物 (SiOC) 膜、甲基倍半硅氧烷 (MSQ, methylsilsesquioxane) 或者氢化硅倍半氧烷 (HSQ, hydrosilsesquioxane)、多孔膜、硅氟氧化物 (SiOF) 或者类似物。

[0298] 之后,与半导体器件的制造方法的第三示例类似,可以进行用于形成第二层间绝缘层 43 的工艺。

[0299] 如上所述,如果侧壁部 23P 和 24P 及侧壁部 23N 和 24N 由低介电常数膜形成,则空间 91P 和 92P 及空间 91N 和 92N 被填充,从而可以形成刚性结构并可以降低寄生电容。

[0300] 在半导体器件的制造方法的第一示例中,侧壁部 23 和 24 可以例如由低介电常数膜形成,该低介电常数膜具有低于硅氧化物的介电常数。在这种情况下,低介电常数膜优选由成为用于离子注入的掩模的材料制成。

[0301] [制造半导体器件的方法的第五示例]

[0302] 接下来,将参考图 14 到图 16 的工艺截面图描述根据本发明第三实施例的半导体器件的制造方法的第五示例。

[0303] 如图 14 所示,与半导体器件的制造方法的第一示例类似,用于使 P 沟道晶体管形成区域和 N 沟道晶体管形成区域彼此分离的元件隔离区域 13 形成在 SOI 基板 310 的半导体区域 12 中。之后,P 沟道晶体管 5P 和 N 沟道晶体管 5N 分别形成在 P 沟道晶体管形成区域和 N 沟道晶体管形成区域中。

[0304] 也就是,栅极电极 22 (22P、22N) 隔着栅极绝缘膜 21 (21P、21N) 形成在半导体区域 12 上,且侧壁部 23 和 24 形成在栅极电极 22 的侧壁处。侧壁部 23 和 24 由例如硅氧化物 (SiO_2)、硅氮化物、硅氧氮化物或者类似物制成。备选地,侧壁部 23 和 24 由这些材料的组合膜形成。成为源极区域和漏极区域的扩散层 25 (25P、25N) 和 26 (26P、26N) 形成在栅极电极 22 (22P、22N) 两侧的半导体区域 12 中。

[0305] 这样,形成具有 P 沟道晶体管 5P 和 N 沟道晶体管 5N 的半导体器件 5。

[0306] 接下来,如图 15 所示,层间绝缘层 41 形成在半导体区域 12 上,以覆盖半导体器件 5。同时,形成分别连接到扩散层 25P 和 26P 的前表面的电极 44P 和 45P 以及分别连接到电极 44P 和 45P 的互连 46P 和 47P。同时,形成分别连接到扩散层 25N 和 26N 的前表面的电极 44N 和 45N 以及分别连接到电极 44N 和 45N 的互连 46N 和 47N。

[0307] 具体地,例如,第一层间绝缘层形成为覆盖 P 沟道晶体管 5P 和 N 沟道晶体管 5N。之后,接触孔分别形成在第一层间绝缘层中,以到达扩散层 25P 和 26P 及扩散层 25N 和 26N,且电极 44P 和 45P 及电极 44N 和 45N 形成在接触孔中。

[0308] 接下来,第二层间绝缘层形成在第一层间绝缘层上。接下来,互连槽分别形成在第二层间绝缘层中,以连接到电极 44P 和 45P 及电极 44N 和 45N,且互连 46P 和 47P 及互连 46N 和 47N 形成在互连槽中。第三层间绝缘层形成在第二层间绝缘层上。第三层间绝缘层的表

面被平坦化。

[0309] 这样,第一到第三层间绝缘层形成层间绝缘层 41。

[0310] 层间绝缘层 41 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,层间绝缘层 41 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0311] 接下来,支撑基板 51 堆叠在层间绝缘层 41 上。支撑基板 51 的示例包括硅基板、玻璃基板、塑料基板以及类似物。

[0312] 之后,SOI 基板 310 的第一支撑基板 311 和绝缘层 312 被去除。

[0313] 在图中,示出了去除之前的状态。

[0314] 接下来,如图 16 所示,第一绝缘膜 11 形成在半导体区域 12 的后表面上。从而,形成基板 10,在基板 10 中半导体区域 12 形成在第一绝缘膜 11 上。第一绝缘膜 11 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第一绝缘膜 11 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0315] 接下来,接触孔 61P 和 62P 通过典型的光刻和蚀刻技术形成在第一绝缘膜 11 中,以分别与扩散层 25P 和 26P 相通。接触孔 61P 和 62P 分别穿过扩散层 25P 和 26P 且到达成为低阻抗部的电极 44P 和 45P 的后表面。

[0316] 同时,接触孔 61N 和 62N 形成在第一绝缘膜 11 中,以分别与扩散层 25N 和 26N 相通。接触孔 61N 和 62N 分别穿过扩散层 25N 和 26N 且到达成为低阻抗部的电极 44N 和 45N 的后表面。

[0317] 接下来,后接触电极 63P 和 64P 分别形成在接触孔 61P 和 62P 中以连接到电极 44P 和 45P 的后表面。同时,后接触电极 63N 和 64N 分别形成在接触孔 61N 和 62N 中以连接到电极 44N 和 45N 的后表面。例如,后接触电极 63P 和 64P 及后接触电极 63N 和 64N 分别通过用金属材料填充接触孔 61P 和 62P 及接触孔 61N 和 62N 而形成。金属材料的示例包括钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N₃)、钨 (W)、铜 (Cu) 以及类似物。

[0318] 接下来,第二绝缘膜 14 形成在第一绝缘膜 11 处。第二绝缘膜 14 由例如硅氮化物 (SiN) 膜、硅氧化物 (SiO₂) 膜、硅碳氧化物 (SiOC) 膜、硅碳氧氮化物 (SiOCN) 膜或者它们的组合膜形成。备选地,第二绝缘膜 14 由诸如有机绝缘膜或类似物的绝缘膜形成,该绝缘膜由用于典型的半导体器件的层间绝缘层的材料制成。

[0319] 接下来,互连槽 65P 和 66P 通过典型的光刻和蚀刻技术形成在第二绝缘膜 14 中,以分别与后接触电极 63P 和 64P 相通。互连槽 65P 和 66P 分别到达后接触电极 63P 和 64P。同时,互连槽 65N 和 66N 形成在第二绝缘膜 14 中,以分别与后接触电极 63N 和 64N 相通。互连槽 65N 和 66N 分别到达后接触电极 63N 和 64N。

[0320] 接下来,互连 67P 和 68P 通过典型的互连形成工艺分别形成在互连槽 65P 和 66P 中以连接到后接触电极 63P 和 64P。同时,互连 67N 和 68N 分别形成在互连槽 65N 和 66N 中,以连接到后接触电极 63N 和 64N。互连 67P、68P、67N 和 68N 分别通过用金属材料或它们的组合膜填充互连槽 65P、66P、65N 和 66N 而形成。金属材料的示例包括钛 (Ti)、钛氮化物 (TiN)、钽 (Ta)、钽氮化物 (Ta₂N₃)、钌 (Ru)、铜 (Cu) 以及类似物。

[0321] 尽管未示出,但可以形成第 N 互连以及连接第 N 层叠互连与第 (N-1) 互连的第 (N-1) 后接触电极 (这里, $N \geq 2$)。也就是,互连可以以多层互连的形式形成。

[0322] 在前表面上的互连层可以具有单层或多层。

[0323] 在半导体器件 5 的制造方法中,后接触电极 63P、64P、63N 和 64N 分别穿过扩散层 25P、26P、25N 和 26N 直接连接到电极 44P、45P、44N 和 45N。因此,例如,后接触电极 63P 与扩散层 25P 之间的接触阻抗值减小。类似地,后接触电极 64P、63N 和 64N 与扩散层 26P、25N 和 26N 之间的接触阻抗值减小。也就是,后接触电极 63P、64P、63N 和 64N 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值等于前接触电极 (未示出) 与扩散层 25P、26P、25N 和 26N 之间的接触阻抗值,该前接触电极从前表面连接到形成在扩散层 25P、26P、25N 和 26N 前表面处的电极 45P、46P、45N 和 46N。

[0324] 因此,将不形成在相关技术中形成在栅极电极 22P 和 22N 上的接触电极,从而栅极电极 22P 和 22N 与后接触电极 63P、64P、63N 和 64N 之间的寄生电容减小。

[0325] 即使栅极电极 22P 和 22N 与接触电极之间的距离在平面布局方面随着元件的微型化而减小时,栅极电极 22P 和 22N 也能够与后接触电极 63P、64P、63N 和 64N 可靠地绝缘。

[0326] 接触电极的微型化通过后接触电极 63P、64P、63N 和 64N 的小的深宽比而促进。

[0327] 即使当所谓的应力衬垫膜 (未示出) 设置在晶体管上以改善迁移率时,该应力衬垫膜没有被接触电极分开,因此应力衬垫膜的应力效应的损失是小的。应力衬垫膜 (CSIL : 沟道应力诱生衬垫) 典型地由具有拉应力或压应力的硅氮化物膜形成。

[0328] 本申请包括于 2009 年 1 月 22 日提交到日本专利局的日本优先权专利申请 JP 2009-011691 相关的主题,且其全部内容通过引用结合于此。

[0329] 本领域技术人员应当理解,根据设计需要和其他因素,可以在权利要求书或其等同物的范围内进行各种修改、结合、子结合和变更。

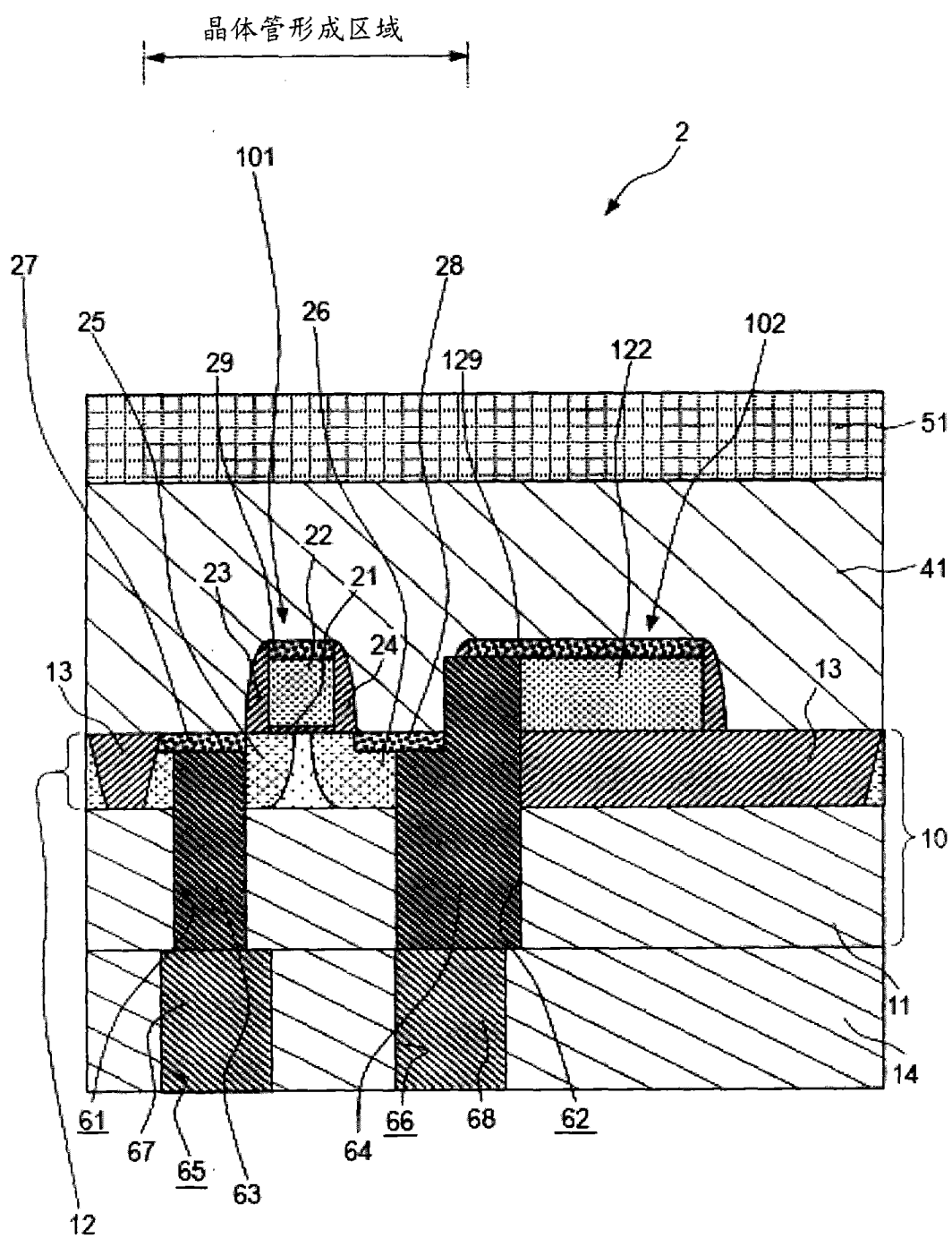


图 2

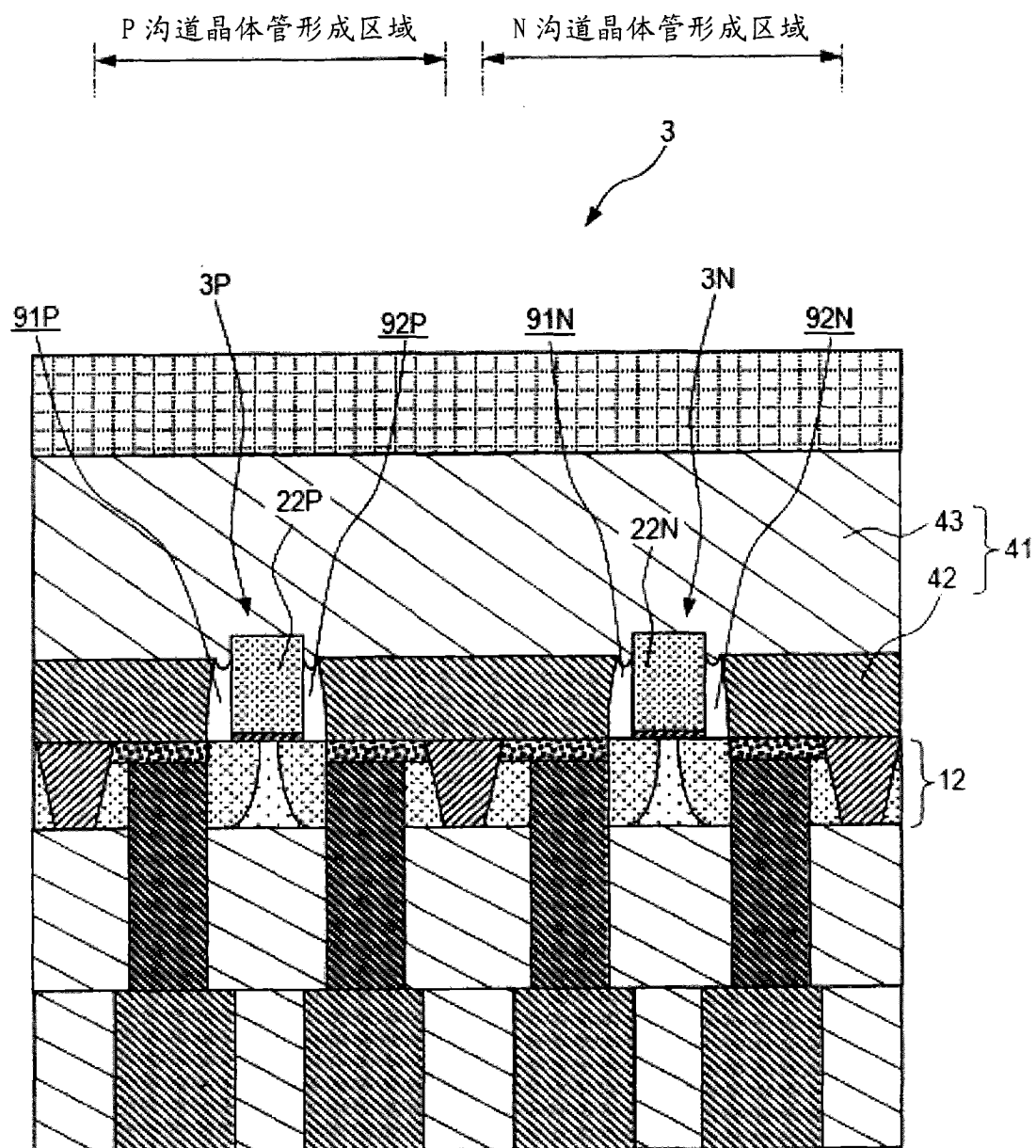


图 3

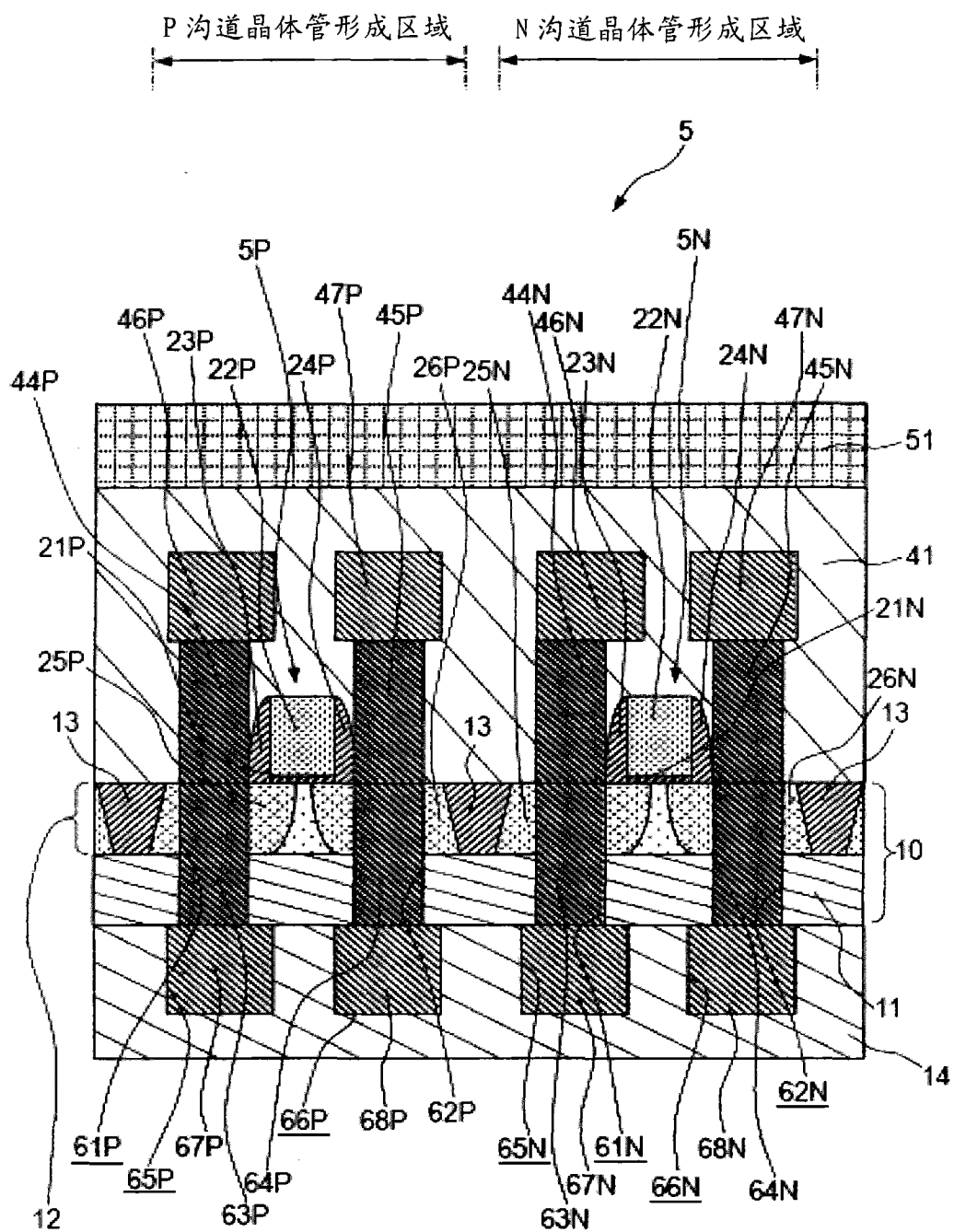


图 4

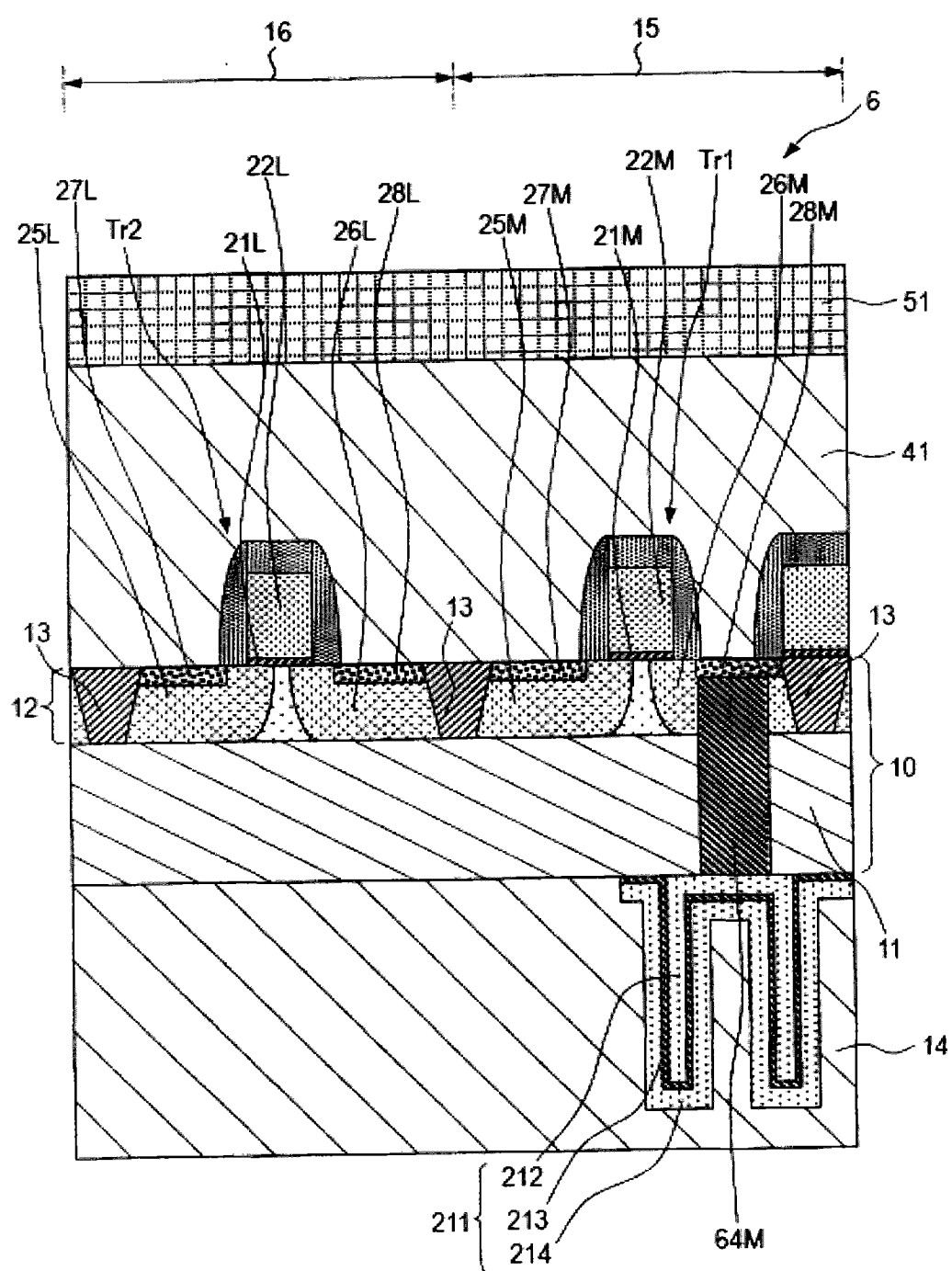


图 5

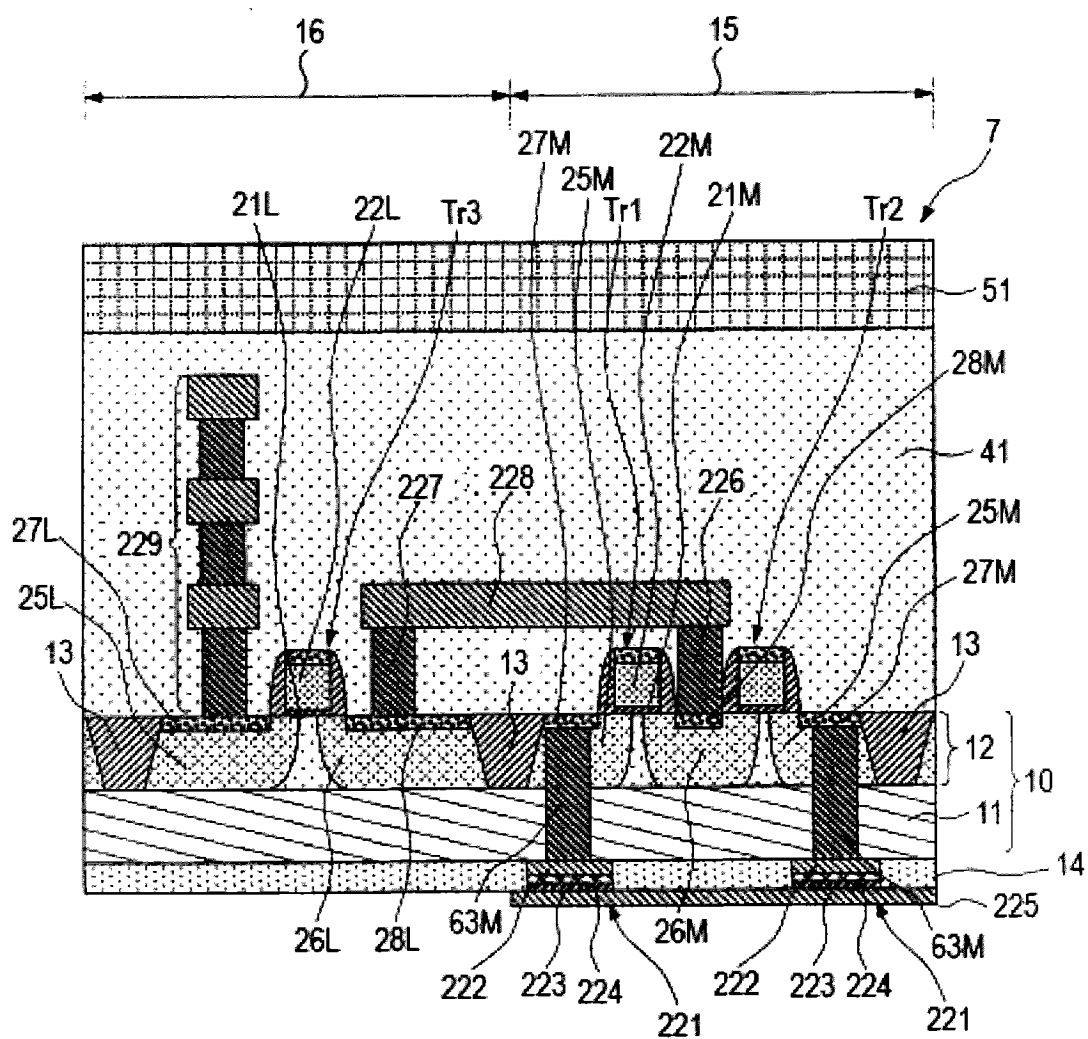


图 6

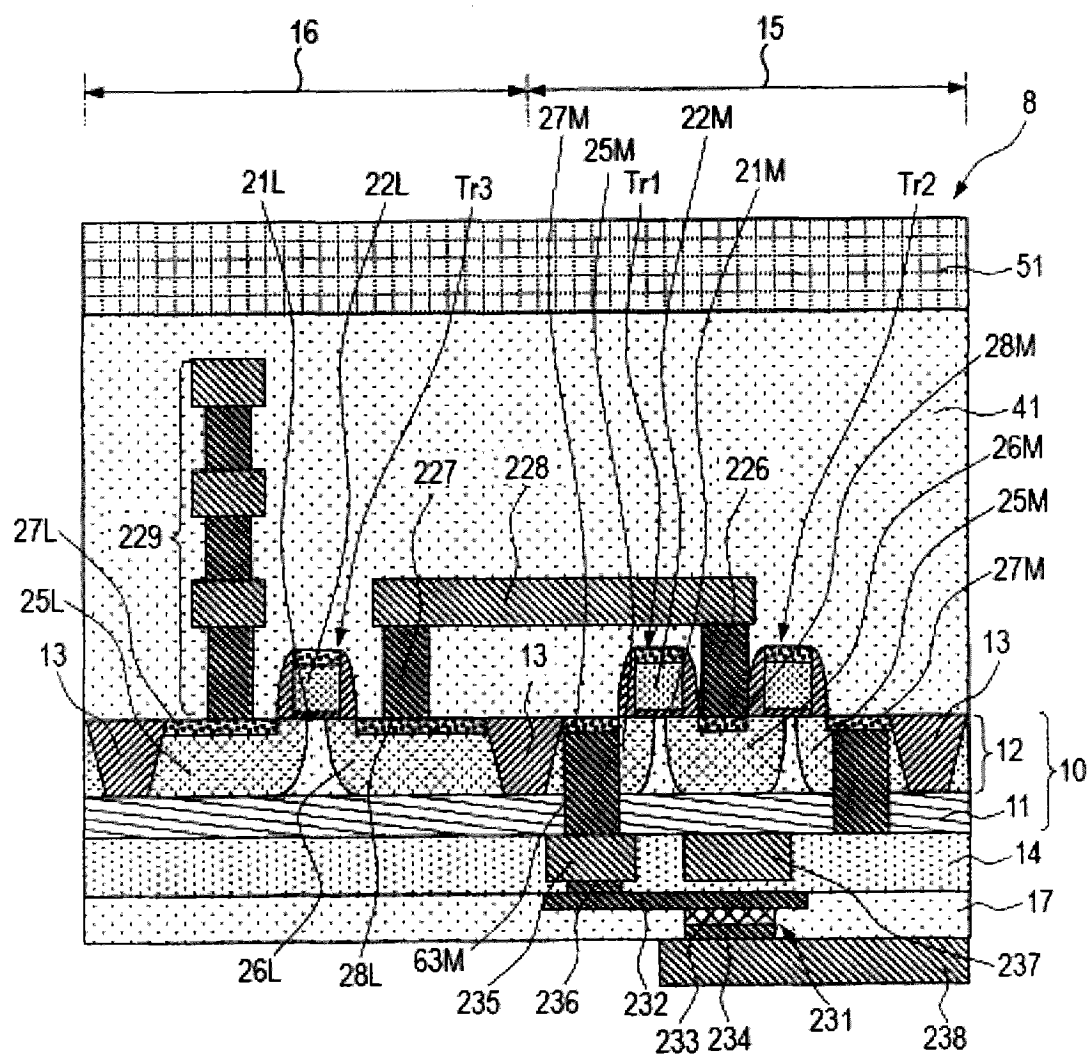


图 7

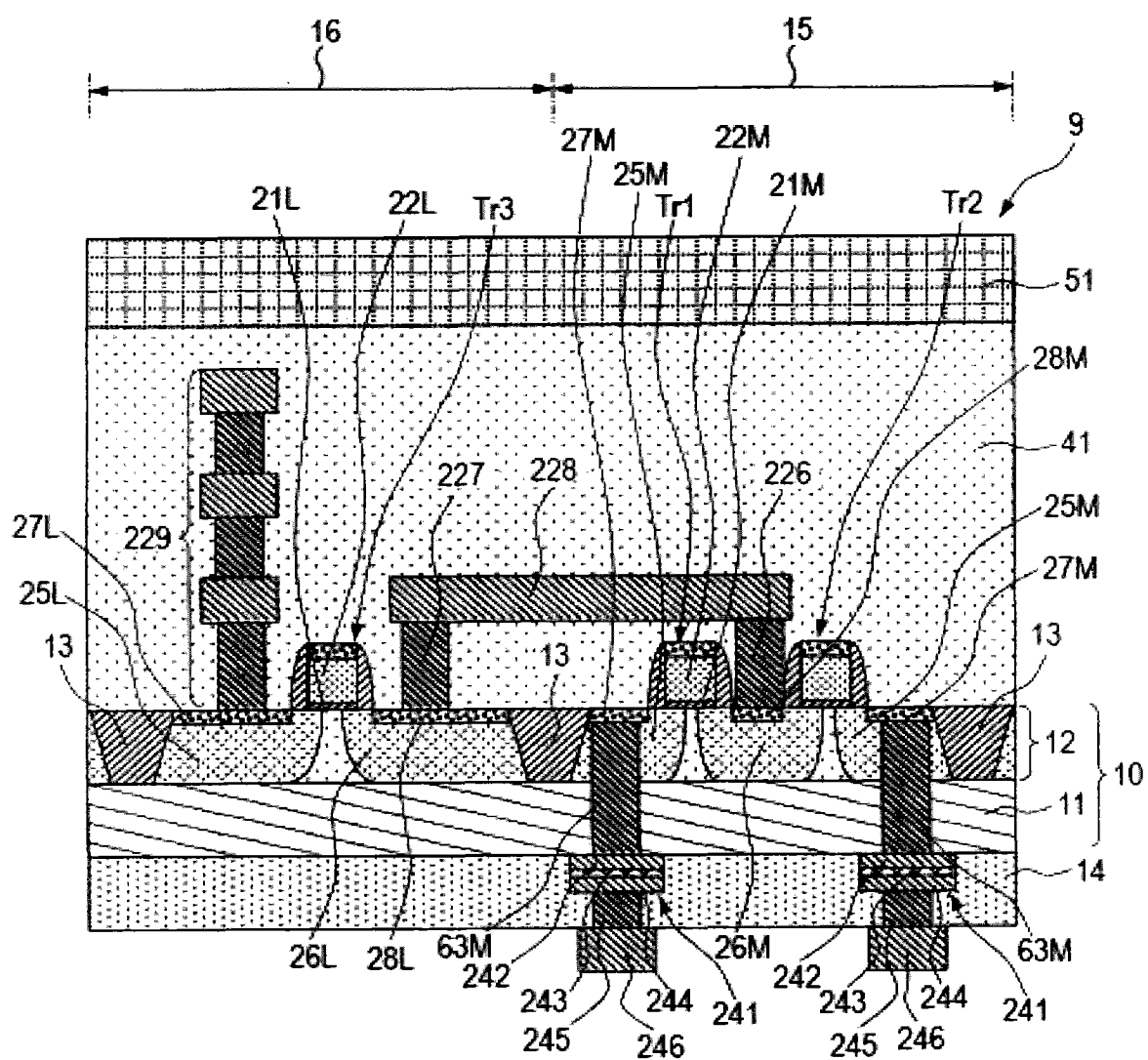


图 8

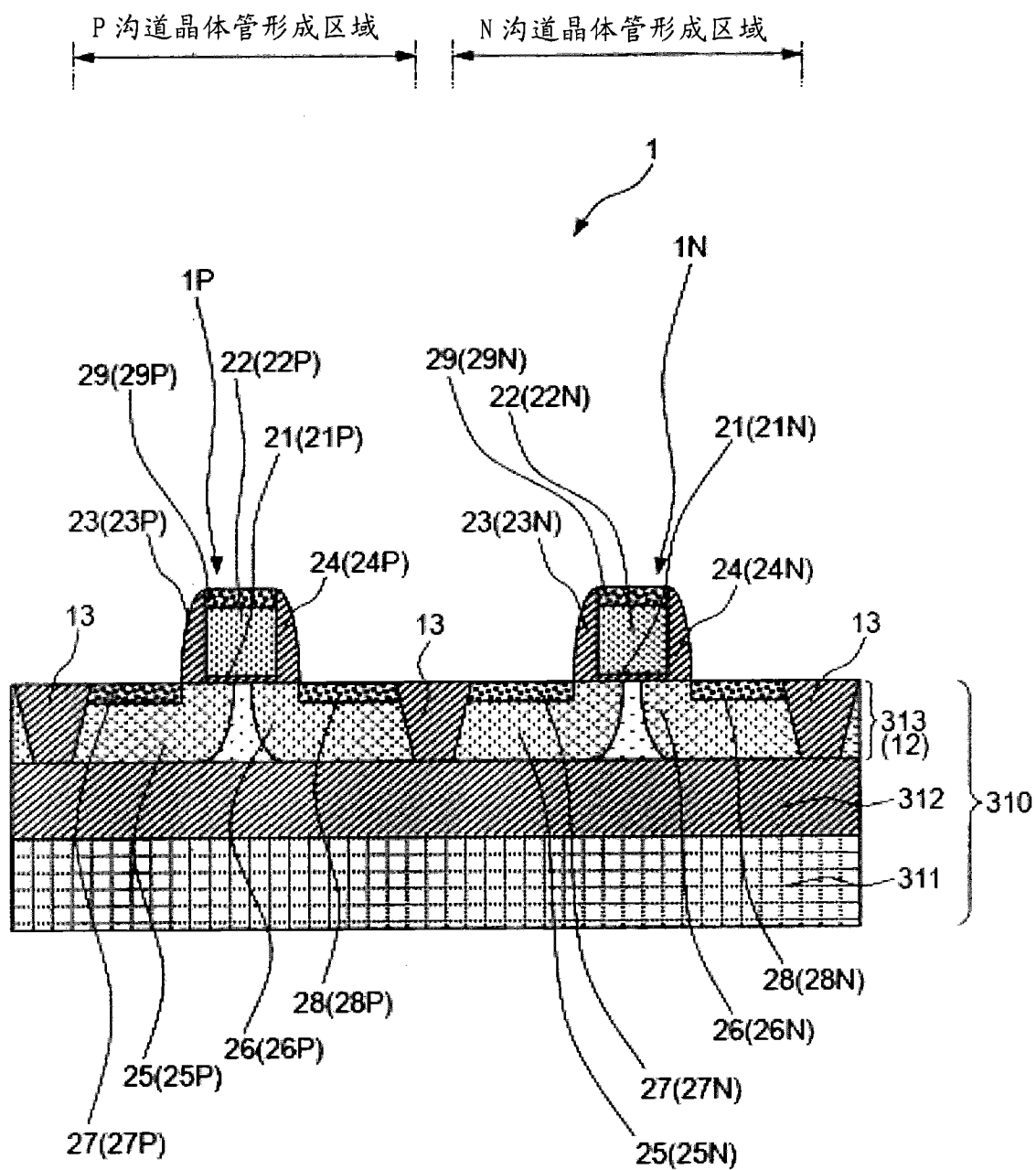


图 9

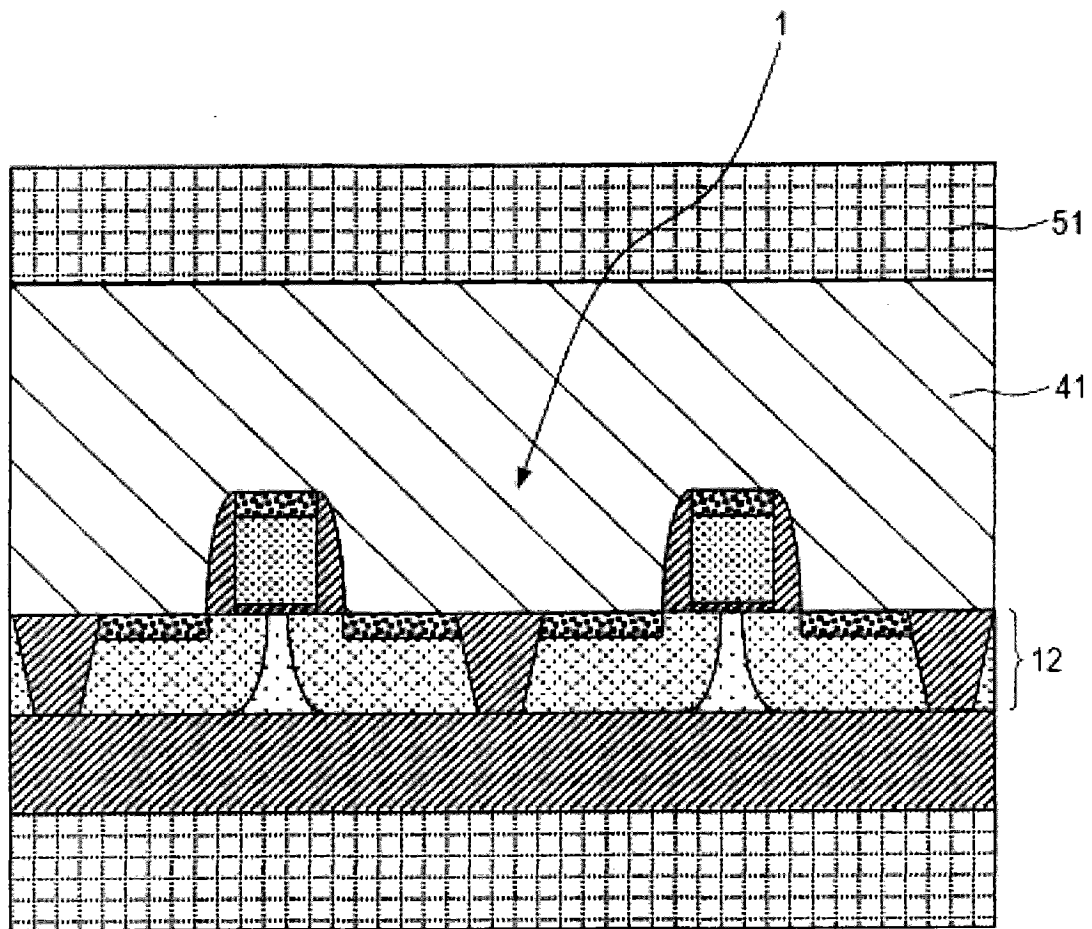


图 10

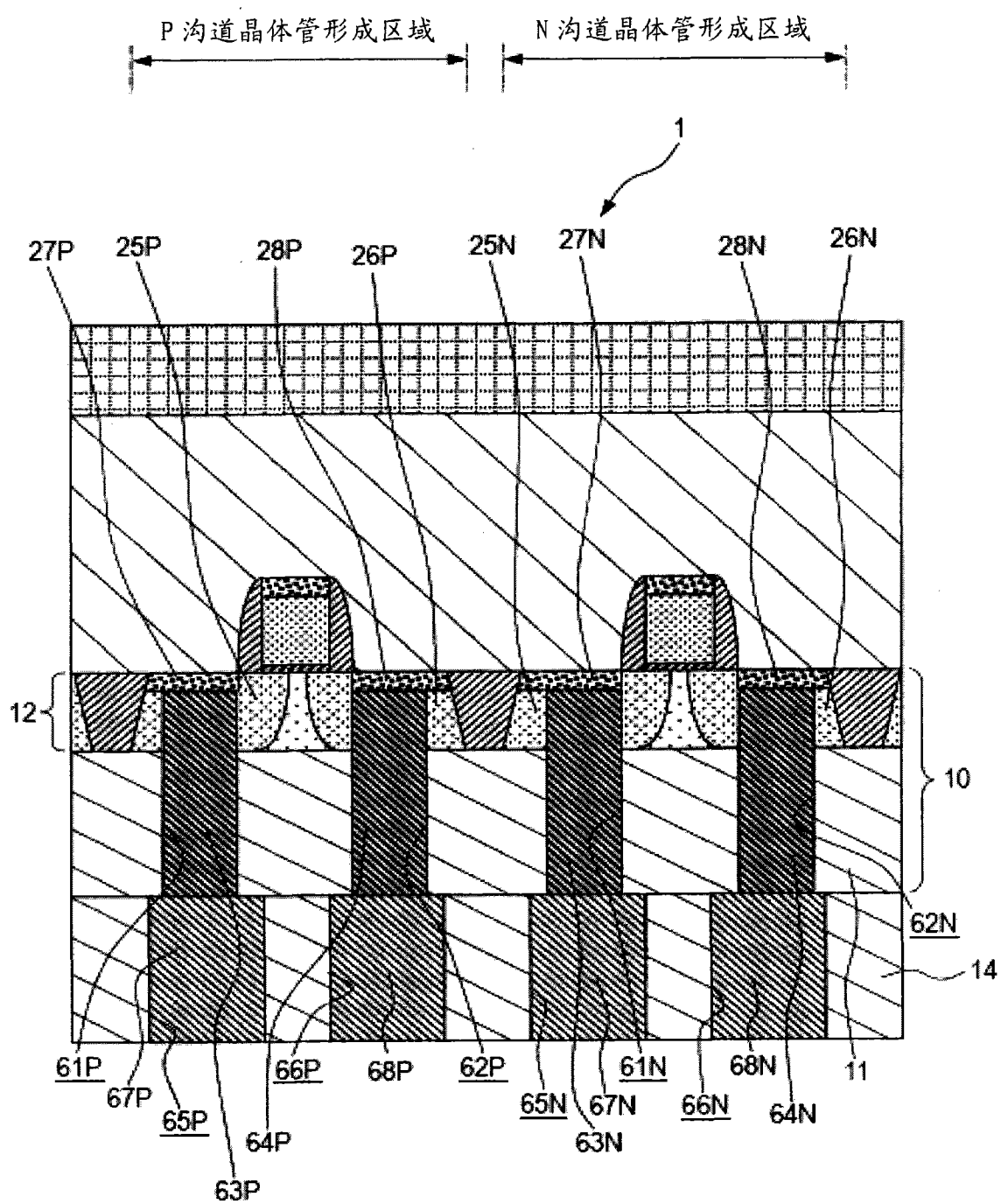


图 11

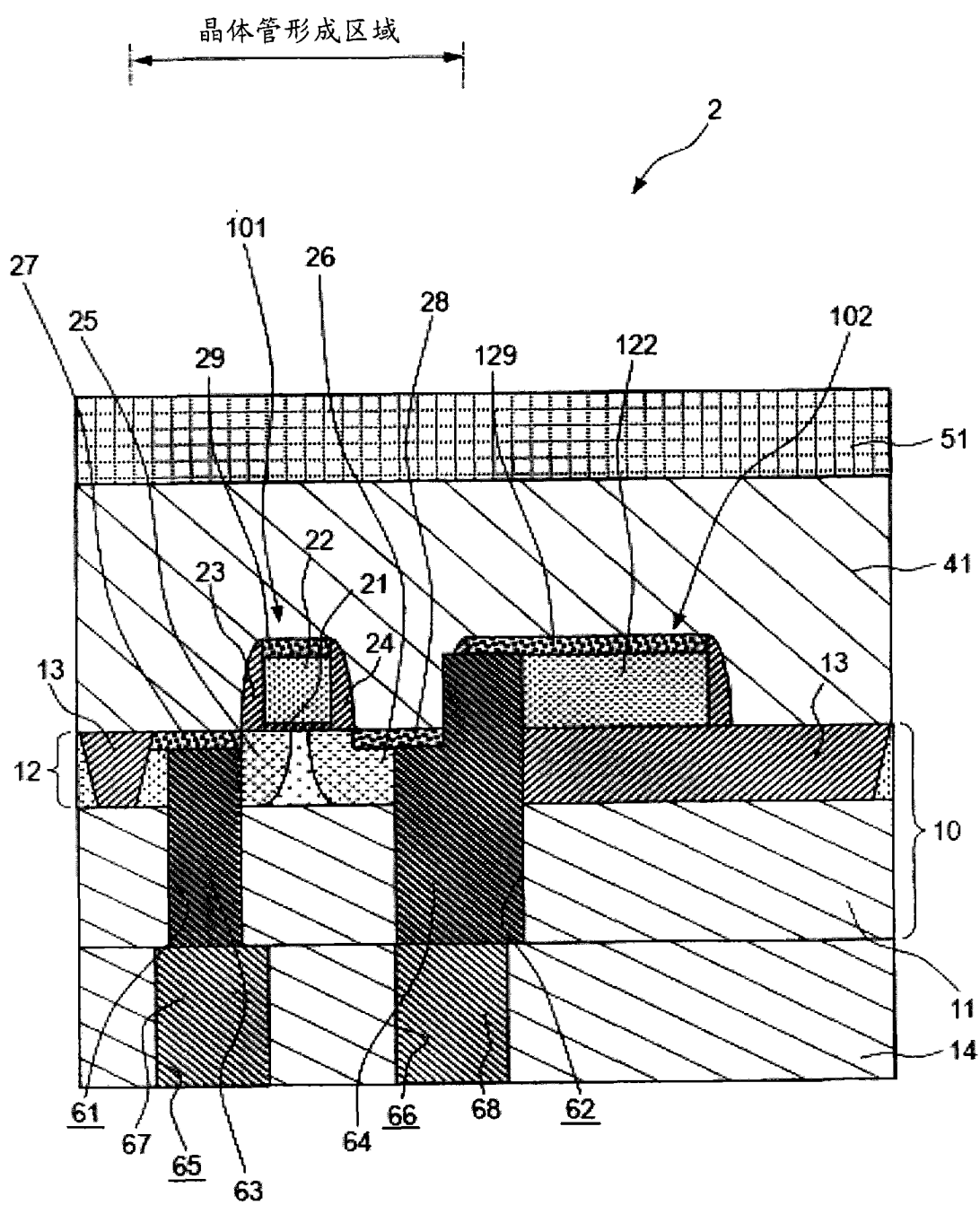


图 12

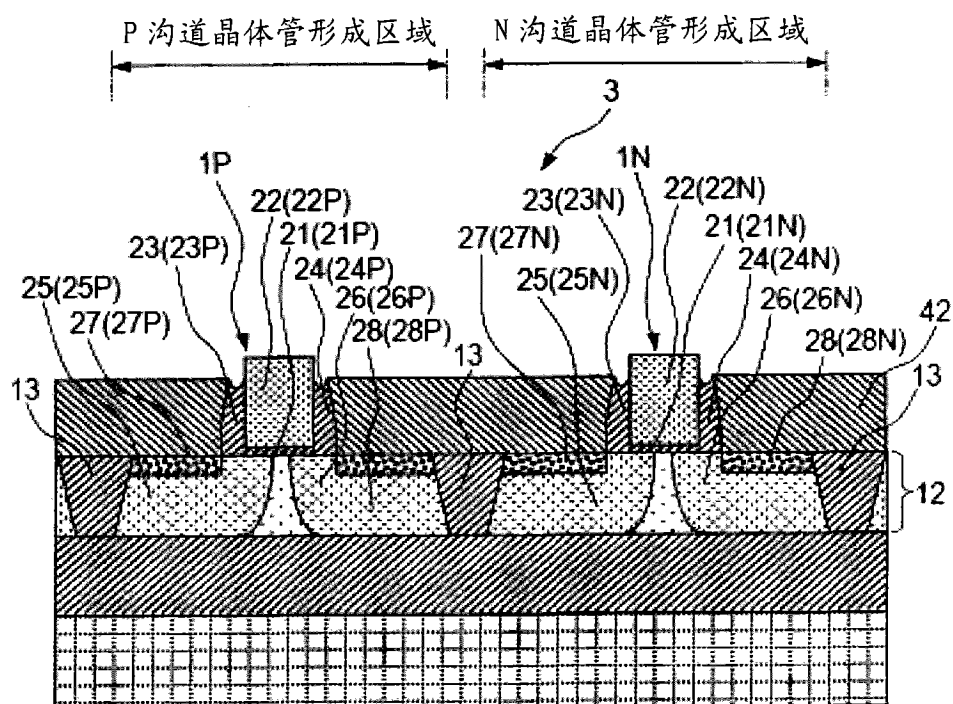


图 13A

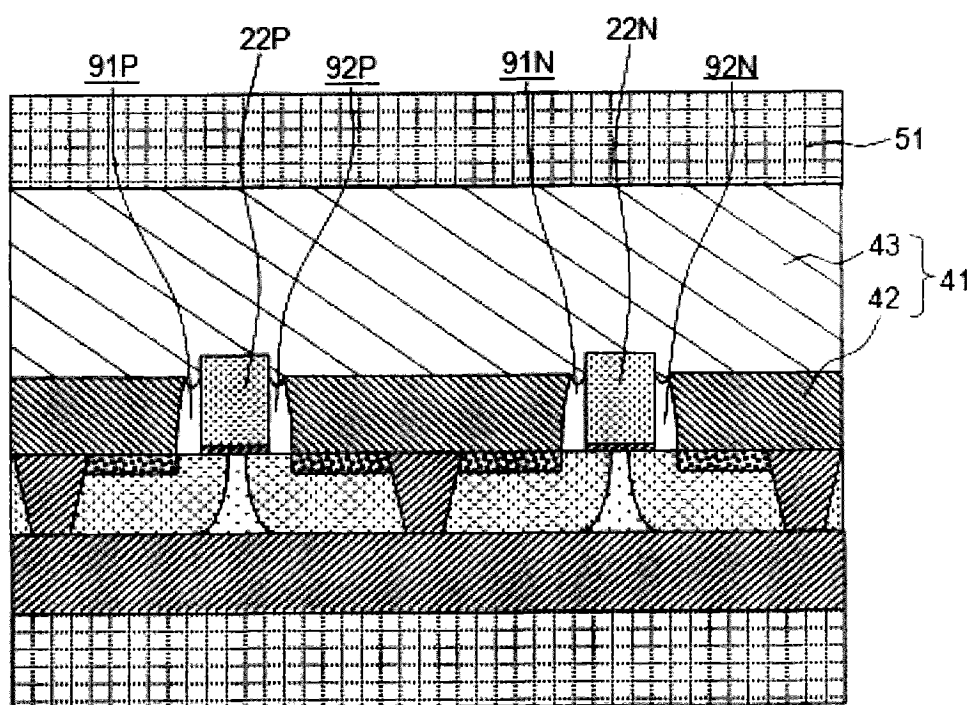


图 13B

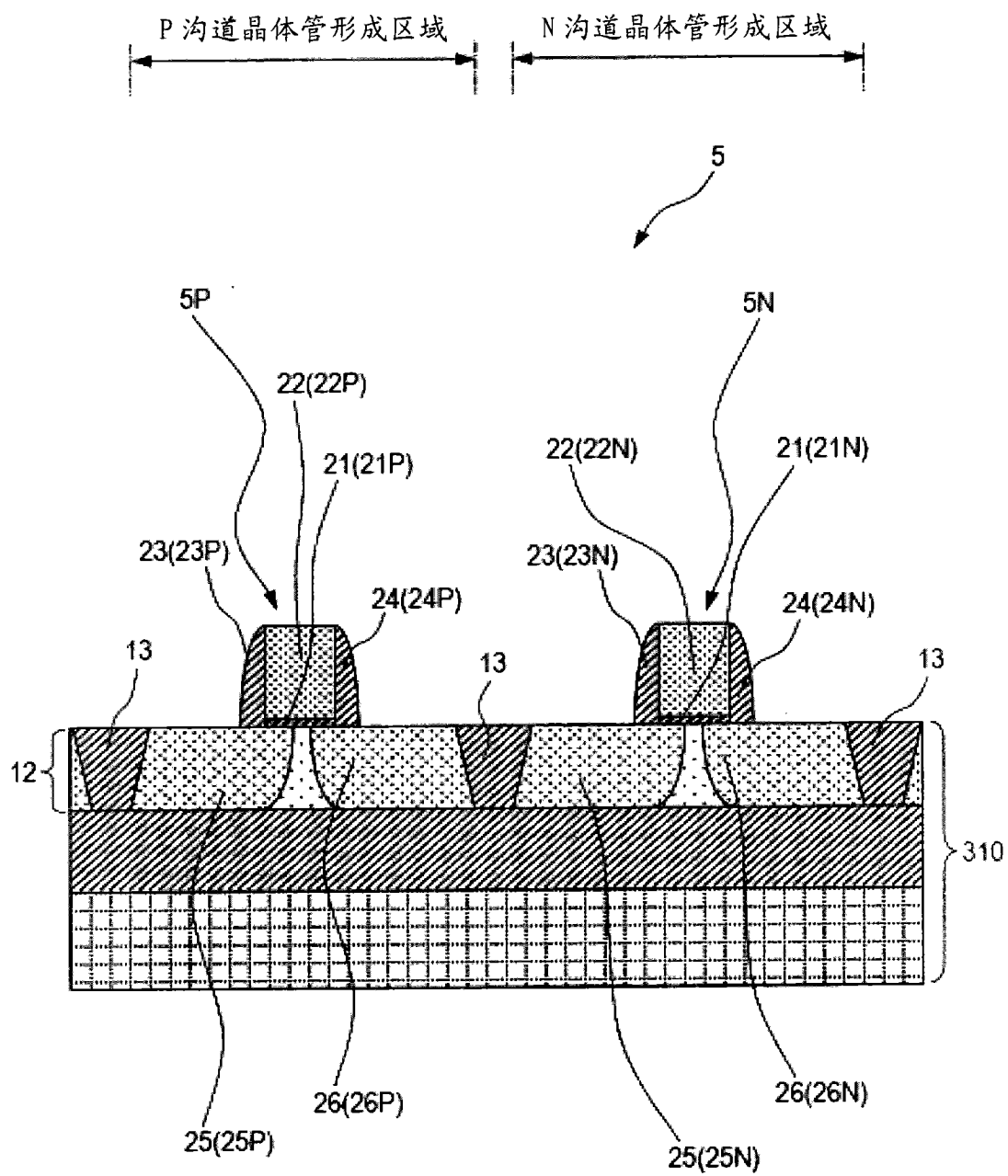


图 14

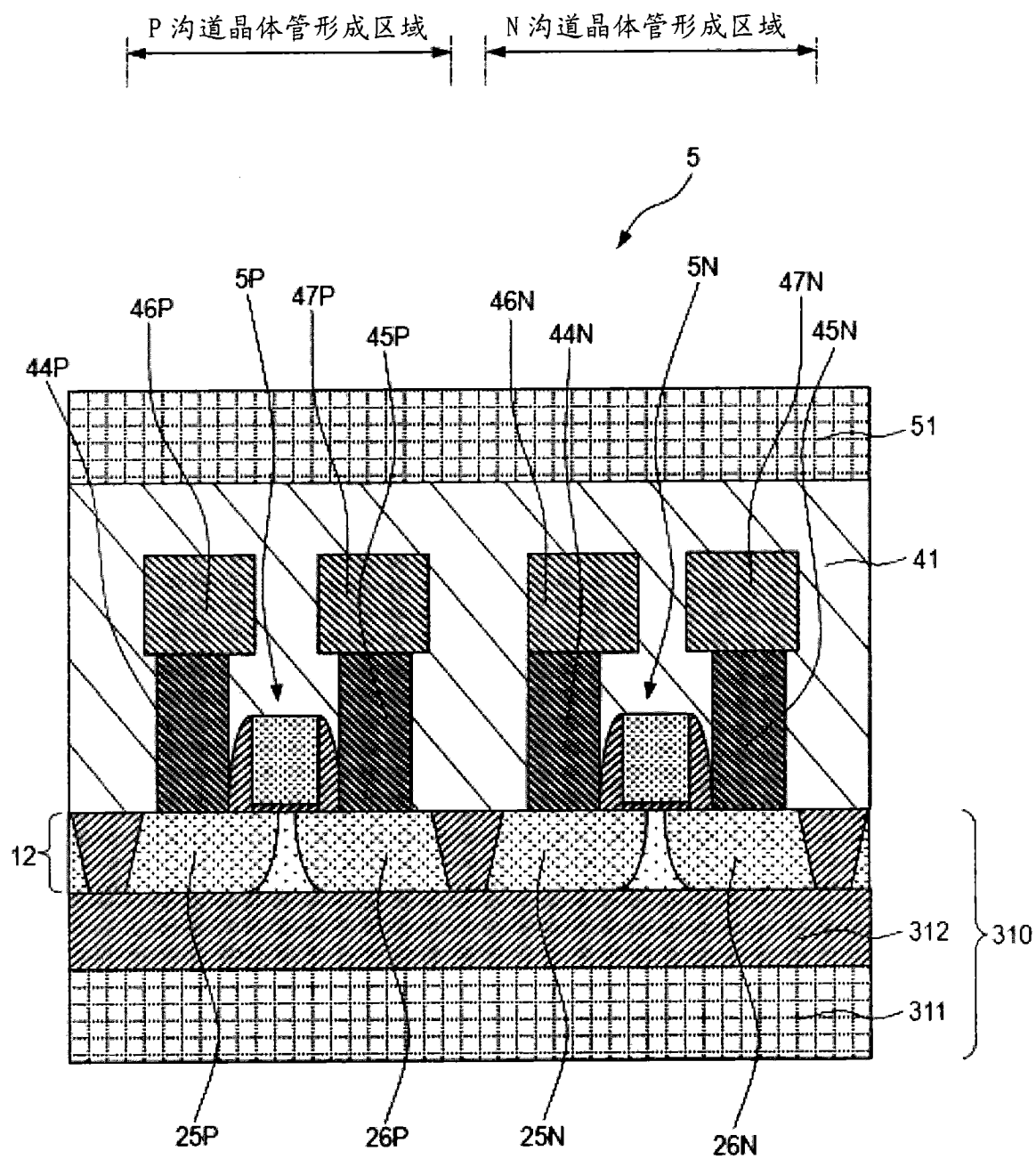


图 15

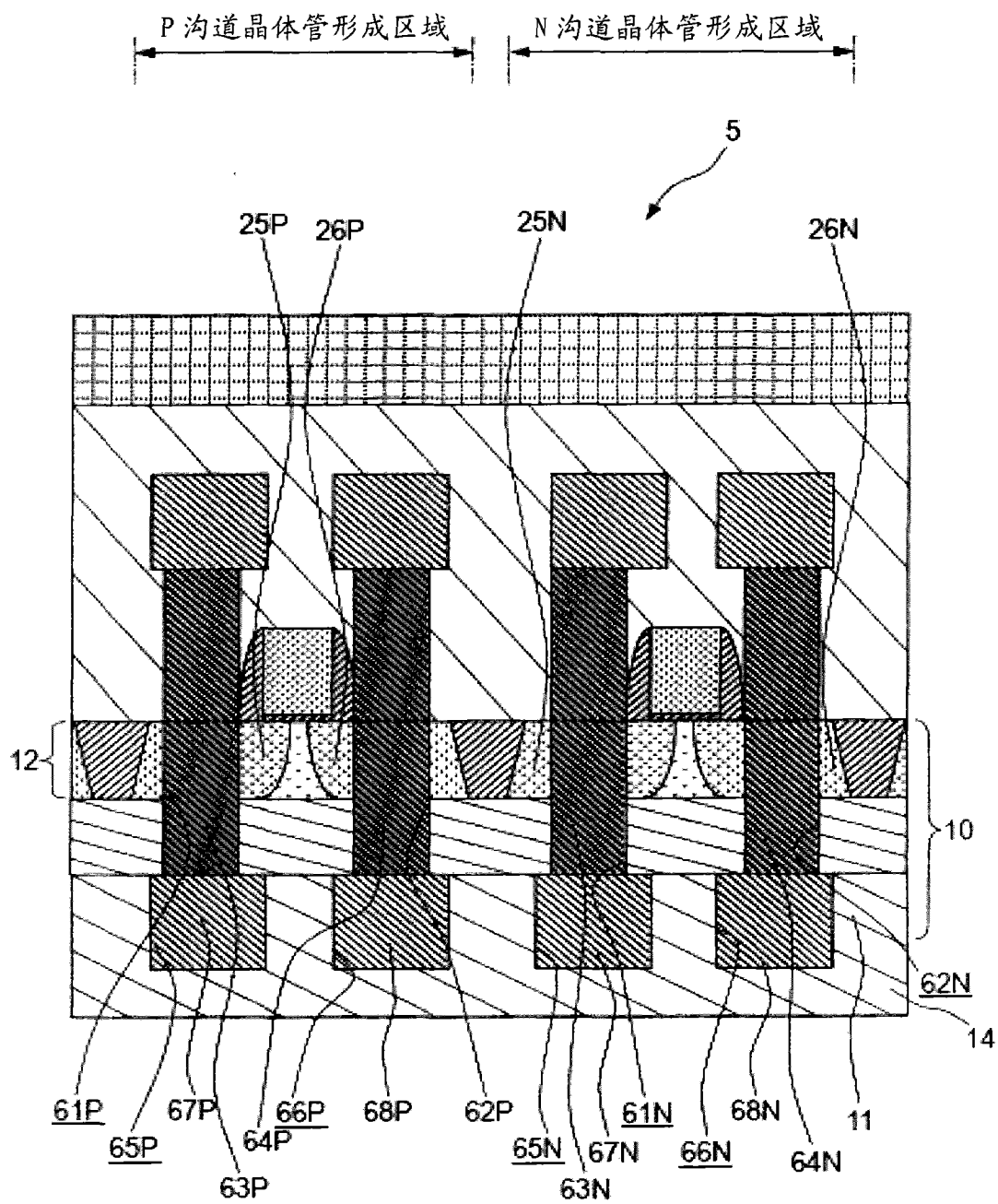


图 16