



(12) 发明专利申请

(10) 申请公布号 CN 118715602 A

(43) 申请公布日 2024. 09. 27

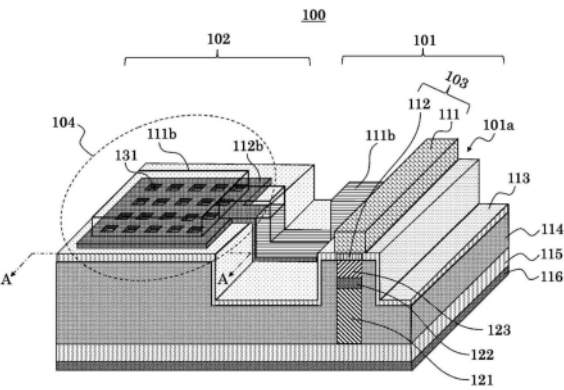
(21) 申请号 202280090498.8
(22) 申请日 2022.03.01
(85) PCT国际申请进入国家阶段日
2024.07.30
(86) PCT国际申请的申请数据
PCT/JP2022/008507 2022.03.01
(87) PCT国际申请的公布数据
W02023/166545 JA 2023.09.07
(71) 申请人 三菱电机株式会社
地址 日本
(72) 发明人 绵谷力
(74) 专利代理机构 北京集佳知识产权代理有限公司 11227
专利代理师 卢英日

(51) Int.Cl.
H01L 21/60 (2006.01)
H01L 21/768 (2006.01)
H01L 23/522 (2006.01)
H01S 5/02345 (2006.01)
H01S 5/042 (2006.01)

权利要求书2页 说明书11页 附图17页

(54) 发明名称
半导体元件及半导体元件的制造方法

(57) 摘要
本公开的半导体元件(100)具备:半导体基板(115);第一半导体层(114),形成在半导体基板(115)上;绝缘膜(113),形成在第一半导体层(114)上;以及连接电极(104),由表面电极(112b)和镀膜(111b)构成,表面电极(112b)形成为与绝缘膜(113)接触且在底部侧具有供绝缘膜(113)露出的多个开口部(131),镀膜(111b)形成为与表面电极(112b)接触且覆盖开口部(131)。



1. 一种半导体元件,其中,具备:
半导体基板;
第一半导体层,形成在所述半导体基板上;
绝缘膜,形成在所述第一半导体层上;以及
连接电极,由表面电极和镀膜构成,所述表面电极形成为与所述绝缘膜接触且在底部侧具有供所述绝缘膜露出的多个开口部,所述镀膜形成为与所述表面电极接触且覆盖所述开口部。
2. 根据权利要求1所述的半导体元件,其特征在于,
所述镀膜具有朝向所述开口部的底部侧进入的部位。
3. 根据权利要求1所述的半导体元件,其特征在于,
所述镀膜具有沿着所述开口部的侧面朝向所述开口部的底部侧进入的部位。
4. 根据权利要求1~3中任一项所述的半导体元件,其特征在于,
所述表面电极具有在俯视观察时呈矩形状的部位,所述开口部在所述表面电极的呈矩形状的部位排列成格子状。
5. 根据权利要求4所述的半导体元件,其特征在于,
所述开口部遍及所述表面电极的呈矩形状的地方的整体排列成格子状。
6. 根据权利要求4所述的半导体元件,其特征在于,
所述开口部在所述表面电极的呈矩形状的部位的一部分区域排列成格子状。
7. 根据权利要求4~6中任一项所述的半导体元件,其特征在于,
所述多个开口部以恒定的间隔排列。
8. 根据权利要求1~7中任一项所述的半导体元件,其特征在于,
所述表面电极由所述绝缘膜侧的第一表面电极以及形成在所述第一表面电极上的第二表面电极这两层构成,所述开口部的所述绝缘膜侧的开口面积比所述镀膜侧的开口面积大。
9. 一种半导体元件,其中,具备:
半导体基板;
第一半导体层,形成在所述半导体基板上;
绝缘膜,形成在所述第一半导体层上;以及
连接电极,由表面电极和镀膜构成,所述表面电极形成为与所述绝缘膜接触且在底部侧具有供所述绝缘膜露出的多个开口部,所述镀膜形成为与所述表面电极接触且在与所述表面电极接触的面侧具有与所述开口部对置的凹部。
10. 根据权利要求9所述的半导体元件,其特征在于,
所述表面电极具有在俯视观察时呈矩形状的部位,所述开口部呈从所述表面电极的矩形状的地方的外缘部朝向内部侧延伸的切口状。
11. 根据权利要求10所述的半导体元件,其特征在于,
呈所述切口状的所述多个开口部以恒定的间隔排列。
12. 根据权利要求1~11中任一项所述的半导体元件,其特征在于,
在所述半导体基板上设置有由脊形构造构成的发光部,所述脊形构造由第一导电型的第二半导体层、半导体量子阱层以及第二导电型的第三半导体层构成,

所述第二导电型的第三半导体层与所述连接电极电连接。

13. 一种半导体元件的制造方法, 其中, 包括:

在半导体基板上进行第一半导体层的结晶生长的结晶生长工序;

在所述第一半导体层上形成绝缘膜的绝缘膜形成工序;

在所述绝缘膜上形成表面电极的表面电极形成工序, 所述表面电极在底部侧具有供所述绝缘膜露出的多个开口部; 以及

在所述表面电极上形成覆盖所述开口部的镀膜的镀膜形成工序。

14. 根据权利要求13所述的半导体元件的制造方法, 其特征在于,

在所述镀膜形成工序中, 以所述镀膜的一部分沿着所述开口部的侧面朝向所述开口部的底部侧进入的方式成膜。

15. 根据权利要求13或14所述的半导体元件的制造方法, 其特征在于,

在所述表面电极形成工序中, 作为所述表面电极, 进行所述绝缘膜侧的第一表面电极以及形成在所述第一表面电极上的第二表面电极这两层电极的成膜,

在使用选择性地溶解所述第二表面电极的药液进行加工之后, 使用选择性地溶解所述第一表面电极的药液来加工所述第一表面电极。

16. 一种半导体元件的制造方法, 其中, 包括:

在半导体基板上进行第一半导体层的结晶生长的结晶生长工序;

在所述第一半导体层上形成绝缘膜的绝缘膜形成工序;

在所述绝缘膜上形成表面电极的表面电极形成工序, 所述表面电极在底部侧具有供所述绝缘膜露出的多个开口部; 以及

在所述表面电极上形成镀膜的镀膜形成工序, 所述镀膜在与所述表面电极接触的面侧具有与所述开口部对置的凹部。

半导体元件及半导体元件的制造方法

技术领域

[0001] 本公开涉及半导体元件及半导体元件的制造方法。

背景技术

[0002] 在由高频信号驱动的半导体元件中,尽可能减小在连接信号输入线的连接电极中产生的静电电容成为用于扩大半导体电路的高频带宽的重要因素。这是因为在连接电极形成在绝缘膜之上且在绝缘膜的下部具有导电性的半导体层时,或者在元件背面侧形成有背面电极时,连接电极与这些半导体层或背面电极之间产生静电电容。

[0003] 另外,即使绝缘性或半绝缘性的半导体层形成在连接电极与上述导电性的半导体层或元件背面侧的背面电极之间,也同样地产生静电电容。因此,从减少静电电容的观点出发,优选以尽可能小的面积形成绝缘膜上的连接电极。

[0004] 另一方面,在信号输入线向连接电极的连接中,特别是将金线进行引线接合的情况下,连接电极需要以比线径大的面积形成,连接电极的面积越大,布线连接时的位置控制越容易。

[0005] 专利文献1:日本特开平11-214579号公报

[0006] 作为维持连接电极的布线连接面的面积的同时减少在连接电极中产生的静电电容的方法,在专利文献1中公开的具有低容量性电极的半导体装置及其制造方法中,通过在连接电极正下方的半导体层形成空隙,而利用半导体部分和空隙部分的平均效果,构成表观上的低介电常数构造,实现连接电极与导电性的半导体层之间、或者连接电极与背面电极之间产生的静电电容的降低。

[0007] 然而,专利文献1所记载的半导体装置及其制造方法,由于在制造过程中追加了在半导体层内形成空隙的工序,因此存在制造成本增加这样的课题。

发明内容

[0008] 本公开是为了解决上述那样的课题而完成的,其目的在于,提供一种不损害信号输入线与连接电极的连接性并且高频特性优异的半导体元件、以及能够减少高频特性优异的半导体元件的制造成本的半导体元件的制造方法。

[0009] 本公开所涉及的半导体元件,其中,具备:

[0010] 半导体基板;

[0011] 第一半导体层,形成在上述半导体基板上;

[0012] 绝缘膜,形成在上述第一半导体层上;以及

[0013] 连接电极,由表面电极和镀膜构成,上述表面电极形成为与上述绝缘膜接触且在底部侧具有供上述绝缘膜露出的多个开口部,上述镀膜形成为与上述表面电极接触且覆盖上述开口部。

[0014] 本公开所涉及的半导体元件的制造方法,其中,包括:

[0015] 在半导体基板上进行第一半导体层的结晶生长的结晶生长工序;

- [0016] 在上述第一半导体层上形成绝缘膜的绝缘膜形成工序；
- [0017] 在上述绝缘膜上形成表面电极的表面电极形成工序，上述表面电极在底部侧具有供上述绝缘膜露出的多个开口部；以及
- [0018] 在上述表面电极上形成覆盖上述开口部的镀膜的镀膜形成工序。
- [0019] 根据本公开所涉及的半导体元件，不损害在布线连接部中信号输入线与连接电极的连接性，就能减少布线连接部中产生的静电电容，因此起到可以得到高频特性优异的半导体元件的效果。
- [0020] 根据本公开所涉及的半导体元件的制造方法，起到不增加半导体元件的制造成本就能制造高频特性优异的半导体元件的效果。

附图说明

- [0021] 图1是实施方式1所涉及的半导体元件的概略图。
- [0022] 图2是实施方式1所涉及的半导体元件的布线连接部的从半导体元件的上表面观察的图。
- [0023] 图3是实施方式1所涉及的半导体元件的布线连接部的剖视图。
- [0024] 图4是实施方式1所涉及的半导体元件的制造方法中形成绝缘膜后的布线连接部的剖视图。
- [0025] 图5是实施方式1所涉及的半导体元件的制造方法中形成表面电极后的布线连接部的剖视图。
- [0026] 图6是实施方式1所涉及的半导体元件的制造方法中在表面电极形成开口部后的布线连接部的剖视图。
- [0027] 图7是实施方式1所涉及的半导体元件的制造方法中用于形成镀敷图案的抗蚀剂掩模形成工序后的布线连接部的剖视图。
- [0028] 图8是实施方式1所涉及的半导体元件的制造方法中镀膜形成工序后的布线连接部的剖视图。
- [0029] 图9A是实施方式1所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。
- [0030] 图9B是实施方式1所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。
- [0031] 图9C是实施方式1所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。
- [0032] 图10是实施方式2所涉及的半导体元件的概略图。
- [0033] 图11是实施方式2所涉及的半导体元件的布线连接部的剖视图。
- [0034] 图12是实施方式2所涉及的半导体元件的制造方法中形成绝缘膜后的布线连接部的剖视图。
- [0035] 图13是实施方式2所涉及的半导体元件的制造方法中形成表面电极后的布线连接部的剖视图。
- [0036] 图14是实施方式2所涉及的半导体元件的制造方法中在表面电极形成开口部后的布线连接部的剖视图。

[0037] 图15是实施方式2所涉及的半导体元件的制造方法中用于形成镀敷图案的抗蚀剂掩模形成工序后的布线连接部的剖视图。

[0038] 图16是实施方式2所涉及的半导体元件的制造方法中镀膜形成工序后的布线连接部的剖视图。

[0039] 图17A是实施方式2所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。

[0040] 图17B是实施方式2所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。

[0041] 图17C是实施方式2所涉及的半导体元件的制造方法中镀膜形成工序中的布线连接部的剖视图。

[0042] 图18是实施方式3所涉及的半导体元件的概略图。

[0043] 图19是实施方式3所涉及的半导体元件的布线连接部的从半导体元件的上表面观察的图。

[0044] 图20是实施方式3所涉及的半导体元件的布线连接部的剖视图。

[0045] 图21是实施方式3所涉及的半导体元件的制造方法中在表面电极形成切口部后的布线连接部的剖视图。

[0046] 图22是实施方式3所涉及的半导体元件的制造方法中用于形成镀敷图案的抗蚀剂掩模形成工序后的布线连接部的剖视图。

[0047] 图23是实施方式3所涉及的半导体元件的制造方法中镀膜形成工序后的布线连接部的剖视图。

[0048] 图24是实施方式4所涉及的半导体元件的概略图。

[0049] 图25是实施方式4所涉及的半导体元件的布线连接部的从半导体元件的上表面观察的图。

[0050] 图26是实施方式4所涉及的半导体元件的连接电极与输入信号线连接的状态的概略图。

具体实施方式

[0051] 实施方式1

[0052] 图1是实施方式1所涉及的半导体元件100的概略图。另外,图2是实施方式1所涉及的半导体元件100的布线连接部的从半导体元件100的上表面观察的图。在图1及图2中,作为半导体元件100的一例,示出了半导体光元件,但本公开并不限定于半导体光元件,也能够用于需要高频下的动作的半导体元件。

[0053] 以下,对作为半导体元件100的一例的半导体光元件进行说明。半导体元件100具备脊形构造101a的发光部101及布线连接部102,该布线连接部102用于对发光部101连接输入高频信号的信号输入线。在设置于脊形构造101a的发光部101的侧方侧的台面构造的布线连接部102设置有连接电极104。

[0054] 在半导体基板115上设置有第一半导体层114。第一半导体层114在发光部101中作为埋入后述的脊形构造101a的埋入层发挥功能。另外,在布线连接部102中,以经由绝缘膜113支承连接电极104的方式发挥功能。第一半导体层114由于使电流集中于后述的半导体

量子阱层122,因此优选以由半绝缘性半导体构成的层构成。然而,第一半导体层114并不限定于半绝缘性,也可以由第一导电型或第二导电型的半导体构成。

[0055] 发光部101由形成在半导体基板115上的脊形构造101a、设置在脊形构造101a的两侧面的绝缘膜113、设置为经由绝缘膜113的形成在脊形构造101a的上表面的开口部而与脊形构造101a的上表面接触的脊形侧表面电极112、以及设置在脊形侧表面电极112上的脊形侧镀膜111构成。其中,将脊形侧表面电极112和脊形侧镀膜111一并称为脊形侧电极103。

[0056] 脊形构造101a由依次形成在半导体基板115上的第一导电型的第二半导体层121、半导体量子阱层122、第二导电型的第三半导体层123、以及以覆盖各层的侧面的方式形成的第一半导体层114构成。在半导体基板115的背面侧、即在与设置有脊形构造101a及连接电极104的表面侧相反侧的面设置有背面电极116。

[0057] 布线连接部102由形成在半导体基板115上的第一半导体层114、设置在第一半导体层114上的绝缘膜113、以及连接电极104构成。

[0058] 连接电极104由表面电极112b和镀膜111b构成,其中,表面电极112b形成为与绝缘膜113接触且在底部侧具有供绝缘膜113露出的多个开口部131,镀膜111b形成为与表面电极112b接触且覆盖开口部131并具有朝向开口部131的底部侧进入的部位111c。此外,在图1及图2中,为了示出连接电极104的内部构造,而以透视方式示出了镀膜111b。关于连接电极104的构造的详情在后面叙述。

[0059] 设置于发光部101的脊形侧电极103与设置于布线连接部102的连接电极104电连接。

[0060] 设置于半导体元件100的表面侧的脊形侧表面电极112与设置于半导体元件100的背面侧的背面电极116经由第一导电型的第二半导体层121、半导体量子阱层122以及第二导电型的第三半导体层123导通。当通过规定的电压或电流向脊形侧表面电极112施加输入信号时,电子和空穴在半导体量子阱层122内耦合,产生发光。

[0061] 如从上表面观察半导体元件100的布线连接部102的图2所示,连接电极104的表面电极112b呈均匀地形成有多个开口部131的形状。在图2所示的一例中,连接电极104在俯视观察时呈矩形状,在表面电极112b的呈矩形状的部位呈格子状地排列有多个开口部131。绝缘膜113的表面在开口部131的底部露出。

[0062] 通过如上述那样排列开口部131,从而能够在连接电极104中均匀地保持表面电极112b与绝缘膜113的紧贴力的分布。另外,以与表面电极112b接触的方式设置有镀膜111b。

[0063] 镀膜111b覆盖表面电极112b的开口部131。另外,镀膜111b的一部分的部位成为朝向开口部131的底部侧进入的部位111c。关于镀膜111b的部位111c的形状在后面叙述。

[0064] 图3是图1所示的布线连接部102的A-A线处的剖视图。布线连接部102具备:形成在半导体基板115上的第一半导体层114、设置在第一半导体层114上的绝缘膜113、以及由形成于绝缘膜113的表面电极112b以及镀膜111b构成的连接电极104。在半导体基板115的背面侧设置有背面电极116。在表面电极112b呈格子状地设置有图2所示那样的开口部131。在图3所示的布线连接部102的剖视图中,开口部131以恒定的间隔排列成格子状。绝缘膜113在开口部131的底部露出。

[0065] 镀膜111b由于以与表面电极112b接触的方式设置,因此覆盖开口部131的开口。在镀膜111b的覆盖开口部131的部分,镀膜111b的一部分沿着开口部131的侧面朝向底部侧进

入开口部131的内部。也就是说,镀膜111b的一部分成为朝向开口部131的底部侧进入的部位111c。因此,表面电极112b与镀膜111b的接触面积虽然由于设置有开口部131而减少了与开口部131的面积对应的量,但由于镀膜111b的一部分沿着开口部131的侧面进入内部而形成部位111c,因此起到了良好地保持表面电极112b与镀膜111b之间的紧贴性的效果。

[0066] <实施方式1所涉及的半导体元件的制造方法>

[0067] 使用图4~图8对实施方式1所涉及的半导体元件的制造方法进行说明。其中,围绕实施方式1所涉及的半导体元件100的特征部分亦即布线连接部102的制造方法进行详述。

[0068] 图3是经过了第一半导体层114在半导体基板115上的形成、第一半导体层114的加工、以及绝缘膜113在第一半导体层114上的形成这样的以上的各工序后的剖视图。

[0069] 其中,在形成第一半导体层114之前,构成发光部101的脊形构造101a的第一导电型的第二半导体层121、半导体量子阱层122、第二导电型的第三半导体层123的形成、以及条纹状的加工已经完成。

[0070] 作为各半导体层的形成方法的一例,可以列举外延生长。并且,作为半导体光元件的半导体层的外延生长的一例,可以列举有机金属气相生长法(Metal Organic Chemical Vapor Deposition:MOCVD)。

[0071] 作为绝缘膜113的材料,一般为 SiO_2 膜。作为 SiO_2 膜的成膜方法,作为一例,可以列举CVD(Chemical Vapor Deposition:化学气相沉积)法。除了 SiO_2 膜之外,例如也可以是SiN膜。

[0072] 如图5所示,在绝缘膜113的成膜后,在绝缘膜113上进行表面电极112b的成膜。作为表面电极112b的成膜方法,例如可以列举真空蒸镀法或溅镀法。

[0073] 对表面电极112b进行加工,而在表面电极112b形成开口部131。作为形成开口部131的方法,例如可以列举使用光刻技术及蚀刻技术在表面电极112b上形成与开口部131对应的抗蚀剂图案之后,将表面电极112b蚀刻至绝缘膜113的表面露出为止而形成开口部131的方法。开口部131形成后的剖视图如图6所示。由于开口部131在表面电极112b上的形成与表面电极112b本来的加工同时进行,因此能够以与不适用实施方式1所涉及的半导体元件的制造方法的情况相同的制造工序进行制造。即,实施方式1所涉及的半导体元件的制造方法的工序数与以往的具有不存在开口部的表面电极的半导体元件的制造为相同的工序数。

[0074] 图7表示形成了用于形成镀膜111b的抗蚀剂掩模141的布线连接部102的剖视图。抗蚀剂掩模141经由通过抗蚀剂形成掩模图案的工序,也就是说,经由抗蚀剂涂布、图案曝光以及显影等工序形成。

[0075] 图8是镀膜形成工序后的布线连接部102的剖视图。如上所述,镀膜111b的一部分部位成为朝向开口部131的底部侧进入的部位111c。

[0076] 图9A、图9B、图9C是将图8中被虚线围起的区域放大的剖视图,依次示出了从镀膜形成工序的最初开始到图7至图8为止的各阶段。在将形成有图7所示的抗蚀剂图案的晶片浸渍在镀敷液中的状态下,对表面电极112b施加电流而形成镀膜111b。在该情况下,在晶片与镀敷液的接触面形成镀膜111b。

[0077] 图9A是表示镀膜形成工序中的镀膜111b的初始状态的剖视图。在表面电极112b的开口部131中,沿着开口部131的侧面形成镀膜111b。在镀膜111b的成膜中,形成于表面电极112b的开口部131的底部侧、即形成于表面电极112b的绝缘膜113侧的侧面的镀膜的厚度,

比形成于开口部131的开口端的侧面的镀膜薄。这是因为在表面电极112b的开口部131的侧面形成镀膜时,镀敷液中的镀敷原料被消耗,以及由于在开口部131的侧面形成镀膜111b而开口宽度逐渐变窄,因此限制了镀敷液向开口部131内部的供给,从而在表面电极112b的开口部131的底部侧镀敷液浓度降低。

[0078] 若从图9A所示的状态进一步进行镀膜111b的形成,则如图9B所示,形成于开口部131的两侧面的镀膜在表面电极112b的开口部131的上部连接。也就是说,表面电极112b的开口部131被镀膜111b覆盖。其结果,在绝缘膜113与镀膜111b之间形成空隙181。形成于开口部131的两侧面的镀膜111b发生连接之后,不能向空隙181重新供给镀敷液。若进一步进行镀膜111b的形成,则如图9C所示,镀膜111b在使空隙181残留的状态下向上方厚度增加。

[0079] 实施方式1所涉及的半导体元件100是经由图4~图8所示的各制造工序形成空隙181,从而保持连接电极104的与信号输入线之间的接触面积,并且减少了表面电极112b与绝缘膜113的接触面积的元件构造。另外,为了形成空隙181,表面电极112b的开口部131的开口的大小的上限根据镀膜111b的厚度而受到限制,但通过在表面电极112b设置多个开口部131,能够进一步减少接触面积。

[0080] <实施方式1所涉及的半导体元件的效果>

[0081] 以上,根据实施方式1所涉及的半导体元件100,不在布线连接部102损害信号输入线与连接电极104的连接性就能减少在布线连接部102中产生的静电电容,因此起到了可以得到高频特性提高的半导体元件的效果。

[0082] <实施方式1所涉及的半导体元件的制造方法的效果>

[0083] 另外,根据实施方式1所涉及的半导体元件的制造方法,作为连接电极104的一部分的表面电极112b的开口部131能够以与不适用实施方式1所涉及的半导体元件的制造方法的情况相同的制造工序进行制造,因此起到了不增加制造成本就能够制造高频特性优异的半导体元件的效果。

[0084] 实施方式2

[0085] 图10是实施方式2所涉及的半导体元件200的概略图。与实施方式1相同,半导体元件200以半导体光元件为一例。另外,半导体元件的构成要素也与实施方式1所涉及的半导体元件100基本相同。实施方式2所涉及的半导体元件200在结构上与实施方式1所涉及的半导体元件100的不同之处在于,脊形侧表面电极212和表面电极212b由两层以上的金属膜构成,设置于表面电极212b的开口部231的开口面积相对于开口端在绝缘膜113侧也就是说底部侧变大。

[0086] 在图10中,作为脊形侧表面电极212,示出了从绝缘膜113侧起由第一脊形侧表面电极212c和第二脊形侧表面电极212d这两层构成的电极构造。此外,在图10中,为了示出连接电极204的表面电极212b的形状,以透视方式示出了镀膜211b。

[0087] 图11是图10所示的布线连接部202的A-A线处的剖视图。与图3所示的实施方式1所涉及的半导体元件100的布线连接部102的剖视图的不同之处在于,表面电极212b从绝缘膜113侧起由第一表面电极212e和第二表面电极212f这两层构成。此外,在实施方式2中,作为一例列举了表面电极212b为双层的情况,但表面电极212b也可以是三层以上的多层构造。

[0088] 作为实施方式2所涉及的半导体元件200的一例的半导体光元件具备发光部201和布线连接部202。发光部201由形成在半导体基板215上的脊形构造201a、设置在脊形构造

201a的两侧面部的绝缘膜213、设置为经由绝缘膜213的形成在脊形构造201a的上表面的开口部而与脊形构造201a的上表面接触的脊形侧表面电极212、以及设置在脊形侧表面电极212上的脊形侧镀膜211构成。其中,将脊形侧表面电极212和脊形侧镀膜211一并称为脊形侧电极203。

[0089] 脊形构造201a由依次形成在半导体基板215上的第一导电型的第二半导体层221、半导体量子阱层222、第二导电型的第三半导体层223、以及以覆盖各层的侧面的方式形成的第一半导体层214构成。在半导体基板215的背面侧、即在与设置有脊形构造201a和连接电极204的表面侧相反侧的面设置有背面电极216。

[0090] <实施方式2所涉及的半导体元件的制造方法>

[0091] 使用图12~图16对实施方式2所涉及的半导体元件的制造方法进行说明。其中,围绕实施方式1所涉及的半导体元件200的特征部分亦即布线连接部202的制造方法进行详述。

[0092] 图12是经过了第一半导体层214在半导体基板215上的形成、第一半导体层214的加工、以及绝缘膜213在第一半导体层214上的形成这样的以上的各工序后的剖视图。

[0093] 如图13所示,在绝缘膜213的成膜后,在绝缘膜213上进行表面电极212b的成膜。表面电极212b从绝缘膜213侧起由第一表面电极212e及第二表面电极212f这两层构成。

[0094] 对表面电极212b进行加工,而在表面电极212b形成开口部231。作为形成开口部231的方法,例如使用光刻技术及蚀刻技术,在表面电极212b上形成与开口部231对应的抗蚀剂图案后,将表面电极212b蚀刻至绝缘膜213的表面露出为止,而形成开口部231。

[0095] 在表面电极212b的电极形成工序中,对由第一表面电极212e及第二表面电极212f这两层构成的表面电极212b的各金属膜依次选择性地地进行加工。例如,在使用选择性地溶解第二表面电极212f的药液对第二表面电极212f进行加工而形成开口部后,使用选择性地溶解第一表面电极212e的药液对第一表面电极212e进行加工而形成底部到达绝缘膜213的开口部231。在表面电极的加工时,如图14所示,以使得第一表面电极212e的开口宽度比第二表面电极212f的开口宽度宽的方式对第一表面电极212e进行加工。也就是说,呈开口部231的绝缘膜213侧的底部的开口面积比镀膜211b侧的开口端的开口面积大的形状。

[0096] 图15示出了形成用于形成图10及图11所示的镀膜211b的抗蚀剂掩模241之后的布线连接部202的剖视图。抗蚀剂掩模241经由通过抗蚀剂形成掩模图案的工序、也就是说经由抗蚀剂涂布、图案曝光、显影等工序形成。

[0097] 图16是镀膜形成工序后的布线连接部202的剖视图。镀膜211b的一部分部位成为朝向开口部231的底部侧进入的部位211c。

[0098] 图17A、图17B、图17C是将图16中被虚线围起的区域放大的剖视图,示出了从镀膜形成工序的最初开始依次从图15到图16为止的各阶段。在将形成有图15所示的抗蚀剂图案的晶片浸渍在镀敷液中的状态下,对表面电极212b施加电流而形成镀膜211b。在该情况下,在晶片与镀敷液接触面形成镀膜211b。

[0099] 图17A是表示镀膜形成工序中的镀膜211b的初始状态的剖视图。在表面电极212b的开口部231中,沿着开口部231的具有在第一表面电极212e与第二表面电极212f之间产生的高低差的侧面形成镀膜211b。

[0100] 若从图17A所示的状态进一步进行镀膜211b的形成,则如图17B所示,在表面电极

212b的开口部231的上部,形成于开口部231的两侧面的镀膜211b发生连接。也就是说,表面电极212b的开口部231被镀膜211b覆盖。其结果,在绝缘膜213与镀膜211b之间形成空隙281。若进一步进行镀膜211b的形成,则如图17C所示,镀膜211b在使空隙281残留的状态下向上方厚度增加。

[0101] 在实施方式2所涉及的半导体元件200中,表面电极212b的开口部231在底面侧的开口宽度(开口面积)宽,因此由图17B所示的台阶形成的空隙281比图9B及图9C所示的实施方式1所涉及的半导体元件100的空隙181的容积大,并且能够将开口部231的底部侧的开口面积形成得更宽。因此,实施方式2所涉及的半导体元件200与实施方式1所涉及的半导体元件100相比,能够进一步减少在布线连接部中产生的静电电容,因此起到了半导体元件的高频特性提高的效果。

[0102] <实施方式2所涉及的半导体元件的效果>

[0103] 以上,根据实施方式2所涉及的半导体元件200,能够将构成连接电极204的表面电极212b由第一表面电极212e和第二表面电极212f这两层构成,呈开口部231的绝缘膜213侧的开口面积比镀膜211b侧的开口面积宽的形状,因此能够进一步减少在布线连接部中产生的静电电容,因此起到了可以得到高频特性提高的半导体元件的效果。

[0104] <实施方式2所涉及的半导体元件的制造方法的效果>

[0105] 另外,根据实施方式2所涉及的半导体元件的制造方法,将构成连接电极204的表面电极212b由第一表面电极212e和第二表面电极212f这两层构成,以呈开口部231的绝缘膜213侧的开口面积比镀膜211b侧的开口面积宽的形状的方式进行加工,因此能够进一步减少在布线连接部中产生的静电电容,起到了能够容易地制造高频特性提高的半导体元件的效果。

[0106] 实施方式3

[0107] 图18是实施方式3所涉及的半导体元件300的概略图。另外,图19是实施方式3所涉及的半导体元件300的布线连接部302的从上表面观察的图。

[0108] 与实施方式1及2相同地,半导体元件300以半导体光元件为一例。另外,半导体元件300的构成要素也与实施方式1所涉及的半导体元件100基本相同。实施方式3所涉及的半导体元件300在结构上与实施方式1所涉及的半导体元件100的不同之处在于,在实施方式3所涉及的半导体元件300中,如图19所示,连接电极304的表面电极312b在俯视观察时呈矩形状的表面电极312b的部位,开口部呈从表面电极312b的外缘部朝向内部侧延伸的切口状(以下,称为切口部)。

[0109] 以覆盖表面电极312b的切口部331的方式形成有镀膜311b。在表面电极312b的切口部331,在绝缘膜313与镀膜311b之间有空隙381,空隙381具有从表面电极312b的外缘部的切口部331朝向外侧敞开的特征。

[0110] 图20是图18所示的布线连接部302的A-A线处的剖视图。布线连接部302具备:形成在半导体基板315上的第一半导体层314、设置在第一半导体层314上的绝缘膜313、以及由形成于绝缘膜313的表面电极312b及镀膜311b构成的连接电极304。在半导体基板315的背面侧设置有背面电极316。

[0111] 在表面电极312b以恒定的间隔设置有多个图19所示那样的切口部331。多个切口部331也可以相互等间隔地设置。在图20所示的布线连接部302的剖视图中,切口部331以恒

定的间隔排列。绝缘膜313在切口部331的底部露出。

[0112] 在表面电极312b上形成有镀膜311b。在镀膜311b以与由表面电极312b的切口部331产生的开口部对置的方式朝向镀膜311b的内部设置有凹部。由表面电极312b侧的切口部331产生的空间和朝向镀膜311b侧的内部形成的凹部成为一体而形成空隙381。

[0113] 作为实施方式3所涉及的半导体元件300的一例的半导体光元件具备发光部301和布线连接部302。发光部301由设置在半导体基板315上的脊形构造301a、设置在脊形构造301a的两侧面部的绝缘膜313、设置为经由绝缘膜313的形成在脊形构造301a的上表面的开口部而与脊形构造301a的上表面接触的脊形侧表面电极312、以及设置在脊形侧表面电极312上的脊形侧镀膜311构成。其中,将脊形侧表面电极312和脊形侧镀膜311一并称为脊形侧电极303。

[0114] 脊形构造301a由依次形成在半导体基板315上的第一导电型的第二半导体层321、半导体量子阱层322、第二导电型的第三半导体层323、以及以覆盖各层的侧面的方式形成的第一半导体层314构成。在半导体基板315的背面侧、即在与设置有脊形构造301a及连接电极304的表面侧相反侧的面设置有背面电极316。

[0115] <实施方式3所涉及的半导体元件的制造方法>

[0116] 使用图21~图23对实施方式3所涉及的半导体元件300的制造方法中的特征部分亦即布线连接部302的制造方法进行说明。

[0117] 对表面电极312b进行加工,而在表面电极312b形成切口部331。作为形成切口部331的方法,例如使用光刻技术及蚀刻技术,在表面电极312b上形成与切口部331对应的抗蚀剂图案后,将表面电极312b蚀刻至绝缘膜313的表面露出为止,而形成切口部331。形成切口部331后的剖视图如图21所示。

[0118] 图22表示形成了用于形成镀膜311b的抗蚀剂掩模341的布线连接部302的剖视图。抗蚀剂掩模341经由通过抗蚀剂形成掩模图案的工序、也就是说经由抗蚀剂涂布、图案曝光以及显影等工序形成。

[0119] 实施方式1的图7、或者实施方式2的图15所示的抗蚀剂掩模与实施方式3的抗蚀剂掩模的不同之处在于,在实施方式3中,如图22所示,在表面电极312b的切口部331也形成有抗蚀剂掩模341b。其中,抗蚀剂掩模341b的厚度比表面电极312b的外缘部的抗蚀剂掩模341薄。

[0120] 图22所示那样的抗蚀剂掩模的形状能够通过抗蚀剂掩模形成工序中将对表面电极312b的切口部331的尺寸的曝光条件设定为有点过度曝光而同时形成抗蚀剂掩模341和抗蚀剂掩模341b来实现。另外,这些抗蚀剂掩模341、341b由于经由表面电极312b的切口部331而相互连接,因此抗蚀剂掩模341、341b的厚度连续变化。

[0121] 图23是镀膜形成工序后的布线连接部302的剖视图。以覆盖形成于表面电极312b的切口部331的抗蚀剂掩模341b的方式形成镀膜311b。

[0122] 在形成镀膜311b后,若除去抗蚀剂掩模,则可以得到图20所示那样的布线连接部302的截面形状。形成于表面电极312b的切口部331的抗蚀剂掩模341b与形成于表面电极312b的外缘部的抗蚀剂掩模341连接,因此在该抗蚀剂的除去工序中同时除去。由此,在表面电极312b的切口部331,在绝缘膜313与镀膜311b之间形成空隙381。

[0123] 实施方式3所涉及的半导体元件300与实施方式1所涉及的半导体元件100及实施

方式2所涉及的半导体元件200相比,具有空隙381的容积大的特征。因此,在实施方式3所涉及的半导体元件300中,布线连接部302中产生的静电电容进一步减少,因此可以得到半导体元件的高频特性提高的效果。

[0124] <实施方式3所涉及的半导体元件的效果>

[0125] 以上,根据实施方式3所涉及的半导体元件300,设为在表面电极312b设置切口部331的构造,而设置了容积大的空隙,因此能够进一步减少在布线连接部中产生的静电电容,因此起到了可以得到高频特性提高的半导体元件的效果。

[0126] <实施方式3所涉及的半导体元件的制造方法的效果>

[0127] 另外,根据实施方式3所涉及的半导体元件的制造方法,在抗蚀剂掩模形成工序中将对表面电极312b的切口部331的尺寸的曝光条件设为有点过度曝光,而同时形成抗蚀剂掩模341和抗蚀剂掩模341b,因此能够容易地形成容积大的空隙,因此起到了能够容易地制造高频特性更加提高的半导体元件的效果。

[0128] 实施方式4

[0129] 图24是实施方式4中的半导体元件400的概略图。另外,图25是实施方式4所涉及的半导体元件400的布线连接部402的从半导体元件400的上表面观察的图。此外,在图24及图25中,为了示出连接电极404的表面电极412b的形状,而以透视方式示出了镀膜411b。与实施方式1相同地,半导体元件400以半导体光元件为一例。另外,半导体元件400的构成要素也与实施方式1所涉及的半导体元件100基本相同。

[0130] 实施方式4所涉及的半导体元件400在结构上与实施方式1所涉及的半导体元件100的不同之处在于,在半导体元件100中,开口部131遍及表面电极112b的呈矩形状的部位的整体排列成格子状,与此相对,在半导体元件400中,开口部431在表面电极412b的呈矩形状的部位的一部分区域中排列成格子状。

[0131] 图26是在半导体元件400中将作为输入信号线的金线450连接到连接电极404的状态的概略图。此外,在图26中,为了示出连接电极404的表面电极412b的形状,而以透视方式示出了镀膜411b。

[0132] 作为实施方式4所涉及的半导体元件400的一例的半导体光元件具备发光部401和布线连接部402。发光部401由形成在半导体基板415上的脊形构造401a、设置在脊形构造401a的两侧面部的绝缘膜413、设置为经由绝缘膜413的形成于脊形构造401a的上表面的开口部而与脊形构造401a的上表面接触的脊形侧表面电极412、以及设置在脊形侧表面电极412上的脊形侧镀膜411构成。其中,将脊形侧表面电极412和脊形侧镀膜411一并称为脊形侧电极403。

[0133] 脊形构造401a由依次形成在半导体基板415上的第一导电型的第二半导体层421、半导体量子阱层422、第二导电型的第三半导体层423、以覆盖各层的侧面的方式形成的第一半导体层414构成。在半导体基板415的背面侧、即在与设置有脊形构造401a和连接电极404的表面侧相反侧的面设置有背面电极416。

[0134] 如上所述,实施方式4所涉及的半导体元件400具有表面电极412b的开口部431部分性地配置的特征。通过将金线450连接到连接电极404,表面电极412b向金线450的方向被拽拉,也就是说受拉伸应力。因此,在实施方式4所涉及的半导体元件400中,没有在表面电极412b的来自金线450的拉伸应力变强的部位配置开口部431。通过该开口部431的配置,即

使受来自金线450的拉伸应力,也能够稳定地保持金线450与连接电极404之间的连接,因此起到了半导体元件400的可靠性提高的效果。

[0135] <实施方式4所涉及的半导体元件的效果>

[0136] 以上,根据实施方式4所涉及的半导体元件400,在表面电极412b的呈矩形状的部位的一部分区域将开口部431排列成格子状,因此能够稳定地保持金线450与连接电极404之间的连接,因此起到了可以得到高频特性优异并且可靠性高的半导体元件的效果。

[0137] 本公开记载了各种示例性的实施方式及实施例,但在一个或多个实施方式中记载的各种特征、方式、以及功能并不限于特定的实施方式的应用,能够单独或者以各种组合应用于实施方式。

[0138] 因此,在本申请说明书所公开的技术范围内能够想到未例示的无数的变形例。例如,包括将至少一个构成要素变形的情况、追加的情况或者省略情况,还包括提取至少一个构成要素并与其他实施方式的构成要素组合的情况。

[0139] 附图标记说明

[0140] 100、200、300、400…半导体元件;101、201、301、401…发光部;101a、201a、301a、401a…脊形构造;102、202、302、402…布线连接部;103、203、303、403…脊形侧电极;104、204、304、404…连接电极;111、211、311、411…脊形侧镀膜;111b、211b、311b、411b…镀膜;111c、211c…部位;112、212、312、412…脊形侧表面电极;112b、212b、312b、412b…表面电极;113、213、313、413…绝缘膜;115、215、315、415…半导体基板;116、216、316、416…背面电极;121、221、321、421…第一导电型的第二半导体层;122、222、322、422…半导体量子阱层;123、223、323、423…第二导电型的第三半导体层;131、231、431…开口部;141、241、341、341b…抗蚀剂掩模;181、281、381…空隙;212c…第一脊形侧表面电极;212d…第二脊形侧表面电极;212e…第一表面电极;212f…第二表面电极;331…切口部;450…金线。

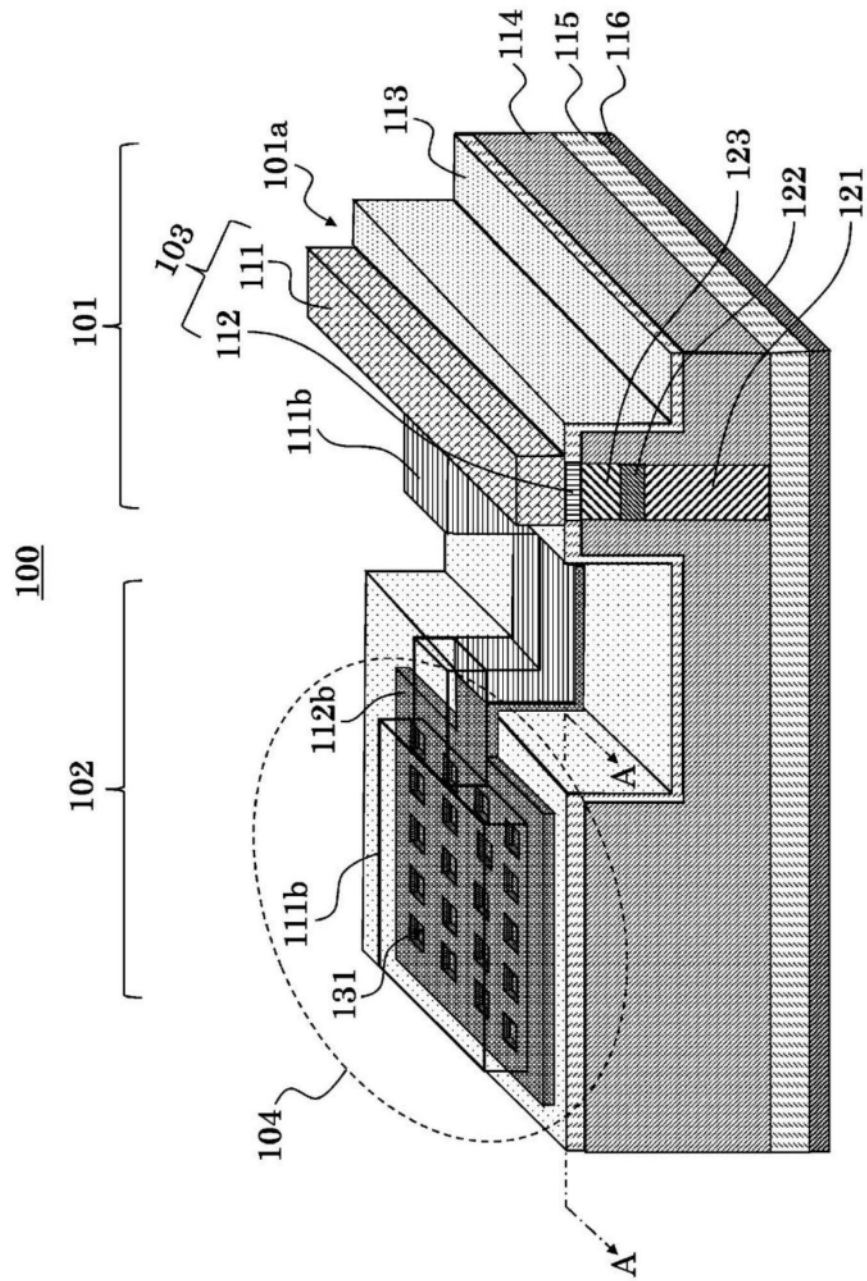


图1

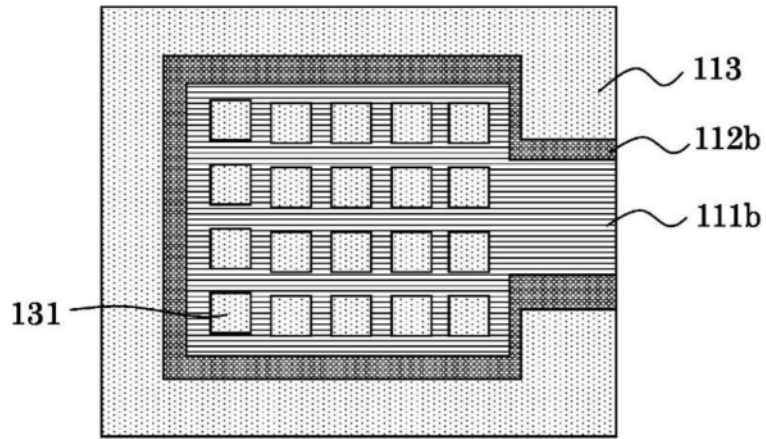


图2

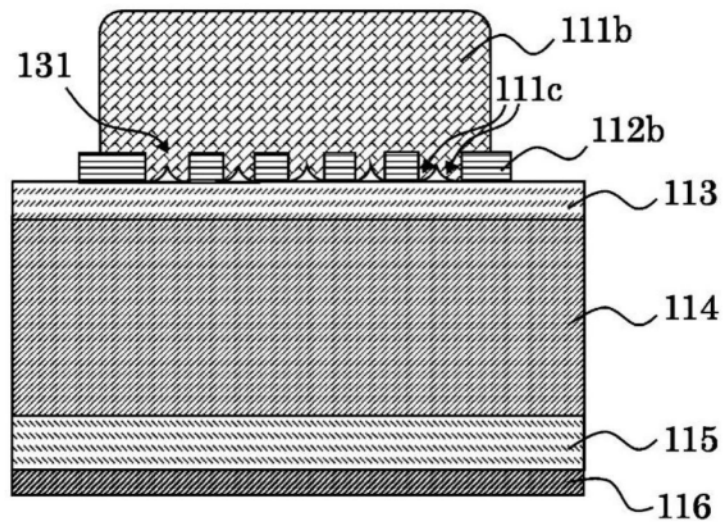


图3

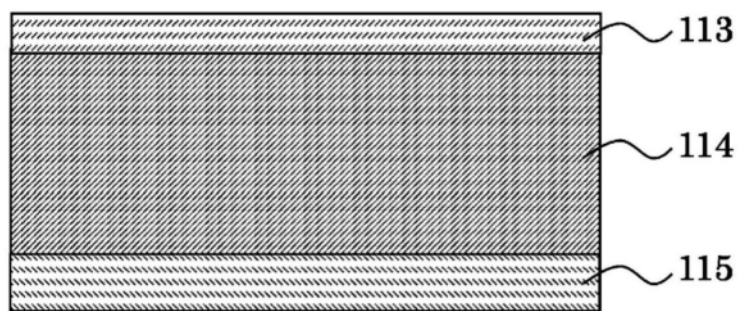


图4

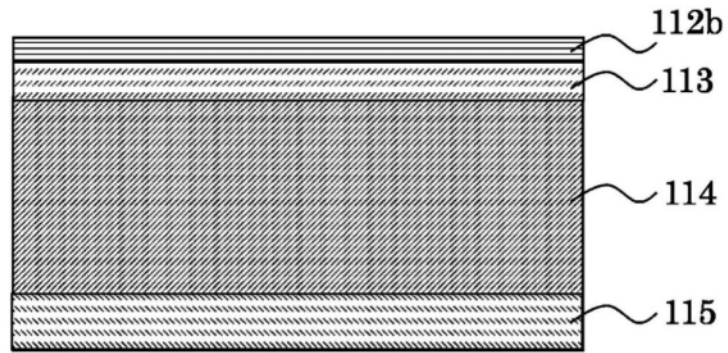


图5

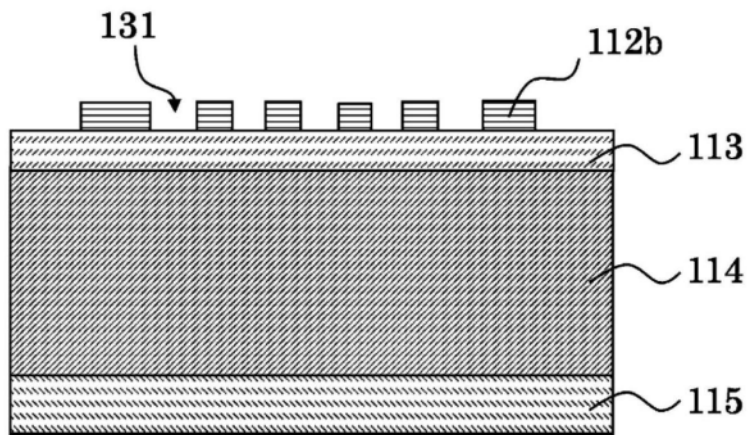


图6

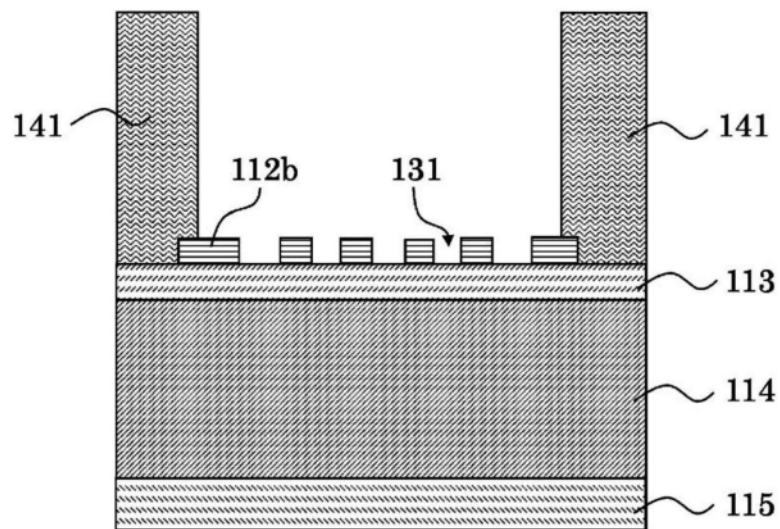


图7

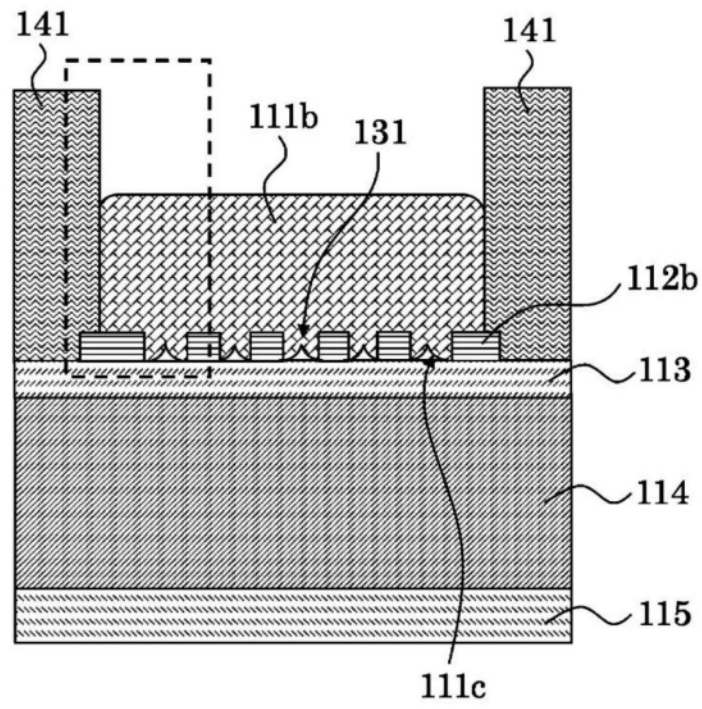


图8

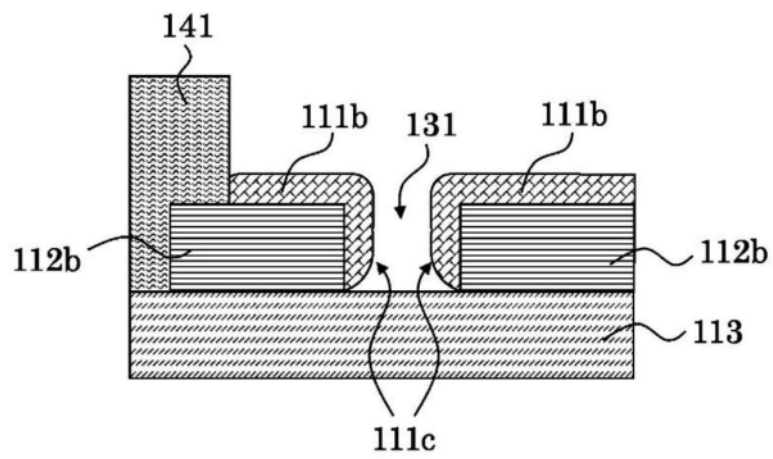


图9A

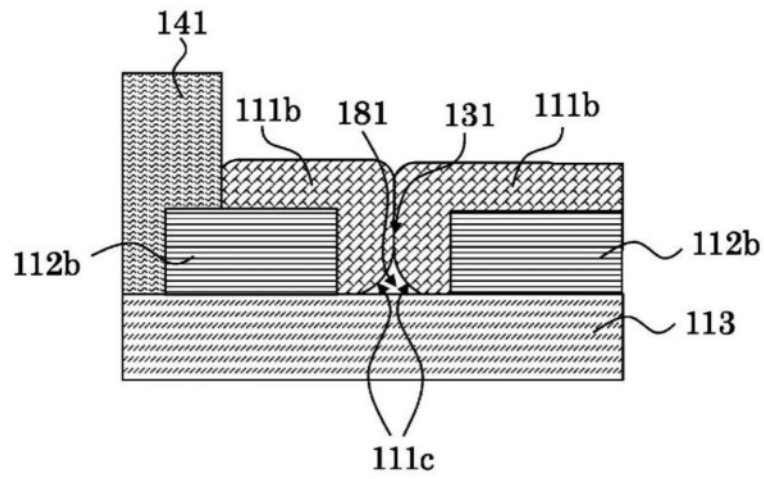


图9B

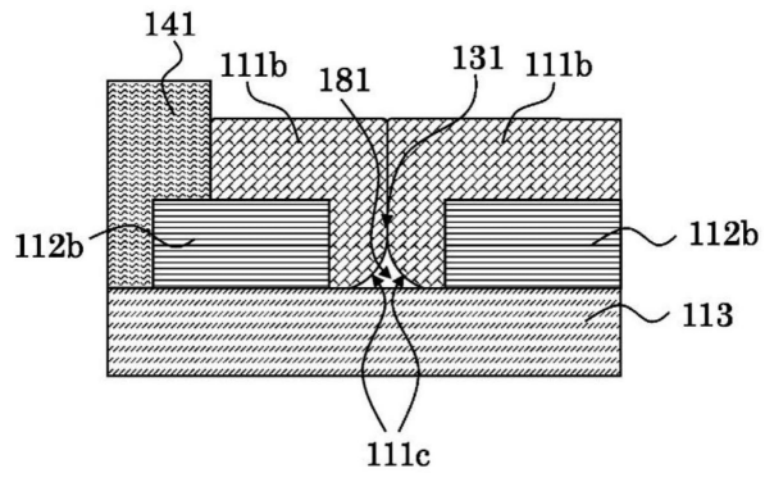


图9C

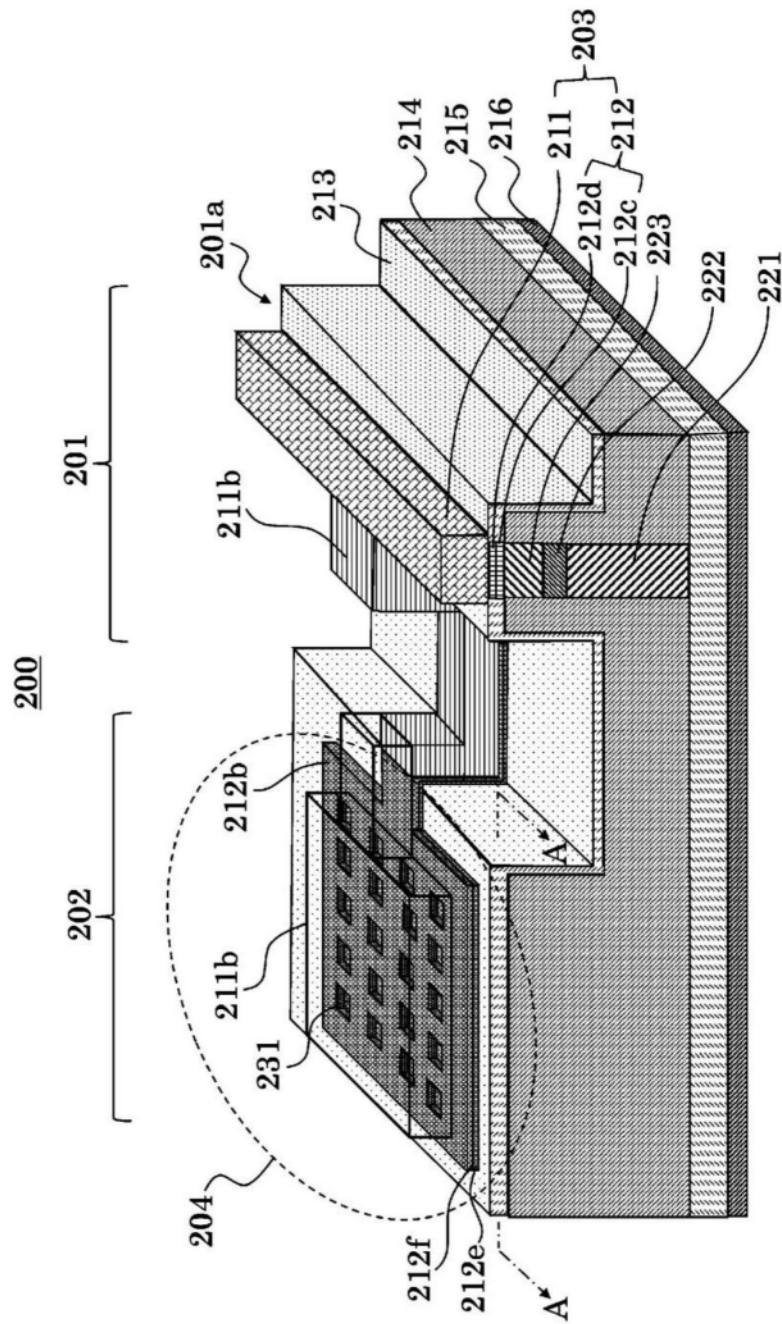


图10

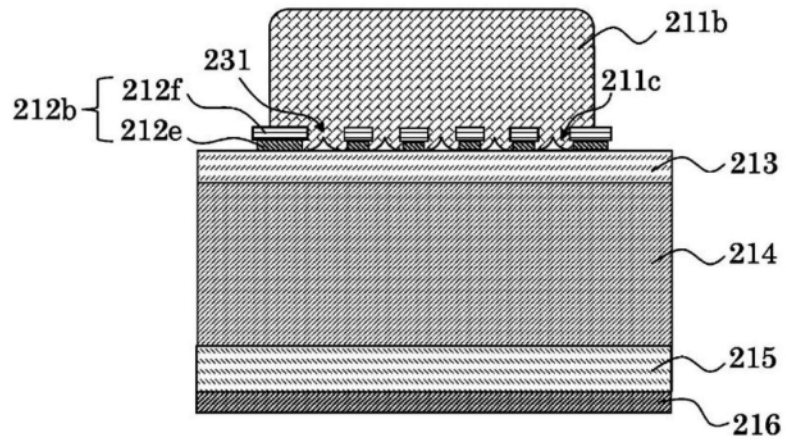


图11

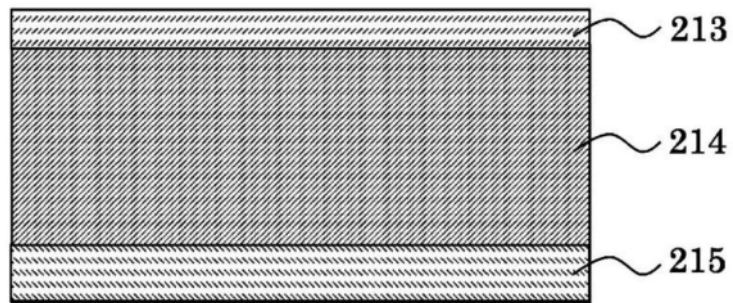


图12

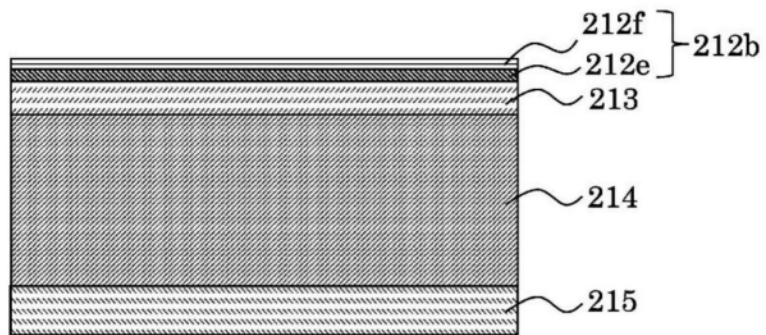


图13

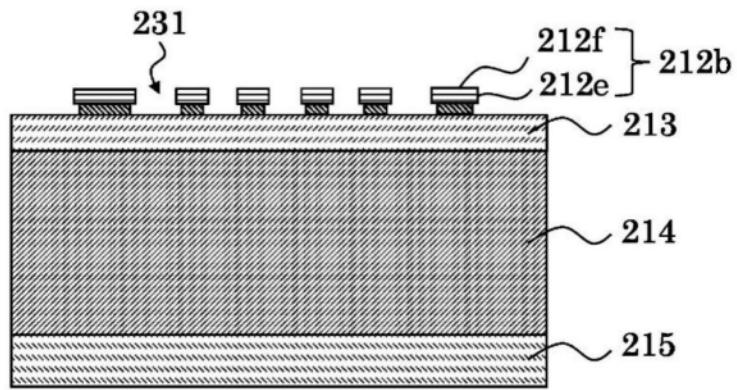


图14

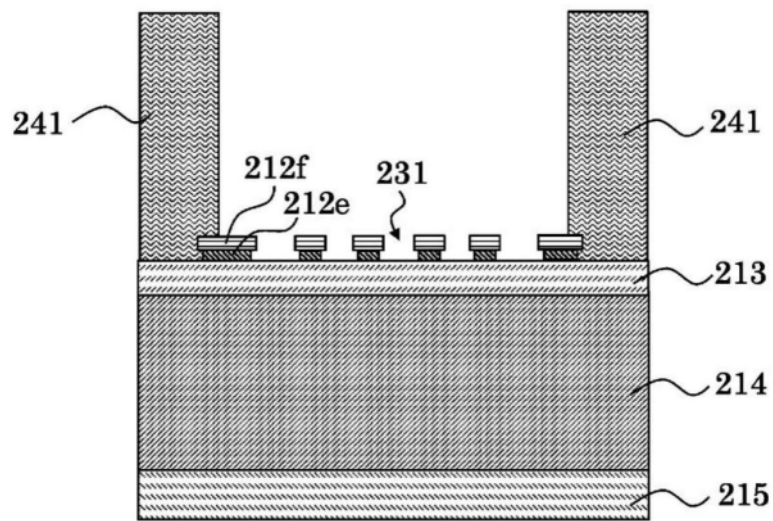


图15

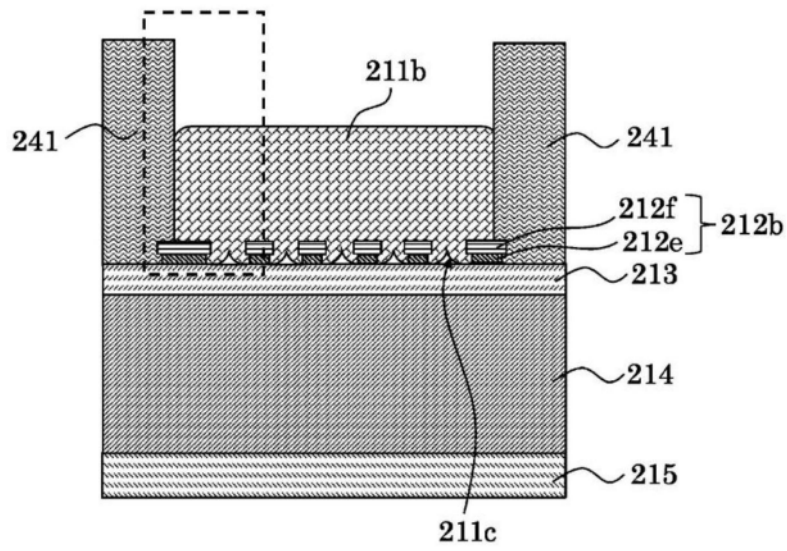


图16

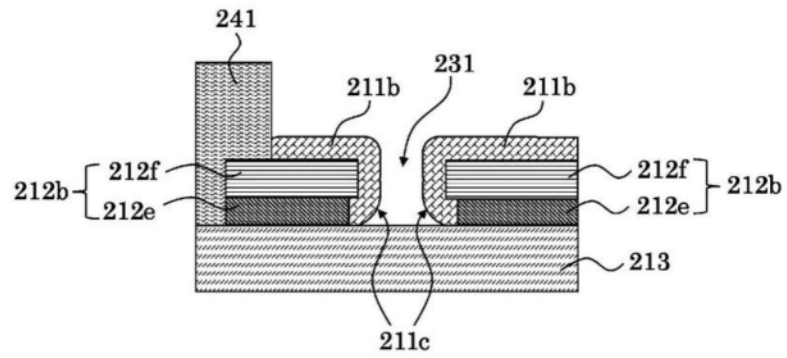


图17A

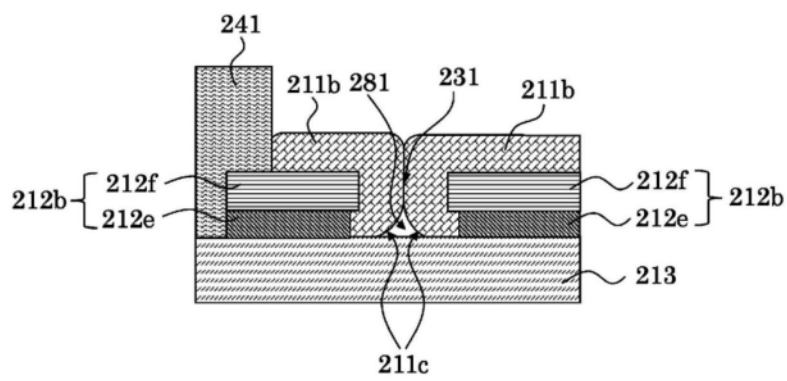


图17B

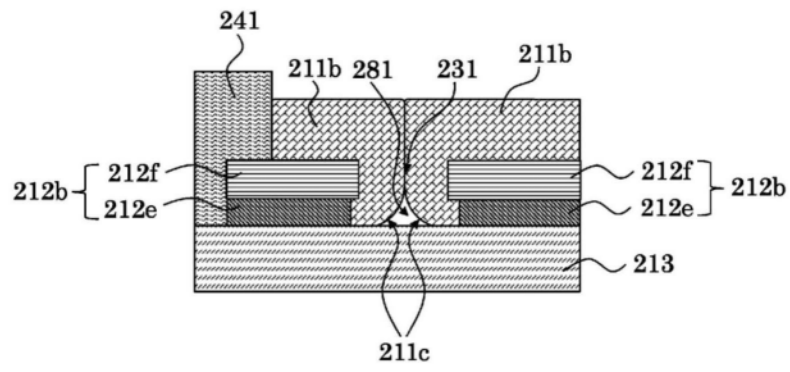


图17C

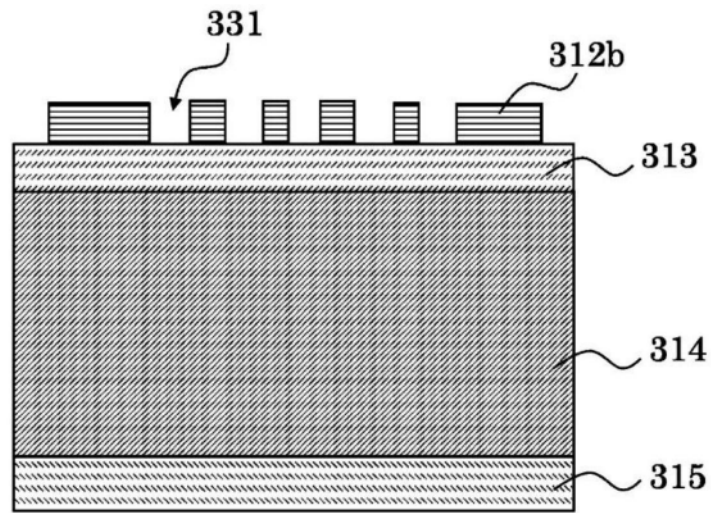


图21

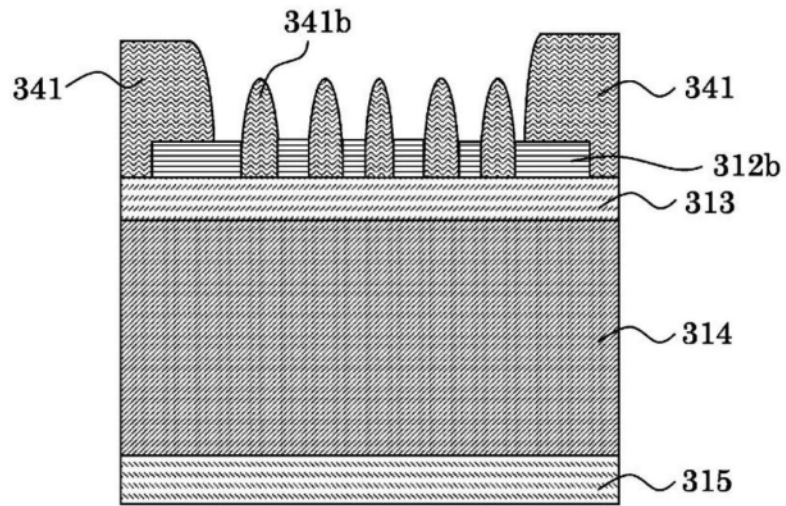


图22

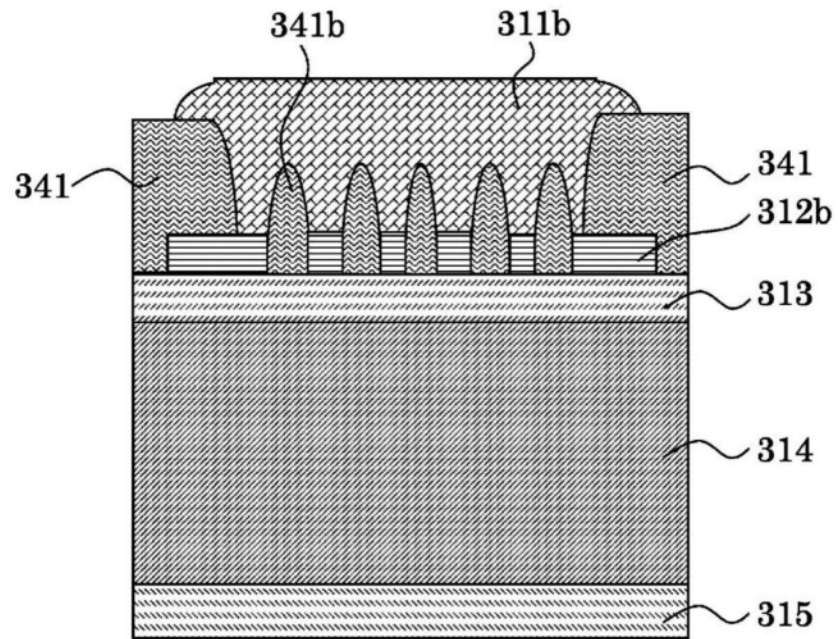


图23

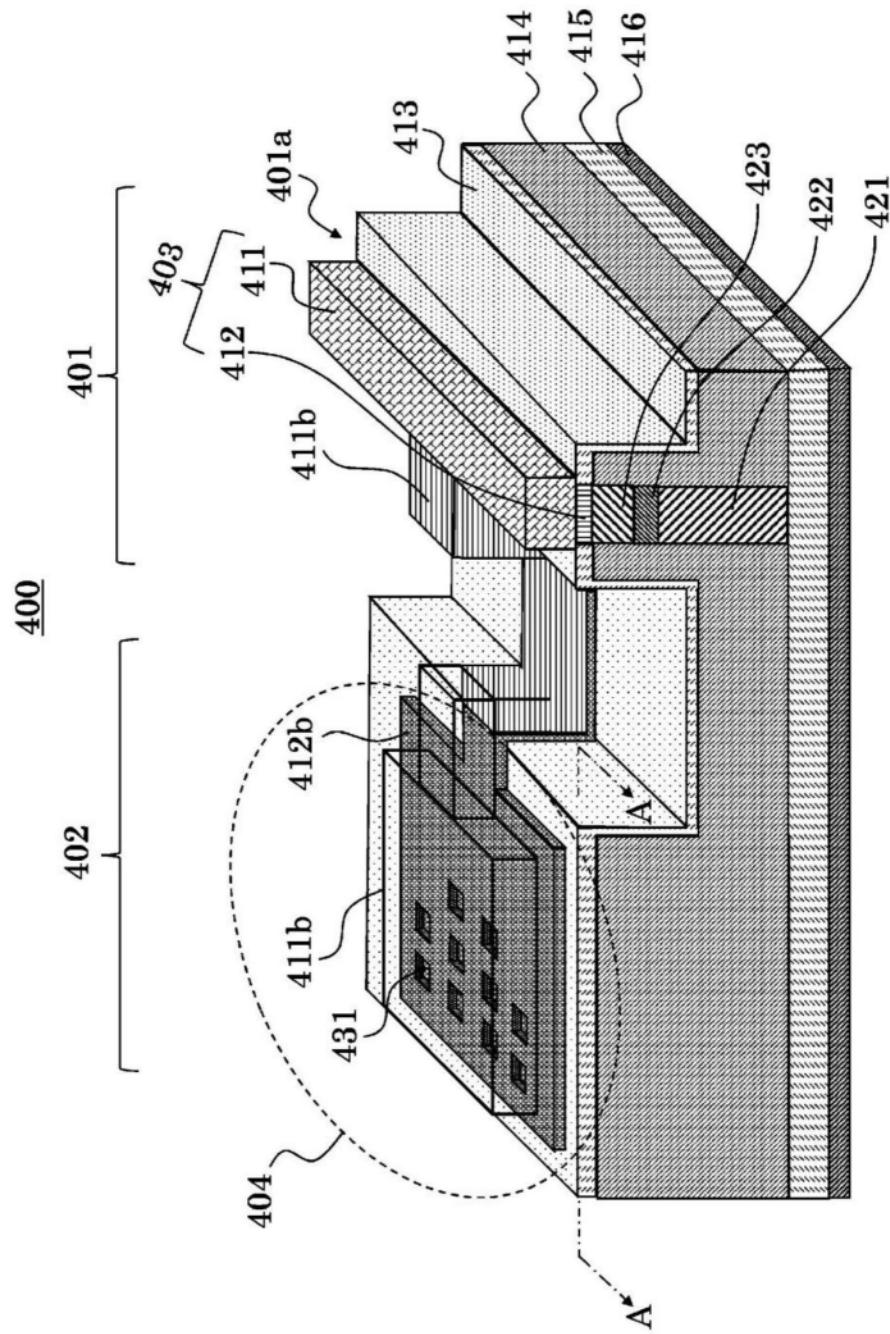


图24

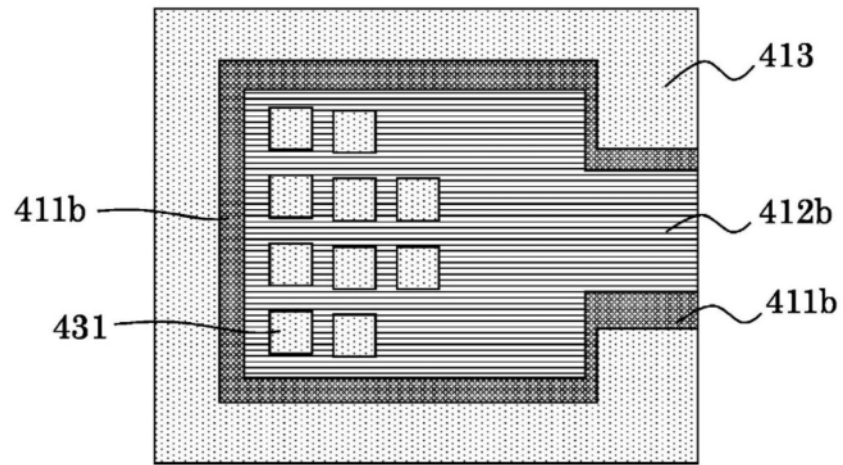


图25

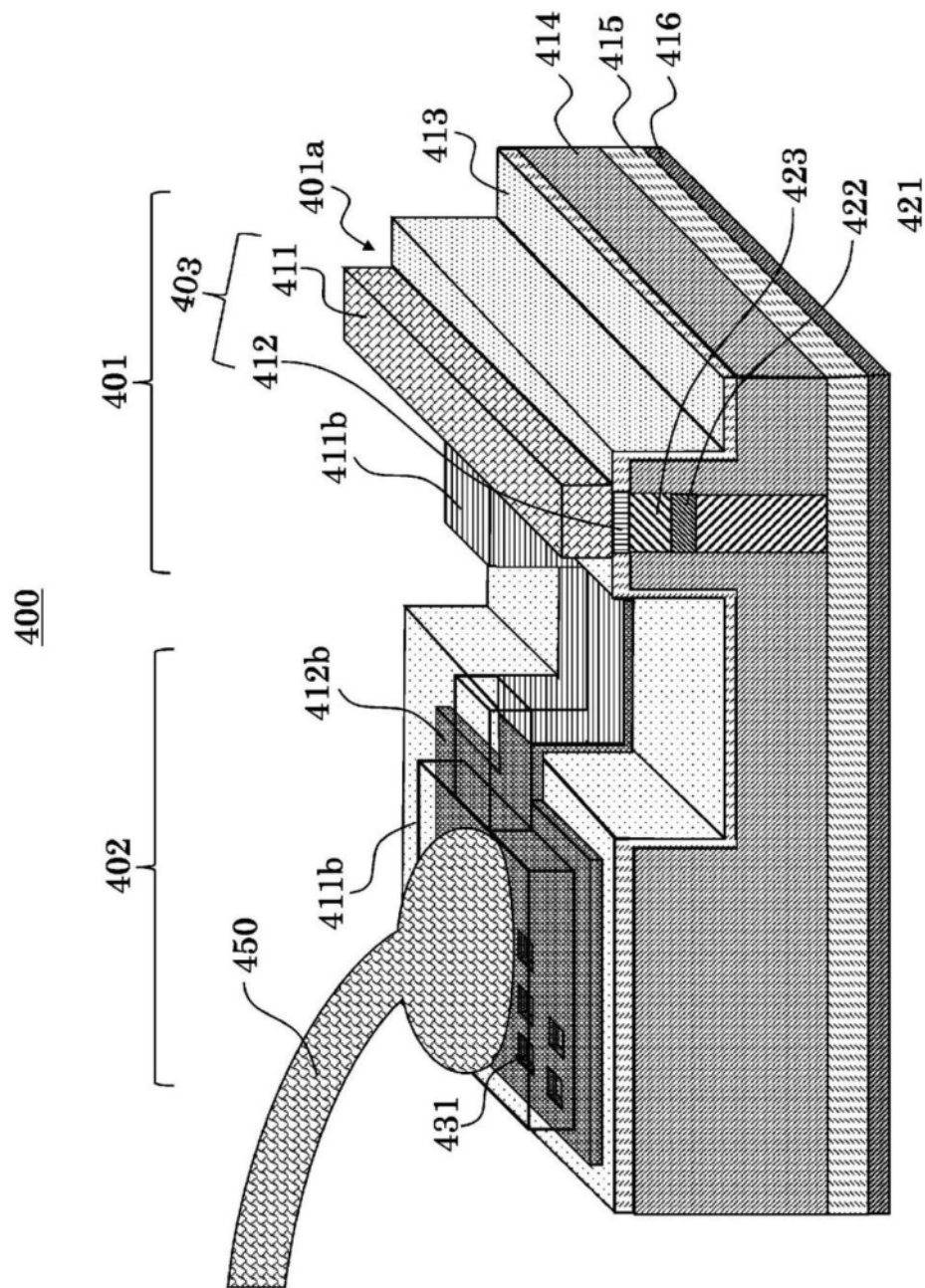


图26