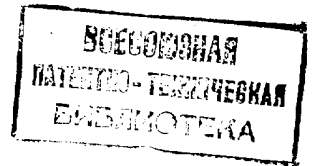




ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГНТ СССР



# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

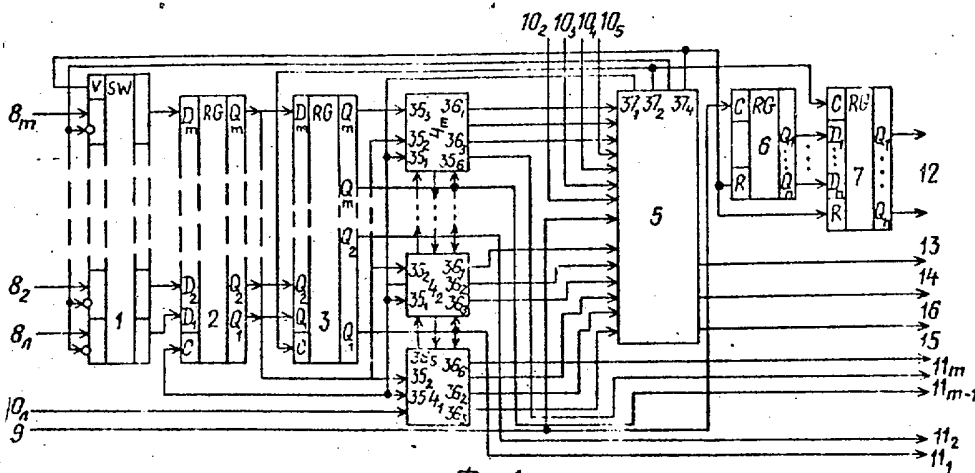
(21) 4693965/24  
(22) 04.04.89  
(46) 07.07.91. Бюл. № 25  
(72) Н.Д.Голуб, В.В.Гричук,  
О.Л.Капчеля, А.П.Царев и В.Г.Чепурняк  
(53) 681.325.5(088.8)  
(56) Авторское свидетельство СССР  
№ 873236, кл. G 06 F 7/04, 1979.

Авторское свидетельство СССР  
№ 1388845, кл. G 06 F 7/02, 1986.

(54) УСТРОЙСТВО ДЛЯ ОПРЕДЕЛЕНИЯ ЭКСТРЕМАЛЬНЫХ ЧИСЕЛ

(57) Изобретение относится к автоматике и вычислительной технике. Цель изобретения - расширение функциональных возможностей за счет обеспечения сравнения чисел с порогом и выделения локальных экстремумов в последовательности чисел. Устройство содержит ком-

мутатор 1, регистры 2, 3, узлы анализа (УА) 4<sub>1</sub> - 4<sub>m</sub>, блок управления (БУ) 5, счетчик 6, выходной регистр 7, информационные входы 8<sub>1</sub> - 8<sub>m</sub>, вход 9 синхронизации, управляющие входы 10<sub>1</sub> - 10<sub>5</sub>, выходы экстремума 11 и адреса экстремума 12, выходы "Больше" 13, "Меньше" 14, "Равно" 15, выход признака экстремума 16. УА содержат элементы равнозначности, элементы И. БУ содержит коммутаторы, триггеры, элементы И, ИЛИ, ИЛИ-НЕ, НЕ, элементы задержки. Устройство работает в одном из четырех режимов: сравнение чисел с порогом, выделение максимального числа, выделение минимального числа, выделение локальных экстремумов в последовательности чисел. 5 ил.



Фиг.1

Изобретение относится к автоматике и вычислительной технике.

Цель изобретения - расширение функциональных возможностей за счет обеспечения сравнения чисел с порогом и выделения локальных экстремумов в последовательности чисел.

На фиг. 1 приведена схема предлагаемого устройства; на фиг. 2 - схема блока управления; на фиг. 3-5 - схемы соответственно первого (младшего), 1-го ( $2 \leq 1 \leq m$ ,  $m$  - количество разрядов анализируемых чисел) и  $m$ -го узлов анализа.

Устройство содержит коммутатор 1, регистры 2 и 3, узлы  $4_1 - 4_m$  анализа, блок 5 управления, счетчик 6, выходной регистр 7, информационные входы  $8_1 - 8_m$ , вход 9 синхронизации, управляющие входы  $10_1 - 10_5$ , выходы экстремума 11 и адреса экстремума 12, выходы "Больше" 13, "Меньше" 14, "Равно" 15, выход 16 признака экстремума.

Узлы 4 анализа содержат элементы  $17_1$  и  $17_2$  равнозначности, элементы И  $18_1 - 18_5$ . Блок 5 управления содержит коммутаторы 19 и 20, триггеры 21 и 22, элементы И 23-26, ИЛИ 27-30, ИЛИ-НЕ 31, НЕ 32, элементы 33 и 34 задержки (элемент 34 - инвертирующий). Обозначены также входы  $35_1 - 35_6$  и выходы  $36_1 - 36_6$ , узлов 4 анализа и выходы  $37_1 - 37_4$  блока 5 управления.

Устройство работает в одном из четырех режимов: сравнение чисел с порогом, выделение минимального числа, выделение максимального числа, выделение локальных экстремумов.

В режиме сравнения с порогом устройство работает следующим образом.

На входы  $10_3$ ,  $10_4$  и  $10_5$  подается потенциал логической "1". Затем на вход  $10_2$  подаются положительный импульс, при этом счетчик 6 и регистры 2, 3 и 7 обнуляются. После этого на входы  $8_1 - 8_m$  подается значение порога, а на вход 9 - синхроимпульс, при этом значение порога записывается в регистр 2 и сравнивается со значением числа, записанного в регистре 3. Узел  $4_m$  анализа старшего разряда сравнивает старший разряд и вырабатывает сигнал логической "1" на выходе  $36_1$ , если старший разряд значения порога равен "1". Если старший разряд кода порога равен "0", то на выходе  $36_1$  вырабатывается сигнал

логической "1" и поступает к младшим разрядам. После окончания процесса сравнения на выходе  $37_2$  блока 5 управления формируется сигнал логической "1", который записывает значение порога в регистр 3. Затем на вход  $10_3$  подается сигнал логического "0". Устройство установлено в начальное состояние. Затем во входной регистр 2 последовательно записываются числа, подлежащие сравнению. Результат сравнения появляется в виде сигнала логической "1" на соответствующем выходе (13, 14 или 15).

В режиме выделения минимального числа устройство работает следующим образом.

На входы  $10_3$  и  $10_4$  подается сигнал логической "1", а на вход  $10_5$  - сигнал логического "0" и на вход  $10_2$  импульс, при этом счетчик 6 и регистр 7 обнуляются, а в регистры 2 и 3 записываются единицы - устройство установлено в начальное состояние. Затем на входы  $8_1 - 8_m$  подаются последовательно числа в параллельном коде, подача числа сопровождается синхроимпульсом, подаваемым на вход 9. Поданное число при этом записывается в регистр 2, а к содержимому счетчика 6 добавляется единица. Число, записанное в регистр 2, сравнивается с содержимым регистра 3, а результат сравнения появляется на выходах  $36_1$ ,  $36_2$ ,  $36_4$  узлов 4 анализа. Если содержимое регистра 2 меньше содержимого регистра 3, то на выходе  $37_2$  блока 5 управления появляется сигнал логической "1" и содержимое регистра 2 записывается в регистр 3, а содержимое счетчика 6 - в регистр 7. Таким образом, на выходах  $11_1 - 11_m$  присутствует значение наименьшего поданного на текущий момент числа, а на выходах  $12_1 - 12_n$  значение его порядкового номера.

В режиме выделения максимального числа устройство работает аналогично, однако на вход  $10_5$  поступает сигнал логического нуля, при этом регистры 2 и 3 обнуляются.

В режиме поиска локальных экстремумов устройство работает следующим образом.

За условие экстремума взято изменение знака приращения, когда оно больше единицы. На входы  $10_3$  и  $10_4$  подаются сигналы логического "0", на

входы  $10_1$  - сигнал логической "1", а на вход  $10_2$  - единичный импульс при этом триггер 21 устанавливается в единичное состояние, в счетчик 6 и регистры 2, 3 и 7 записываются нули. Затем на входы  $8_1 - 8_m$  подается последовательность чисел, сопровождаемых синхроимпульсами по входу 9. Числа записываются в регистр 2 и сравниваются с содержимым регистра 3, результат сравнения поступает на блок управления в виде сигнала, соответствующего уровню логической единицы на выходах  $36_1, 36_2, 36_3$ . При подаче импульса на вход  $10_3$  информация, содержащаяся в регистре 2, переписывается в регистр 3 при наличии на выходе элемента ИЛИ-НЕ 31 сигнала логической "1". При наличии на выходе элемента ИЛИ-НЕ 31 сигнала логического "0", информация перезаписывается только согласно состоянию выхода  $37_3$  блока 5 управления, т.е. при наличии сигнала логической "1" на выходе  $37_3$  переписывается большее число, а при наличии сигнала логического "0" - меньшее число. Если на выходе  $37_3$  сигнал логической "1", а содержимое регистра 2 меньше содержимого регистра 3 и на выходе элемента ИЛИ-НЕ 31 присутствует единичный сигнал, то на выходе 16 появляется сигнал логической "1", при этом значения сигнала на выходе  $37_3$  блока 5 управления меняются на противоположное (с "1" на "0"), значение локального экстремума формируется на выходах  $11_1 - 11_m$ , а его порядковый номер на выходах  $12_1 - 12_n$ . Эти значения считываются внешним устройством и после этого на вход  $10_3$  подается импульс, и число из регистра 2 переписывается в регистр 3, и устройство начинает функционировать в режиме поиска минимального числа и т.д.

В  $i$ -м узле 4, анализа происходит сравнение значения данного разряда регистра 2 со значением этого же разряда регистра 3 при наличии сигнала логической "1" на входе  $35_4$ , а также вырабатывается сигнал логической "1" на выходе  $36_3$ , если сравниваемые числа отличаются на единицу, причем старшие разряды регистров 2 и 3 равны,  $i$ -е разряды не равны, а младшие разряды все противоположны  $i$ -м разрядам. При этом состоянии на выходе элемента  $17_1$  равнозначности соответ-

ствует уровню логического "0", также как и на выходе элемента  $17_2$  равнозначности, а на входе  $35_5$  присутствует логическая "1", на выходе  $36_3$  и на одном из выходов  $36_1$  или  $36_2$  вырабатывается сигнал логической "1". Если разность чисел, записанных в регистры 2 и 3 больше единицы, то на одном из выходов  $36_1$  или  $36_2$  вырабатывается сигнал логической "1" при условии, что все старшие разряды чисел, записанных в регистры 2 и 3, равны между собой, т.е. на входе  $35_4$  присутствует логическая "1", а в  $i$ -м разряде числа отличаются.

Младший узел 4, анализа вырабатывает сигнал логической "1" на выходе  $36_3$ , когда сравниваемые числа отличаются только в младшем разряде. Остальные сигналы в младшем узле 4, анализа вырабатываются также как и в остальных узлах.

Блок управления объединяет по ИЛИ выходы  $36_1, 36_2$  и  $36_3$  всех узлов анализа соответственно и формирует на выходах 13 и 14 устройства соответствующие сигналы. Инвертирующий элемент 34 задержки блокирует распространение сигналов логической "1" с выходов элементов ИЛИ 27 и 28 на время, достаточное для формирования сигнала логического "0" на выходе элемента 31. По истечении этого времени на выходе элемента 34 появляется сигнал логической "1", и если на выходе элемента 31 не сформировался сигнал логического "0", то сигнал логической "1" с выхода одного из элементов ИЛИ 27 или 28 проходит на входы триггера 21 и второго канала коммутатора 19.

Выбор режима работы устройства осуществляется коммутатором 20. При сигнале логической "1" на его выходе сигнал на выходе первого канала коммутатора 19 формируется из сигнала с выхода элемента ИЛИ 27. Этот сигнал проходит через коммутатор 19 на вход элемента И 26, и при наличии сигнала логической "1" на входе  $10_2$  осуществляет перезапись числа из регистра 2 в регистр 3. При сигнале логического "0" на выходе коммутатора 20 сигнал логической "1" на выходе  $37_2$  формируется из сигнала логической "1" на выходе элемента ИЛИ 28, далее сигнал проходит через первый разряд коммутатора 19 на вход элемента И 26, и при наличии сигнала логической "1"

на входе  $10_2$  сигнал логической "1" с выхода элемента ИЛИ 28 проходит через элемент ИЛИ 29 на входы синхронизации регистров 3 и 7 и осуществляет перезапись чисел из регистра 2 в регистр 3 и из счетчика 6 в регистр 7. При сигнале логической "1" на входе  $10_3$  на выход коммутатора 20 проходит сигнал с входа  $10_4$ . При сигнале логического "0" на входе  $10_3$  на выход коммутатора 20 проходит сигнал с выхода триггера 21.

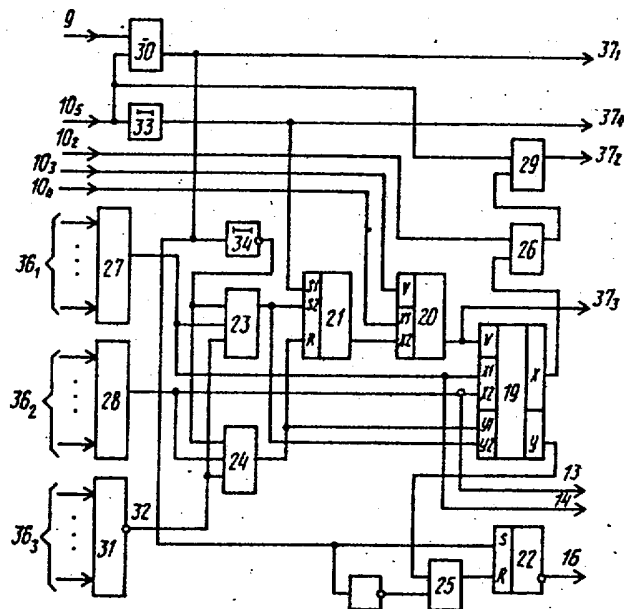
#### Ф о р м у л а и з о б р е т е н и я

Устройство для определения экстремальных чисел, содержащее два триггера, счетчик, выходной регистр, три элемента ИЛИ, четыре элемента И, элемент НЕ и  $m$  узлов анализа ( $m$  - количество разрядов анализируемых чисел), каждый из которых содержит первый элемент равнозначности и три элемента И, причем вход синхронизации устройства соединен со счетным входом счетчика, выходы разрядов которого соединены с соответствующими информационными входами выходного регистра, выходы разрядов которого являются выходами адреса экстремума устройства, входы установки в нулевое состояние счетчика и выходного регистра объединены, выходы первого и второго элементов И  $i$ -го узла анализа ( $i = 1, 2, \dots, m$ ) соединены с  $i$ -ми входами соответственно первого и второго элементов ИЛИ, выходы которых соединены с первыми входами соответственно первого и второго элементов И, выход элемента НЕ соединен с первым входом третьего элемента И, выход четвертого элемента И - с первым входом третьего элемента ИЛИ, выход которого соединен с входом синхронизации выходного регистра, в каждом узле анализа первые прямые входы первого и второго элементов И объединены соответственно с первым и вторым входами первого элемента равнозначности, выход которого соединен с первым прямым входом третьего элемента И, выход третьего элемента И  $j$ -го узла анализа ( $j = 2, 3, \dots, m$ ) соединен с вторыми прямыми входами первого, второго и третьего элементов И ( $j-1$ )-го узла анализа, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за

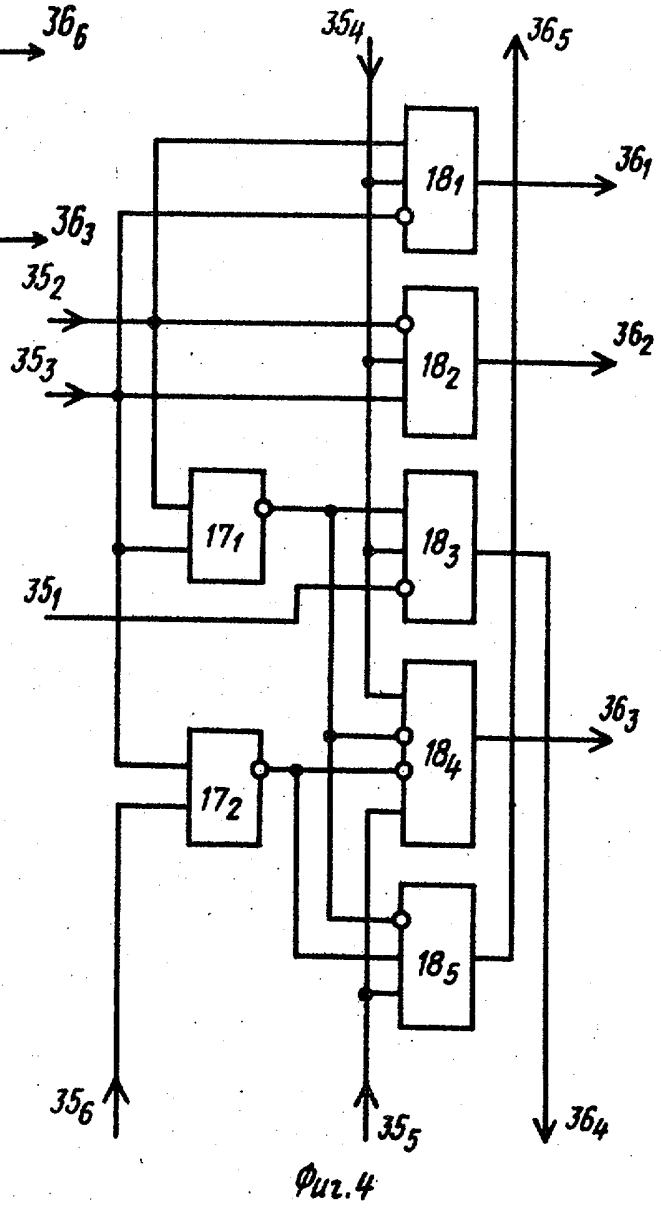
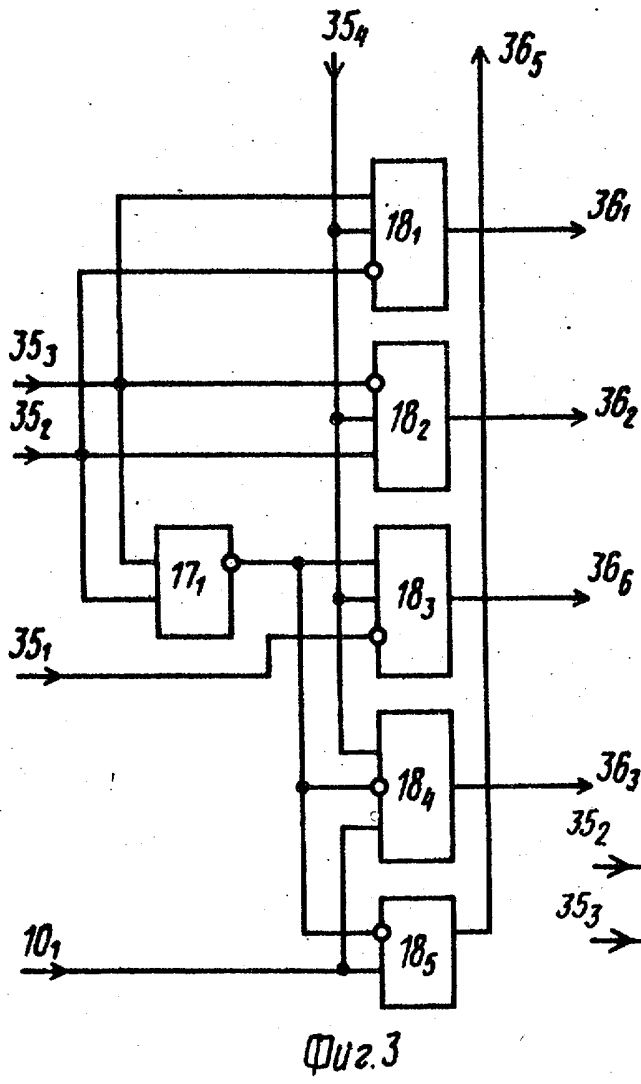
счет обеспечения сравнения чисел с порогом и выделения локальных экстремумов последовательности чисел, в него введены три коммутатора, два регистра, четвертый элемент И, элемент ИЛИ-НЕ и два элемента задержки, а в каждый узел анализа - четвертый элемент И, в каждый узел анализа, кроме первого - второй элемент равнозначности, в каждый узел, кроме  $m$ -го - пятый элемент И, причем вход  $i$ -го разряда анализируемых чисел устройства соединен с  $i$ -м информационным входом первой группы первого коммутатора,  $i$ -й выход которого соединен с  $i$ -м информационным входом первого регистра, выход  $j$ -го разряда которого соединен с первым прямым входом первого и первым инверсным входом второго элемента И  $j$ -го узла анализа, выход  $i$ -го разряда первого регистра соединен с  $i$ -м информационным входом второго регистра, выход ( $j-1$ )-го и  $j$ -го разрядов которого соединены соответственно с первым входом второго элемента равнозначности  $j$ -го узла анализа и с первым инверсным входом первого элемента И  $j$ -го узла анализа, выход  $i$ -го разряда второго регистра является  $i$ -м информационным выходом устройства и соединен с вторыми входами всех элементов равнозначности  $i$ -го узла анализа, в каждом узле анализа выход первого элемента равнозначности соединен с первым инверсным входом четвертого элемента И, и в каждом узле анализа, кроме  $m$ -го, - с инверсным входом пятого элемента И, в каждом узле анализа, кроме первого, выход второго элемента равнозначности соединен с вторым инверсным входом четвертого элемента И, в каждом узле анализа, кроме  $m$ -го, выход второго элемента равнозначности соединен с первым входом пятого элемента И, первый управляющий вход устройства соединен с первыми прямыми входами четвертого и пятого элементов И первого узла анализа, выход третьего элемента И которого является выходом "Равно" устройства, выходы пятерых элементов И  $K$ -го и  $(m-1)$ -го узлов анализа, где  $K = 1, 2, \dots, m-2$  соединены соответственно с первым прямым входом четвертого элемента И и с вторым прямым входом пятого элемента И ( $K+1$ )-го узла анализа и с вторым прямым входом пятого элемента И,  $m$ -го узла анализа,

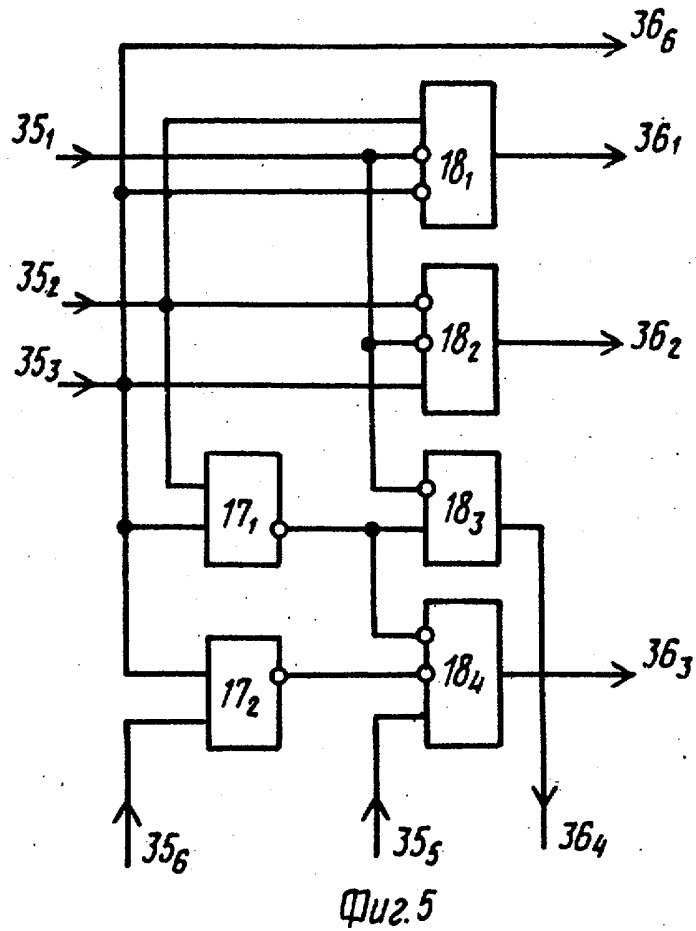
выход третьего элемента И  $j$ -го узла анализа соединен с вторым прямым входом четвертого элемента И ( $j-1$ )-го узла анализа, выход четвертого элемента И ( $i$ -го узла анализа соединен с  $i$ -м входом элемента ИЛИ-НЕ, выход которого соединен с вторыми входами первого и второго элементов И, выходы которых соединены соответственно с первым входом установки в единичное состояние и входом установки в нулевое состояние первого триггера а также с первыми информационными входами соответственно первой и второй групп второго коммутатора, вторые информационные входы первой и второй групп которого являются соответственно выходами "Больше" и "Меньше" устройства и подключены к выходам соответственно второго и первого элементов ИЛИ, вход синхронизации устройства соединен с первым входом четвертого элемента ИЛИ, выход которого соединен с входом синхронизации первого регистра, инверсными входами третьих элементов И всех узлов анализа, вторыми инверсными входами первого и второго элементов И  $m$ -го узла анализа, инверсным входом третьего элемента И  $m$ -го узла анализа, входом установки в единичное состояние второго триггера, входом элемента НЕ и через первый элемент задержки с третьими входами первого и второго

элементов И, второй, третий и четвертый управляющие входы устройства соединены соответственно с первым входом четвертого элемента И, управляющим и вторым информационным входами третьего коммутатора, пятый управляющий вход устройства соединен с вторыми входами третьего и четвертого элементов ИЛИ и входом второго элемента задержки, выход которого соединен с входом установки счетчика в нулевое состояние, управляющим входом первого коммутатора и вторым входом установки в единичное состояние первого триггера, выход которого соединен с первым информационным входом третьего коммутатора, выход которого соединен со всеми информационными входами второй группы первого коммутатора и с управляющим входом второго коммутатора, первый и второй выходы которого соединены с вторыми входами соответственно четвертого и третьего элементов И, выход третьего элемента И соединен с входом установки в нулевое состояние второго триггера, инверсный выход которого является выходом признака экстремума устройства, в первом узле анализа первый и второй входы элемента равнозначности объединены соответственно с вторыми прямыми входами соответственно первого и второго элементов И.



Фиг. 1





Редактор И. Горная      Составитель В. Горохов      Техред М. Дидык      Корректор Л. Патай

Заказ 2124      Тираж 399      Подписное  
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101