(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年3月14日(14.03.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/053420 A1

(51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 23/48* (2006.01)
H01L 21/60 (2006.01) *H01L 25/18* (2023.01)
H01L 23/29 (2006.01)

(21) 国際出願番号： PCT/JP2023/030589

(22) 国際出願日： 2023年8月24日(24.08.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-142527 2022年9月7日(07.09.2022) JP

(71) 出願人: 株式会社デンソー (**DENSO CORPORATION**) [JP/JP]; 〒4488661 愛知県刈谷市昭和町１丁目１番地 Aichi (JP).

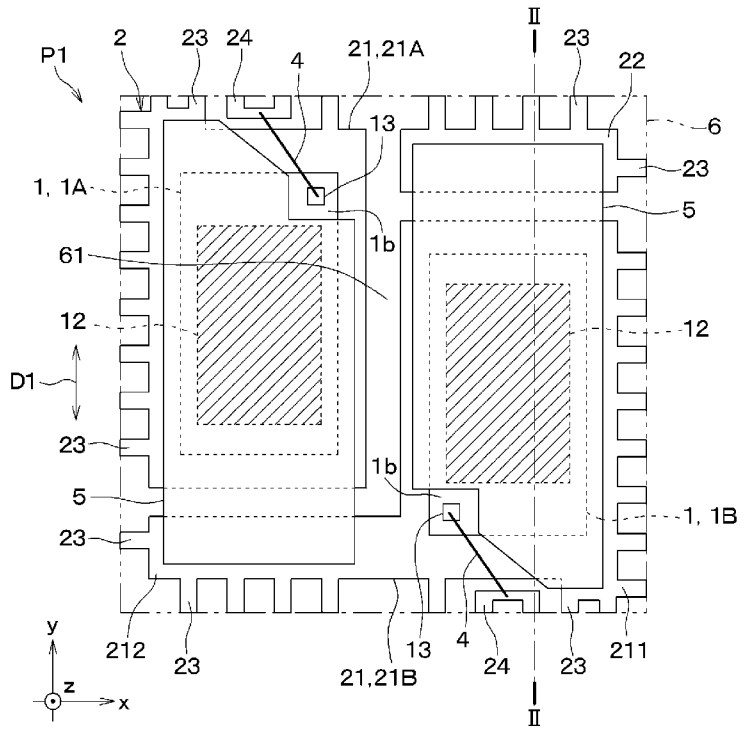
(72) 発明者: 中野 貴博 (**NAKANO Takahiro**); 〒4488661 愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内 Aichi (JP). 長瀬 昇(**NAGASE Noboru**); 〒4488661 愛知県刈谷市昭和町１丁目１番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 弁理士法人ゆうあい特許事務所 (**YOU-I PATENT FIRM**); 〒4600008 愛知県名古屋市中区栄二丁目１１番７号 伏見大島ビル８階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) **Title:** SEMICONDUCTOR PACKAGE

(54) 発明の名称： 半導体パッケージ



(57) **Abstract:** This semiconductor package comprises: a plurality of semiconductor elements (1); a plurality of plate-shaped bridging members (5) that are connected to different semiconductor elements; a lead frame (2) having a plurality of mounting parts (21) on which different semiconductor elements are mounted; and a sealing resin (6) that covers a portion of the lead frame as well as the plurality of semiconductor elements and bridging members. Each of the plurality of bridging members is disposed spaced apart by a distance from the other bridging members, and each bridging member

WO 2024/053420 A1

[続葉有]

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

electrically connects a semiconductor element to an area (21, 22) of the lead frame which is different from the mounting part on which the semiconductor element to which the bridging member is connected is mounted. Each of the plurality of mounting parts is disposed spaced apart from the other mounting parts. An end gap (G2) is wider than a center gap (G1), when: a direction along a bridging member in which the semiconductor element and the above-mentioned different area are connected is a connection direction (D1); a gap at the center in the connection direction of the gap between the bridging member and another adjacent bridging member is the center gap; and a gap at the end in the connection direction is the end gap.

(57) 要約：半導体パッケージは、複数の半導体素子（１）と、異なる半導体素子に接続される複数の板状の架橋部材（５）と、異なる半導体素子が搭載される複数の実装部（２１）を有するリードフレーム（２）と、リードフレームの一部、複数の半導体素子および架橋部材を覆う封止樹脂（６）とを備える。複数の架橋部材は、他の架橋部材とは距離を隔てて配置され、半導体素子と、リードフレームのうち自身が接続された半導体素子が搭載された実装部とは異なる部位（２１、２２）と、を電気的に接続している。複数の実装部は、他の実装部とは距離を隔てて配置される。架橋部材に沿った方向であって、半導体素子と上記異なる部位とを繋ぐ方向を接続方向（Ｄ１）とし、架橋部材と隣接する他の架橋部材との隙間のうち接続方向の中心における隙間を中心隙間（Ｇ１）とし、接続方向の端部における隙間を端部隙間（Ｇ２）として、端部隙間は、中心隙間よりも幅が広い。

明　細　書

発明の名称 ： 半導体パッケージ

関連出願への相互参照

[0001] 本出願は、２０２２年９月７日に出願された日本特許出願番号２０２２－１４２５２７号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、半導体素子にクリップが接続された半導体パッケージに関する。

背景技術

[0003] 従来、例えば特許文献１に記載の半導体パッケージのように、リードフレーム上にパワーＭＯＳＦＥＴ等のパワー半導体素子が搭載され、パワー半導体素子にワイヤよりも幅広のクリップが接続されると共に、樹脂封止された構造が知られている。なお、ＭＯＳＦＥＴとは、Metal-Oxide-Semiconductor Field-Effect Transistorの略称である。また、この種の半導体パッケージとしては、リードフレームが独立した２つのアイランドを有し、２つのアイランドそれぞれにパワー半導体素子が搭載され、これらがまとめて１つの樹脂部材により封止されてなる、いわゆる２ｉｎ１構造が知られている。

先行技術文献

特許文献

[0004] 特許文献1：特許第３４３９４１７号公報

発明の概要

[0005] 駆動時の発熱量が大きい複数のパワー半導体素子を用いた半導体パッケージは、放熱性向上の観点から、それぞれの半導体素子に接続するクリップの面積をできる限り大きくすることが好ましい。

[0006] ２ｉｎ１構造のように複数のパワー半導体素子を有し、パワー半導体素子のそれぞれにクリップ等の幅広の架橋部材を接合した構造の半導体パッケー

ジについて本発明者らが鋭意検討を行った。その結果、当該構造の半導体パッケージでは、封止樹脂のうち２つの隣接する幅広の架橋部材の隙間を充填する部位にクラックが生じ、信頼性が低下しうることが新たに判明した。

[0007] 本開示は、複数のパワー半導体素子を有し、放熱性確保と封止樹脂のクラック抑制とを両立可能な半導体パッケージに関する。

[0008] 本開示の１つの観点によれば、半導体パッケージは、複数の半導体素子と、異なる半導体素子に接続される複数の板状の架橋部材と、異なる半導体素子が搭載される複数の実装部を有するリードフレームと、リードフレームの一部、複数の半導体素子および架橋部材を覆う封止樹脂と、を備え、複数の架橋部材は、他の架橋部材とは距離を隔てて配置されると共に、半導体素子と、リードフレームのうち自身が接続された半導体素子が搭載された実装部とは異なる部位と、を電気的に接続しており、複数の実装部は、他の実装部とは距離を隔てて配置されており、架橋部材に沿った方向であって、半導体素子と異なる部位とを繋ぐ方向を接続方向とし、架橋部材と隣接する他の架橋部材との隙間のうち接続方向の中心における隙間を中心隙間とし、接続方向の端部における隙間を端部隙間として、端部隙間は、中心隙間よりも幅が広い。

[0009] この半導体パッケージは、複数の半導体素子がリードフレームのうち異なる実装部にそれぞれ搭載され、これらの半導体素子には異なる架橋部材が接続され、これらの部材が封止樹脂に覆われている。そして、架橋部材に沿った方向であって、半導体素子とリードフレームの一部とを繋ぐ方向を接続方向として、隣接する架橋部材の隙間のうち接続方向の端部における外部隙間は、同方向の中心における中心隙間よりも幅が広くなっている。つまり、半導体パッケージは、封止樹脂による隣接する架橋部材間の充填部分であって、半導体素子の駆動制御による熱応力が集中しやすい狭幅部位をパッケージの外郭近傍に有しない構成となる。これにより、この半導体パッケージは、板状部材の架橋部材を介して複数の半導体素子の駆動による熱を外部に放熱しつつも、半導体素子の駆動制御による冷熱サイクルを繰り返しても封止樹

脂でのクラック発生を抑制することができる。

[0010] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0011] [図1]第１実施形態の半導体パッケージを示す上面レイアウト図である。

[図2]図１のＩＩ－ＩＩ線の断面図である。

[図3]隣接する２つの架橋部材の隙間を説明するための説明図である。

[図4]第１実施形態の半導体パッケージの回路構成を示す図である。

[図5]比較例の半導体パッケージおよびクラックの発生を説明するための説明図である。

[図6]第１実施形態の半導体パッケージの変形例を示す上面レイアウト図である。

[図7]第２実施形態の半導体パッケージを示す上面レイアウト図である。

[図8]図７のＶＩＩＩ－ＶＩＩＩ線の断面図である。

[図9]第２実施形態の半導体パッケージの第１変形例を示す上面レイアウト図である。

[図10]第２実施形態の半導体パッケージの第２変形例を示す上面レイアウト図である。

[図11]第３実施形態の半導体パッケージを示す上面レイアウト図である。

[図12]他の実施形態の半導体パッケージを示す上面レイアウト図である。

発明を実施するための形態

[0012] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0013] （第１実施形態）

第１実施形態の半導体パッケージＰ１について、図面を参照して説明する。半導体パッケージＰ１は、例えば、自動車等の車両に搭載され、各種車載

部品の駆動制御に用いられると好適であるが、勿論、他の用途にも採用されうる。

[0014] 図１では、後述する封止樹脂６の外郭を二点鎖線で、封止樹脂６に覆われた構成部材の外郭のうち後述する架橋部材５に覆われる部分を破線で、その他の部分を実線で、それぞれ示している。また、図１では、見易くするため、断面を示すものではないが、後述する半導体素子１の第２電極１２にハッチングを施している。これらの点は、後述する図３、５～７、９～１２についても同様である。

[0015] 以下、説明の便宜上、図１に示すように、紙面上の左右方向に沿った方向を「ｘ方向」と、同紙面上においてｘ方向に対して垂直な方向を「ｙ方向」と、ｘｙ平面に対する法線方向を「ｚ方向」と、それぞれ称する。図２以降の図におけるｘ、ｙ、ｚの各方向は、それぞれ図１中のｘ、ｙ、ｚの各方向に対応するものである。また、図１に示すように、半導体パッケージＰ１をｚ方向から見ることを「上面視」と称することがある。

[0016] 〔半導体パッケージ〕

本実施形態の半導体パッケージＰ１は、例えば図１に示すように、２つの半導体素子１と、実装部２１および被接続部２２を有するリードフレーム２と、ワイヤ４と、２つの架橋部材５と、これらを覆う封止樹脂６とを備える。半導体パッケージＰ１は、２つの半導体素子１が封止樹脂６に覆われた２ｉｎ１構造である。また、半導体パッケージＰ１は、例えば図１や図２に示すように、リードフレーム２が封止樹脂６の外郭内側に位置し、リードフレーム２のうち半導体素子１側の面とは反対面が封止樹脂６から露出したＱＦＮ構造である。ＱＦＮとは、Quad Flat Non-leaded packageの略称である。半導体パッケージＰ１は、２つの半導体素子１がそれぞれリードフレーム２のうち互いに独立して配置された異なる実装部２１に搭載され、これらの素子が架橋部材５および実装部２１を介して電気的に接続された回路構成となっている。半導体パッケージＰ１は、例えば、ｘ方向における幅が８ｍｍ程度、ｙ方向における幅が７ｍｍ程度、ｚ方向における厚みが０．９ｍｍ程度

のサイズとされるが、これに限定されない。

[0017] 半導体素子１としては、例えば、パワーＭＯＳＦＥＴ、ＩＧＢＴやＩＧＢＴとダイオードとを一体化したＲＣ－ＩＧＢＴ等のパワー半導体素子が採用されうる。半導体素子１は、例えば、Ｓｉ（シリコン）やＳｉＣ（炭化珪素）を主成分として構成され、公知の半導体プロセスにより製造される。なお、本明細書では、半導体素子１がパワーＭＯＳＦＥＴである場合を代表例として説明する。また、ＩＧＢＴとは、Insulated－Gate Bipolar Transistorの略称である。

[0018] 例えば、半導体素子１は、図１や図２に示すように、ｙ方向を長手方向とする矩形板状とされ、実装部２１側の一面１ａに第１電極１１を有し、一面１ａの反対側の他面１ｂに第２電極１２および第３電極１３を有してなる。半導体素子１は、第１電極１１がドレイン電極、第２電極１２がソース電極、第３電極１３がゲート電極となっている。半導体素子１は、例えば、はんだ等の導電性接合材料によりなる接合材３を介して、リードフレーム２のうち実装部２１に搭載されている。

[0019] 以下、説明の便宜上、図１に示すように、２つの半導体素子１のうちｘ方向左側に位置するものを「第１半導体素子１Ａ」と、ｘ方向右側に位置するものを「第２半導体素子１Ｂ」と、これらを総称して「半導体素子１Ａ、１Ｂ」と、それぞれ称することがある。また、同様に、図２に示すように、封止樹脂６の外表面のうち架橋部材５を覆い、架橋部材５よりもｚ方向上側に位置する面を「上面６ａ」と、上面６ａの反対側の面を「下面６ｂ」と、上面６ａと下面６ｂとを繋ぐ面を「側面６ｃ」と、それぞれ称する。

[0020] 半導体素子１Ａ、１Ｂは、それぞれ、リードフレーム２のうち互いに離れて配置された実装部２１に搭載され、第１電極１１と実装部２１とが電気的に接続されている。半導体素子１Ａ、１Ｂは、それぞれ、第２電極１２に架橋部材５が接続されている。第１半導体素子１Ａは、架橋部材５を介して、第２半導体素子１Ｂが搭載された実装部２１と電気的に接続されている。第２半導体素子１Ｂは、架橋部材５を介して、自身が搭載されている実装部２

１から離れて配置された被接続部２２と電気的に接続されている。半導体素子１Ａ、１Ｂは、それぞれ、第３電極１３が架橋部材５から露出すると共に、第３電極１３にワイヤ４が接続されている。半導体素子１Ａ、１Ｂは、例えば、上面視にて、一方の第３電極１３がｙ方向上側、他方の第３電極１３がｙ方向下側に位置する配置、すなわち点対象の配置とされている。半導体素子１Ａ、１Ｂは、他面１ｂのうち他の半導体素子１と向き合う角部近傍に第３電極１３が形成されている。言い換えると、半導体素子１Ａ、１Ｂそれぞれの第３電極１３は、上面視にて、２つの隣接する架橋部材５のなす隙間のうち広い領域に位置している。

[0021] リードフレーム２は、例えば、Ｃｕ（銅）、Ｆｅ（鉄）やその合金等の金属材料によりなり、半導体素子が搭載される実装部２１と、実装部２１から離間して配置される被接続部２２と、実装部２１または被接続部２２から突出する複数の端子部２３とを有する。リードフレーム２は、さらに、端子部２３を第１の端子部２３として、実装部２１および被接続部２２から独立した第２の端子部２４を有する。リードフレーム２は、例えば、封止樹脂６の成型までは、実装部２１、被接続部２２および第２の端子部２４が図示しないタイバー等により連結されているが、封止樹脂６の成型後にこの連結部分が切断除去されることで最終的に分離した状態とされている。リードフレーム２は、本実施形態では、２つの実装部２１と、１つの被接続部２２と、２つの第２の端子部２４とを備え、これらが互いに距離を隔てて配置され、互いに独立した構成となっている。

[0022] 実装部２１は、半導体素子１が搭載される部位である。実装部２１は、例えば図１に示すように、上面視にて、封止樹脂６の外郭をなす辺のうち近接する辺に向かって突出する複数の第１の端子部２３を備える。実装部２１の第１の端子部２３は、本実施形態では、ドレイン端子となっており、封止樹脂６の下面６ｂおよび側面６ｃにおいて外部に露出している。２つの実装部２１は、例えば、それぞれ半導体素子１が１つずつ搭載されている。

[0023] 以下、説明の便宜上、２つの実装部２１のうち第１半導体素子１Ａが搭載

されるものを「第１の実装部２１Ａ」と、第２半導体素子１Ｂが搭載されるものを「第２の実装部２１Ｂ」と、それぞれ称することがある。

[0024] リードフレーム２は、本実施形態では、第１半導体素子１Ａが搭載される第１の実装部２１Ａと、第２半導体素子１Ｂが搭載される第２の実装部２１Ｂと、第２の実装部２１Ｂと対をなす被接続部２２とによりなる。

[0025] 第２の実装部２１Ｂは、第２半導体素子１Ｂが搭載される素子搭載部２１１と、素子搭載部２１１からｘ方向左側に延設された延設部２１２とを有してなる。第２の実装部２１Ｂは、第１の実装部２１Ａおよび被接続部２２から距離を隔てて配置されると共に、素子搭載部２１１が被接続部２２と対をなし、延設部２１２が第１の実装部２１Ａと対をなしている。第２の実装部２１Ｂは、第１半導体素子１Ａに接続された架橋部材５が延設部２１２に接続されている。

[0026] 被接続部２２は、実装部２１と対をなす部材であり、実装部２１と同様に複数の第１の端子部２３を備える。被接続部２２は、例えば、ｙ方向において隣接する第２の実装部２１Ｂと対をなしている。被接続部２２は、例えば図１や図２に示すように、実装部２１とは距離を隔てて配置され、架橋部材５の一端が接続されている。被接続部２２は、対をなす実装部２１上に搭載された半導体素子１の第２電極１２と架橋部材５を介して電気的に接続されている。被接続部２２の第１の端子部２３は、本実施形態では、ソース端子となっており、封止樹脂６の下面６ｂおよび側面６ｃにおいて外部に露出している。

[0027] 第１の端子部２３は、例えば図１に示すように、実装部２１または被接続部２２に複数設けられる端子である。第１の端子部２３は、例えば、互いに隙間を隔てて平行配置される。

[0028] 第２の端子部２４は、例えば、実装部２１および被接続部２２とは異なる位置に配置され、ワイヤ４を介して半導体素子１の第３電極１３に電気的に接続される部材である。第２の端子部２４は、本実施形態では、ゲート端子となっており、封止樹脂６の下面６ｂおよび側面６ｃにおいて外部に露出し

ている。第２の端子部２４は、例えば図２に示すように、一部が封止樹脂６から露出しており、外部の回路基板等に接続される。第２の端子部２４は、上面視、すなわち実装部２１のうち半導体素子１が搭載される面に対する法線方向から見て、隣接する２つの架橋部材５の隙間のうち後述する端部隙間Ｇ２の近傍に、架橋部材５とは重畳しないように配置されている。

[0029] 接合材３は、例えば、はんだ等の任意の導電性接合材料により構成され、半導体パッケージＰ１の各構成要素を電気的に接続する。

[0030] ワイヤ４は、例えば、Ａｕ（金）等の導電性材料により構成される。ワイヤ４は、例えば、ワイヤボンディングにより半導体素子１の第３電極１３および第２の端子部２４に接続され、これらを電気的に接続している。

[0031] 架橋部材５としては、例えば、Ｃｕ、Ｆｅやその合金等の金属材料といった任意の導電性材料を主成分とした幅広の板状部材である。架橋部材５は、半導体素子１とリードフレーム２の一部とを架橋し、これらを電気的に接続する接続部材であり、「クリップ」とも称されうる。架橋部材５は、例えば、図１や図３に示すように、上面視にて、半導体素子１よりも平面サイズが大きく、接合材３を介して半導体素子１の第２電極１２に接合されている。

[0032] 架橋部材５は、例えば、上面視にて、半導体素子１の他面１ｂのうち第３電極１３を含む所定領域を除く他の領域をすべて覆うように配置される。言い換えると、架橋部材５は、半導体素子１の他面１ｂの外郭をなす四辺の一部または全部を覆っており、半導体素子１の駆動時の熱を外部に拡散しやすい配置となっている。架橋部材５は、例えば、半導体素子１およびリードフレーム２との接続部分以外の部分が、すべて封止樹脂６により覆われており、外部に露出しない状態となっている。すなわち、架橋部材５は、図２に示すように、半導体素子１および被接続部２２側の面を接続面５ａとし、その反対側の面を反対面５ｂとして、反対面５ｂがすべて封止樹脂６に覆われており、封止樹脂６により外部と絶縁されている。

[0033] 架橋部材５は、実装部２１のうち半導体素子１が搭載される面を実装面とし、実装面に対する法線方向における寸法を高さとして、高さが他の部材に

比べて最も大きい配置とされている。言い換えると、架橋部材５は、封止樹脂６に覆われる部材の中で最も上面６ａに近い配置となっている。これにより、封止樹脂６のうち架橋部材５を覆う部分を表層部として、表層部の厚みを最小限とすることができ、架橋部材５から外部への放熱が有利となる。

[0034] 架橋部材５は、自身の直下に位置する半導体素子１と自身を介して当該半導体素子が接続されるリードフレーム２の一部とを繋ぐ方向を接続方向Ｄ１（図１の例では、ｙ方向に沿った方向）として、接続方向Ｄ１の一端が同方向の中心よりも幅が狭くなっている。ここでいう架橋部材５の幅とは、接続方向Ｄ１に対して直交する方向における幅である。具体的には、架橋部材５は、上面視にて、接続方向Ｄ１の一端が隣接する他の架橋部材５から遠ざかるように延設され、その幅が同方向の中心よりも狭くなっている。その一方で、架橋部材５のうち接続方向Ｄ１の他端側は、同方向の中心と略同一の幅となっている。その結果、隣接する２つの架橋部材５の隙間は、例えば図３に示すように、接続方向Ｄ１における中心の隙間を中心隙間Ｇ１とし、同方向の端部における隙間を端部隙間Ｇ２として、Ｇ１＜Ｇ２の関係となっている。これにより、封止樹脂６のうち隣接する２つの架橋部材５の隙間を充填する部分における応力が緩和され、クラック発生が抑制される。この詳細については後述する。

[0035] 第２半導体素子１Ｂに接続された架橋部材５は、図２に示すように、接続方向Ｄ１の他端側がリードフレーム２側に向かって折り曲げられると共に、接合材３を介して被接続部２２に接合されている。第１半導体素子１Ａに接続された架橋部材５は、上記した架橋部材５と同様の形状であると共に、半導体素子１Ａ、１Ｂと同様にｙ方向において逆向きの配置とされ、折り曲げられた他端側が接合材３を介して第２の実装部２１Ｂに接合されている。架橋部材５は、半導体素子１およびリードフレーム２の一部との接続部分以外の部分が、封止樹脂６以外の部材とは接触しない、いわば中空の状態となっている。

[0036] 封止樹脂６は、例えば、エポキシ樹脂等といった電気絶縁性の樹脂材料と

、当該樹脂材料よりも熱伝導率が大きいフィラーとを有してなる。フィラーとしては、例えば、アルミナ等の無機物粒子が採用されうる。封止樹脂６は、例えば、金型を用いた射出成型等の方法により形成される。封止樹脂６は、半導体素子１、リードフレーム２の一部、接合材３、ワイヤ４および架橋部材５を覆っている。封止樹脂６は、例えば、上面６ａおよび下面６ｂがｘｙ平面に沿った平坦面とされる。封止樹脂６の上面６ａにおいては、半導体パッケージＰ１の他の部材が露出しない状態となっており、上面６ａにおける電気絶縁性が確保されている。封止樹脂６は、高い放熱性を実現する観点から、熱伝導率が３Ｗ／ｍ・Ｋ以上とされることが好ましいが、これに限定されない。以下、説明の便宜上、例えば図１に示すように、封止樹脂６のうち隣接する２つの架橋部材５の隙間を充填する部分を「第１充填部６１」と称する。

[0037] 以上が、本実施形態の半導体パッケージＰ１の基本的な構成である。

[0038] 〔回路構成例〕

半導体パッケージＰ１は、例えば、本実施形態では、図４に示す回路、すなわち半導体素子１Ａ、１Ｂがリードフレーム２を介して直列接続された回路を構成している。図４における「Ｄ１」、「Ｓ１」、「Ｇ１」は、それぞれ、第１半導体素子１Ａの第１電極１１、第２電極１２、第３電極１３に接続された端子に相当する。図３における「Ｄ２」、「Ｓ２」、「Ｇ２」は、それぞれ、第２半導体素子１Ｂの第１電極１１、第２電極１２、第３電極１３に接続された端子に相当する。

[0039] 半導体パッケージＰ１は、第１半導体素子１Ａと第２半導体素子１Ｂとが直列接続され、これらの結線部分に相当する第２の実装部２１Ｂの端子部２３が出力端子となる、ハーフブリッジ回路を構成している。半導体パッケージＰ１は、例えば、第１の実装部２１Ａの端子部２３（Ｄ１）が図示しない外部電源に接続され、被接続部２２の端子部２３（Ｓ２）が基準電位（ＧＮＤ）に接続される。例えば、第１半導体素子１Ａがハイサイド、第２半導体素子１Ｂがローサイドである。半導体素子１Ａ、１Ｂは、例えば、いずれも

Ｎチャネル型のトランジスタとされ、一面１ａの第１電極１１がドレイン電極、他面１ｂの第２電極１２、第３電極１３がそれぞれソース電極、ゲート電極となっている。半導体素子１Ａ、１Ｂは、ソース電極の第２電極１２が形成された他面１ｂを、放熱部材として機能する実装部２１とは反対側に向けた搭載形態、いわゆるフェイスアップ実装となっている。

[0040] つまり、第１の実装部２１Ａの端子部２３がＤ１端子、電源端子、第１半導体素子１Ａの第３電極１３に接続された端子部２４がＧ１端子、延設部２１２から突出する端子部２３がＳ１端子となっている。また、素子搭載部２１１の端子部２３がＤ２端子、出力端子、第２半導体素子１Ｂの第３電極１３に接続された端子部２４がＧ２端子、被接続部２２の端子部２３がＳ２端子となっている。

[0041] 〔封止樹脂のクラック抑制〕

次に、隣接する２つの架橋部材５が、端部隙間Ｇ２＞中心隙間Ｇ１となる形状および配置とされることによる効果について、図５に示す比較例の半導体パッケージ１００と対比して説明する。

[0042] まず、比較例の半導体パッケージ１００について説明する。

[0043] 比較例の半導体パッケージ１００は、２つの半導体素子１と、対をなす実装部７１および被接続部７２を二対有したリードフレーム７と、架橋部材８と、これらを封止する封止樹脂６とを有してなる。リードフレーム７は、実装部７１および被接続部７２から封止樹脂６のうちパッケージ外郭をなす辺に延設された第１端子７３と、実装部７１、被接続部７２および第１端子７３から独立した第２端子７４とをさらに有する。比較例の半導体パッケージ１００は、ｘ方向右側ではｙ方向上側から順に被接続部７２、実装部７１が配置され、ｘ方向左側ではｙ方向上側から順に実装部７１、被接続部７２、が配置されている。比較例の半導体パッケージ１００は、半導体素子１Ｃ、１Ｄがそれぞれの第２電極１２に架橋部材８が接続され、自身が搭載された実装部７１と対をなす被接続部７２に架橋部材８を介して電気的に接続されている。比較例の半導体パッケージ１００は、２つの実装部７１および被接

続部７２が互いに隙間を隔てて配置されており、半導体素子１Ｃ、１Ｄが電気的に独立した構成の２ｉｎ１構造である。

[0044] 半導体素子１Ｃ、１Ｄは、図５に示すように、他面１ｂのうちｙ方向における端部近傍かつｘ方向における中心に第３電極１３が形成され、第３電極１３が架橋部材８から露出している。第３電極１３は、ワイヤ４が接続され、第２端子７４と電気的に接続されている。架橋部材８は、半導体素子１よりも平面サイズが大きく、直下に位置する半導体素子１のうち第３電極１３を含む所定の領域を除く全領域を覆っており、半導体素子１の放熱性を向上させる。架橋部材８は、第３電極１３の近傍に位置する一端が第３電極１３の真上を避けるように二股に枝分かれした形状となっている。半導体素子１Ｃ、１Ｄに接続された２つの隣接する架橋部材８は、これらのなす隙間Ｇ０が略一定となる配置になっている。なお、隙間Ｇ０は、例えば、隣接する架橋部材８間の絶縁性確保およびパッケージ全体の小型化の両立の観点から、最小で０．４ｍｍ程度とされる。

[0045] 本発明者らの鋭意検討の結果、比較例の半導体パッケージ１００は、半導体素子１の駆動制御の繰り返しによる冷熱サイクルにおいて、封止樹脂６のうち２つの隣接する架橋部材８の隙間を充填する第１充填部６１にクラックが生じることが判明した。

[0046] 具体的には、比較例の半導体パッケージ１００は、第１充填部６１の幅が全体的に狭く、かつその端部が封止樹脂６の外郭近傍に位置している。また、比較例の半導体パッケージ１００は、冷熱サイクルにより熱変形が生じ、この熱変形に伴う応力が第１充填部６１に集中してしまう。その結果、比較例の半導体パッケージ１００は、半導体素子１よりも平面サイズが大きい架橋部材８を用いることで放熱性を向上できるが、第１充填部６１の端部を起点とした封止樹脂６のクラックが生じてしまうおそれがあり、信頼性確保が不十分となりうる。

[0047] これに対して、本実施形態の半導体パッケージＰ１は、隣接する２つの架橋部材５がそれぞれ接続方向Ｄ１の一端が他の架橋部材５から遠ざかるよう

に幅が狭くなっており、端部隙間Ｇ２が中心隙間Ｇ１よりも幅が広くなっている。これにより、第１充填部６１は、冷熱サイクルに伴う熱応力が集中しやすいパッケージ外郭近傍における幅がパッケージ中心近傍の幅よりも広く、熱応力が緩和される。その結果、半導体パッケージＰ１は、複数の幅広の架橋部材５を用いることで複数の半導体素子１に起因する熱を効率良く外部に逃がすことができると共に、封止樹脂６の第１充填部６１への応力が緩和され、クラック発生が抑制される。なお、例えば、端部隙間Ｇ２は、少なくとも中心隙間Ｇ１よりも大きければよいが、中心隙間Ｇ１が０．４ｍｍである場合には、０．４ｍｍよりも大きくされ、好ましくは２倍の０．８ｍｍ以上とされるが、これに限定されない。

[0048] 本実施形態の半導体パッケージＰ１は、２つの半導体素子１それぞれに幅広の架橋部材５が接続され、これらが封止樹脂６に覆われ、隣接する架橋部材５のなす隙間がパッケージ中心近傍の中心隙間Ｇ１よりもパッケージ外郭近傍の端部隙間Ｇ２のほうが大きい。これにより、半導体素子１の駆動による熱を平面サイズが半導体素子１よりも大きい架橋部材５により広範囲に放出できると共に、第１充填部６１の端部の幅が中心部位よりも広く、端部の応力が緩和される。そのため、半導体パッケージＰ１は、放熱性確保およびクラック抑制を両立することができる。

[0049] （第１実施形態の変形例）

２つの架橋部材５は、例えば図６に示すように、上面視にて、自身が接続される半導体素子１の第３電極１３よりも接続方向Ｄ１の中心側に位置する部位に、封止樹脂６の応力を緩和するための面取り部５１が形成された形状であってもよい。具体的には、２つの架橋部材５は、それぞれ、半導体パッケージ中心近傍から端部に向かうにつれて徐々に他方の架橋部材５から遠ざかる切り欠き部位とされた面取り部５１が形成されている。これにより、第１充填部６１は、面取り部５１における隙間を面取り幅Ｇ３として、パッケージ端部からパッケージ中心に向かう方向における幅の変化がＧ２＞Ｇ３＞Ｇ１とより緩やかとなり、冷熱サイクルによる熱応力がさらに緩和される。

なお、面取り部５１の傾斜や外形については、図６に示す例に限定されるものではなく、適宜変更されうる。

[0050] 本変形例によっても、上記第１実施形態と同様の効果が得られる半導体パッケージＰ１となる。また、架橋部材５が面取り部５１を有することにより、封止樹脂６の第１充填部６１にかかる熱応力がさらに緩和され、封止樹脂６のクラック発生をより抑制できる効果も得られる。

[0051] （第２実施形態）

第２実施形態の半導体パッケージＰ２について、図面を参照して説明する。

[0052] 以下、説明の便宜上、例えば図７に示すように、封止樹脂６のうち隣接する実装部２１または被接続部２２の隙間を充填する部分を「第２充填部６２」と称する。

[0053] 本実施形態の半導体パッケージＰ２は、例えば図７や図８に示すように、封止樹脂６のうち第２充填部６２が、第１充填部６１のうち中心隙間Ｇ１の一部とは位置がずれた構成となっている点で上記第１実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0054] ２つの架橋部材５は、本実施形態では、接続方向Ｄ１における中心部分を含む一部の領域が他方の架橋部材５に向かって突き出した突出部５２を有する。突出部５２は、例えば、他方の架橋部材５と向き合う辺がｙ方向に対して傾いている。突出部５２の一部は、対向する架橋部材５の直下に位置する半導体素子１が搭載された実装部２１上まで延設されている。言い換えると、突出部５２は、上面視にて、一部が２つの実装部２１の隙間を跨いでいる。なお、２つの架橋部材５は、上記第１実施形態と同様に、略同一の形状および平面サイズとされる。

[0055] 封止樹脂６は、本実施形態では、図８に示すように、第１充填部６１の一部が第２充填部６２とは位置をずらされた配置となっている。具体的には、例えば、第２充填部６２がある一方向（図８の例ではｙ方向）に沿った配置であるのに対し、第１充填部６１は、当該一方向とは異なる他の方向（図８

の例ではｙ方向以外の方向）に沿った配置とされ、一部のみが第２充填部６２上に位置している。これにより、封止樹脂６は、半導体素子１の駆動制御に伴う熱応力が第２充填部６２にかかった場合であっても、第１充填部６１の大部分が第２充填部６２とオフセットされているため、当該熱応力が第１充填部６１に伝わりづらい構成となる。したがって、封止樹脂６は、第１充填部６１の大部分が第２充填部６２上に位置している場合に比べて、第１充填部６１の熱応力が緩和され、第１充填部６１でのクラック発生がより抑制される。なお、第１充填部６１のうち第２充填部６２と位置がずらされる部位は、応力緩和の観点から、接続方向Ｄ１における両端を含むことが好ましい。また、「第１充填部６１と第２充填部６２とがオフセットされている」とは、実装部２１のうち半導体素子１が搭載される面に対する法線方向から見て、第２充填部６２に対して交差する方向に第１充填部６１が第２充填部６２と位置がずらされていることをいう。例えば図７に示すように、第１充填部６１は、上面視にて、一部が第２充填部６２に対して交差する方向、すなわちｙ方向と交差する方向において第２充填部６２と位置がずらされている。

[0056] 本実施形態によれば、上記第１実施形態と同様の効果が得られる半導体パッケージＰ２となる。また、封止樹脂６の第１充填部６１と第２充填部６２とがオフセットされていることで、第２充填部６２の熱応力が第１充填部６１に伝わりづらくなり、封止樹脂６のクラック発生をより抑制できる効果も得られる。

[0057] （第２実施形態の変形例）

半導体パッケージＰ２は、例えば図９に示すように、２つの架橋部材５の一方が他方よりも突出した構成とされることで、第１充填部６１と第２充填部６２とがオフセットされた構成であってもよい。例えば、２つの架橋部材５のうち第１半導体素子１Ａに直接接続されるものを「第１架橋部材５Ａ」とし、他方を「第２架橋部材５Ｂ」として、半導体パッケージＰ２は、第１架橋部材５Ａのみが突出部５２を有する構成とされうる。また、第１架橋部

材５Ａは、例えば、突出部５２が上面視にて略台形状とされ、直下の第１半導体素子１Ａの第３電極１３の近傍に切欠部５２１を有した構成とされる。一方、第２架橋部材５Ｂは、例えば、突出部５２を有しておらず、直下の第２半導体素子１Ｂの第３電極１３の近傍に第１架橋部材５Ａから遠ざかる切欠部５２２を有した構成とされる。これにより、封止樹脂６は、第１充填部６１の大部分と第２充填部６２との位置がずらされることに加えて、面取り部である切欠部５２１、５２２を有することにより、第１充填部６１の応力が緩和される。

[0058] 半導体パッケージＰ２は、例えば図１０に示すように、第２の実装部２１Ｂのうちｘ方向にて第１の実装部２１Ａと対向する部分のｘ方向における幅が第１の実装部２１Ａよりも大きく、第１充填部６１と第２充填部６２とがオフセットされた構成であってもよい。また、被接続部２２は、ｘ方向における幅が、第２の実装部２１Ｂのうちｘ方向において第１の実装部２１Ａと対向する部分の同方向における幅と略同一とされる。この場合、２つの架橋部材５が突出部５２を有し、略同一の形状および平面サイズであっても、上面視にて、第２充填部６２の位置が第１充填部６１に対してｘ方向左側にずれるため、第１充填部６１と第２充填部６２とがオフセットされる。そのため、図１０に示す変形例の半導体パッケージＰ２は、図９に示す変形例と同様の効果が得られる構成となっている。

[0059] 本変形例によっても、上記第２実施形態と同様の効果が得られる半導体パッケージＰ２となる。また、２つの架橋部材５の一方が切欠部５２１、他方が切欠部５２２を有することで、これらが面取り部として機能し、第１充填部６１の応力をさらに緩和し、封止樹脂６のクラック発生をより抑制できる効果も得られる。

[0060] （第３実施形態）

第３実施形態の半導体パッケージＰ３について、図面を参照して説明する。

[0061] 本実施形態の半導体パッケージＰ３は、例えば図１１に示すように、リー

ドフレーム２が２つの実装部２１および２つの被接続部２２を有し、二対の実装部２１および被接続部２２がｙ方向において逆向きに配置された構成である点で上記第１実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0062] リードフレーム２は、本実施形態では、第１の実装部２１Ａが第２の実装部２１Ｂの一部に代わって、ｙ方向下側に離れて配置された被接続部２２と対をなしている。第２の実装部２１Ｂは、本実施形態では、第１の実装部２１Ａとｙ方向において第１の実装部２１Ａと対向する延設部２１２を有していない。リードフレーム２は、対をなす実装部２１および被接続部２２を２つ有してなり、二対の実装部２１および被接続部２２がｘ方向において平行配置、かつｙ方向において逆方向を向く配置、すなわち点対称の配置とされている。

[0063] 第１半導体素子１Ａは、本実施形態では、第２電極１２に架橋部材５が接続されると共に、架橋部材５を介してリードフレーム２のうち第１の実装部２１Ａと対をなす被接続部２２に電気的に接続されている。第１半導体素子１Ａは、第２半導体素子１Ｂとは電気的に接続されておらず、独立した回路部を構成している。本実施形態では、第１の実装部２１Ａの第１の端子部２３、第１の実装部２１Ａと対をなす被接続部２２、第２の端子部２４がそれぞれ第１半導体素子１Ａのドレイン端子、ソース端子、ゲート端子となっている。

[0064] 第２半導体素子１Ｂは、本実施形態では、第２の実装部２１Ｂに搭載されると共に、架橋部材５を介して第２の実装部２１Ｂよりもｙ方向上側に配置された被接続部２２に電気的に接続されている。第２の実装部２１Ｂの第１の端子部２３、第２の実装部２１Ｂと対をなす被接続部２２、第２の端子部２４がそれぞれ第２半導体素子１Ｂのドレイン端子、ソース端子、ゲート端子となっている。

[0065] つまり、半導体パッケージＰ３は、ｘ方向左側の回路部におけるソース端子およびドレイン端子のｙ方向における配置と、ｘ方向右側の回路部におけ

るソース端子およびドレイン端子のｙ方向における配置とが逆である交互配置となっている。この構成においても２つの架橋部材５が、接続方向Ｄ１の端部隙間Ｇ２のほうが中心隙間Ｇ１よりも幅が大きくなる形状とされることで、封止樹脂６の第１充填部６１にかかる熱応力が緩和される。

[0066] 本実施形態によっても、上記第１実施形態と同様の効果が得られる半導体パッケージＰ３となる。

[0067] （他の実施形態）

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらの一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0068] （１）上記各実施形態では、半導体パッケージが２つの半導体素子１が封止樹脂６で封止された２ｉｎ１構造である場合を代表例として説明したが、これに限定されない。各実施形態において、半導体パッケージは、半導体素子１がＮ個（Ｎ≧３）のＮｉｎ１構造であってもよく、この場合、隣接する架橋部材５のなす隙間が中心隙間Ｇ１よりも端部隙間Ｇ２のほうが大きい構成であれば、クラックの発生抑制の効果が得られる。

[0069] （２）上記第２実施形態では、半導体パッケージＰ２は、例えば図１２に示すように、２つの架橋部材５が異なる形状および平面サイズとされ、第１充填部６１の全部が第２充填部６２と位置をずらされた構成であってもよい。また、隣接する２つの架橋部材５は、一方が突出部５２に切欠部５２２を有し、他方が突出部５２に切欠部を有しない構成とされてもよい。

[0070] （３）なお、上記各実施形態において、実施形態を構成する要素は、特に必須であると明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、上記各実施形態において、実施形態の構成要素の個数、数値、量、範囲等の数値が言及されている場合、特に必須であると明示した場合および原理的に

明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではない。また、上記各実施形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に特定の形状、位置関係等に限定される場合等を除き、その形状、位置関係等に限定されるものではない。

[0071] （本開示の特徴）

［第１の観点］

半導体パッケージであって、

複数の半導体素子（１）と、

異なる前記半導体素子に接続される複数の板状の架橋部材（５）と、

異なる前記半導体素子が搭載される複数の実装部（２１）を有するリードフレーム（２）と、

前記リードフレームの一部、複数の前記半導体素子および前記架橋部材を覆う封止樹脂（６）と、を備え、

複数の前記架橋部材は、他の前記架橋部材とは距離を隔てて配置されると共に、前記半導体素子と、前記リードフレームのうち自身が接続された前記半導体素子が搭載された前記実装部とは異なる部位（２１、２２）と、を電気的に接続しており、

複数の前記実装部は、他の前記実装部とは距離を隔てて配置されており、

前記架橋部材に沿った方向であって、前記半導体素子と前記異なる部位とを繋ぐ方向を接続方向（Ｄ１）とし、前記架橋部材と隣接する他の前記架橋部材との隙間のうち前記接続方向の中心における隙間を中心隙間（Ｇ１）とし、前記接続方向の端部における隙間を端部隙間（Ｇ２）として、前記端部隙間は、前記中心隙間よりも幅が広い、半導体パッケージ。

［第２の観点］

複数の前記架橋部材は、自身の直下に位置する前記半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されている、第１の観点に記載の半導体パッケージ

。

［第３の観点］

前記封止樹脂のうち隣接する前記実装部の隙間を充填する部分を第１充填部（６１）とし、隣接する前記架橋部材の隙間を充填する部分を第２充填部（６２）として、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記第１充填部は、一部または全部が前記第２充填部とは前記第２充填部に対して交差する方向にオフセットされている、第１または第２の観点に記載の半導体パッケージ。

［第４の観点］

前記架橋部材が接続される前記半導体素子は、前記架橋部材の接続面（１ｂ）にゲート電極（１３）を有し、

前記リードフレームは、前記ゲート電極と電気的に接続されるゲート端子（２４）を有し、

前記ゲート端子は、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記端部隙間の近傍であって、前記架橋部材とは重畳しない領域に配置されている、第１ないし第３の観点のいずれか１つに記載の半導体パッケージ。

請求の範囲

[請求項1] 半導体パッケージであって、

複数の半導体素子（１）と、

異なる前記半導体素子に接続される複数の板状の架橋部材（５）と、

異なる前記半導体素子が搭載される複数の実装部（２１）を有するリードフレーム（２）と、

前記リードフレームの一部、複数の前記半導体素子および前記架橋部材を覆う封止樹脂（６）と、を備え、

複数の前記架橋部材は、他の前記架橋部材とは距離を隔てて配置されると共に、前記半導体素子と、前記リードフレームのうち自身が接続された前記半導体素子が搭載された前記実装部とは異なる部位（２１、２２）と、を電気的に接続しており、

複数の前記実装部は、他の前記実装部とは距離を隔てて配置されており、

前記架橋部材に沿った方向であって、前記半導体素子と前記異なる部位とを繋ぐ方向を接続方向（Ｄ１）とし、前記架橋部材と隣接する他の前記架橋部材との隙間のうち前記接続方向の中心における隙間を中心隙間（Ｇ１）とし、前記接続方向の端部における隙間を端部隙間（Ｇ２）として、前記端部隙間は、前記中心隙間よりも幅が広い、半導体パッケージ。

[請求項2] 複数の前記架橋部材は、自身の直下に位置する前記半導体素子よりも平面サイズが大きく、かつ当該半導体素子の外郭をなす四辺それぞれの少なくとも一部を覆うように配置されている、請求項１に記載の半導体パッケージ。

[請求項3] 前記封止樹脂のうち隣接する前記架橋部材の隙間を充填する部分を第１充填部（６１）とし、隣接する前記実装部の隙間を充填する部分を第２充填部（６２）として、前記実装部のうち前記半導体素子が搭

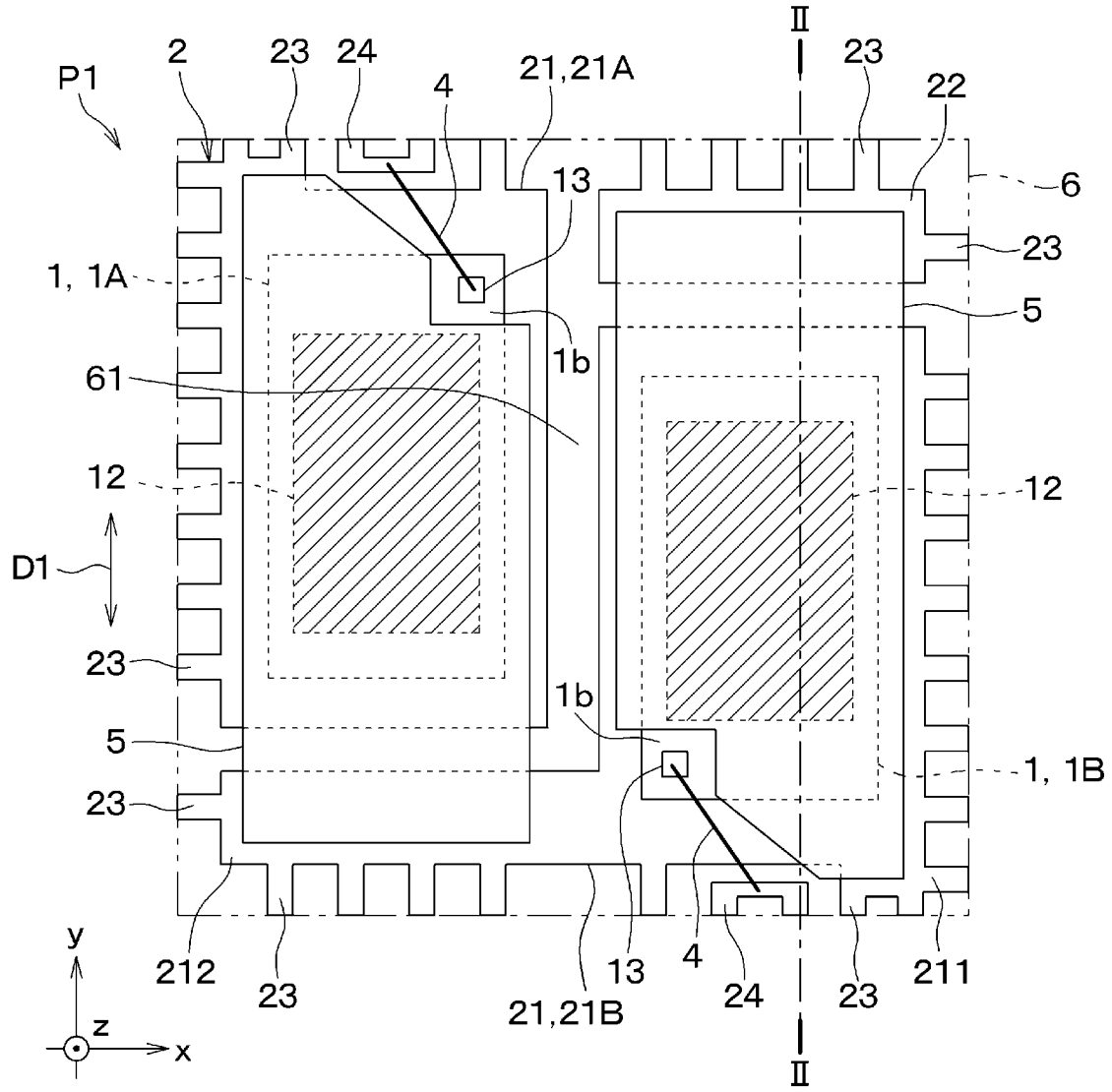
載される面に対する法線方向から見て、前記第１充填部は、一部または全部が前記第２充填部とは前記第２充填部に対して交差する方向にオフセットされている、請求項１に記載の半導体パッケージ。

[請求項4] 前記架橋部材が接続される前記半導体素子は、前記架橋部材の接続面（１ｂ）にゲート電極（１３）を有し、

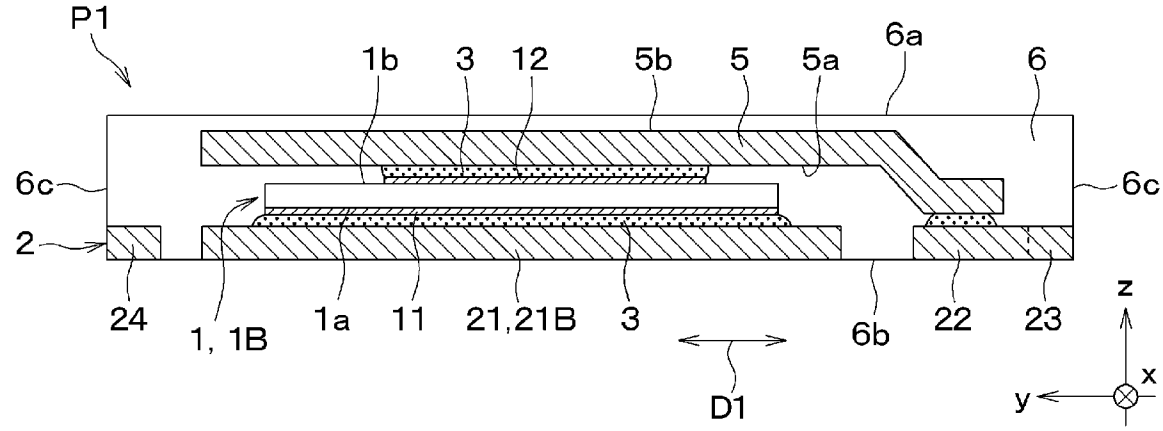
前記リードフレームは、前記ゲート電極と電気的に接続されるゲート端子（２４）を有し、

前記ゲート端子は、前記実装部のうち前記半導体素子が搭載される面に対する法線方向から見て、前記端部隙間の近傍であって、前記架橋部材とは重畳しない領域に配置されている、請求項１ないし３のいずれか１つに記載の半導体パッケージ。

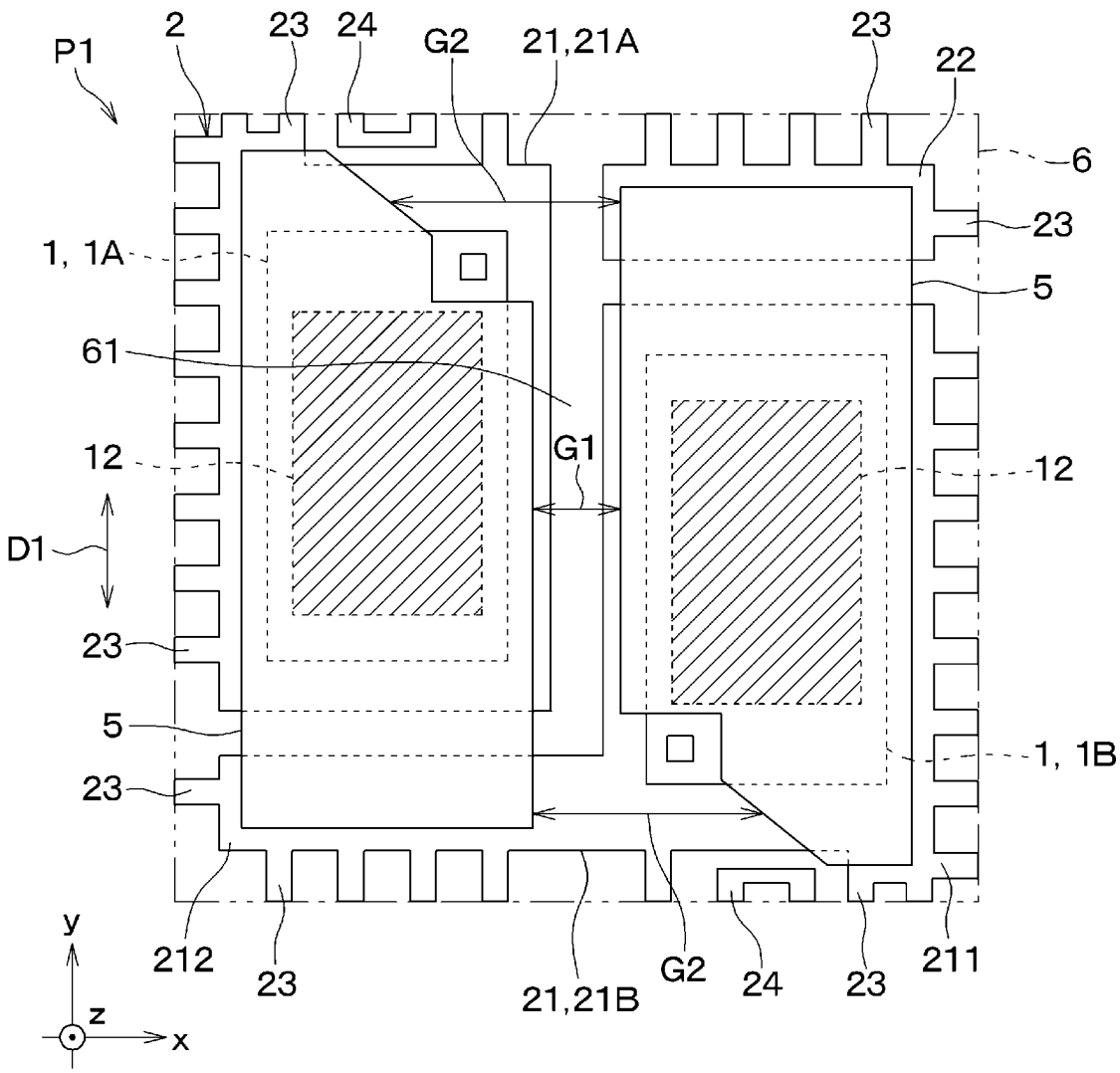
[図1]


P1
2
23
24
4
21,21A
Ⅱ
23
22
6
13
23
1, 1A
5
1b
61
12
12
D1
23
1b
5
1, 1B
23
y
z
x
212
23
21,21B
13
4
24
23
211
Ⅱ

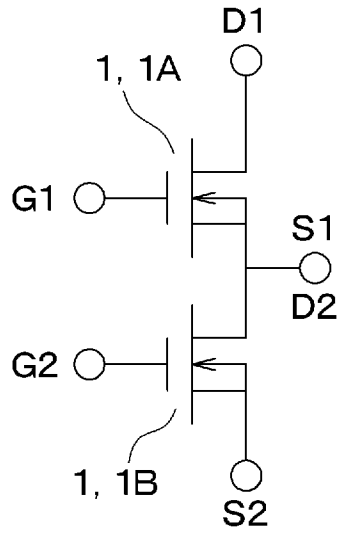
[図2]


P1
1b
3
12
5b
5
5a
6a
6
6c
6c
2
24
1, 1B
1a
11
21,21B
3
6b
22
23
D1
z
x
y

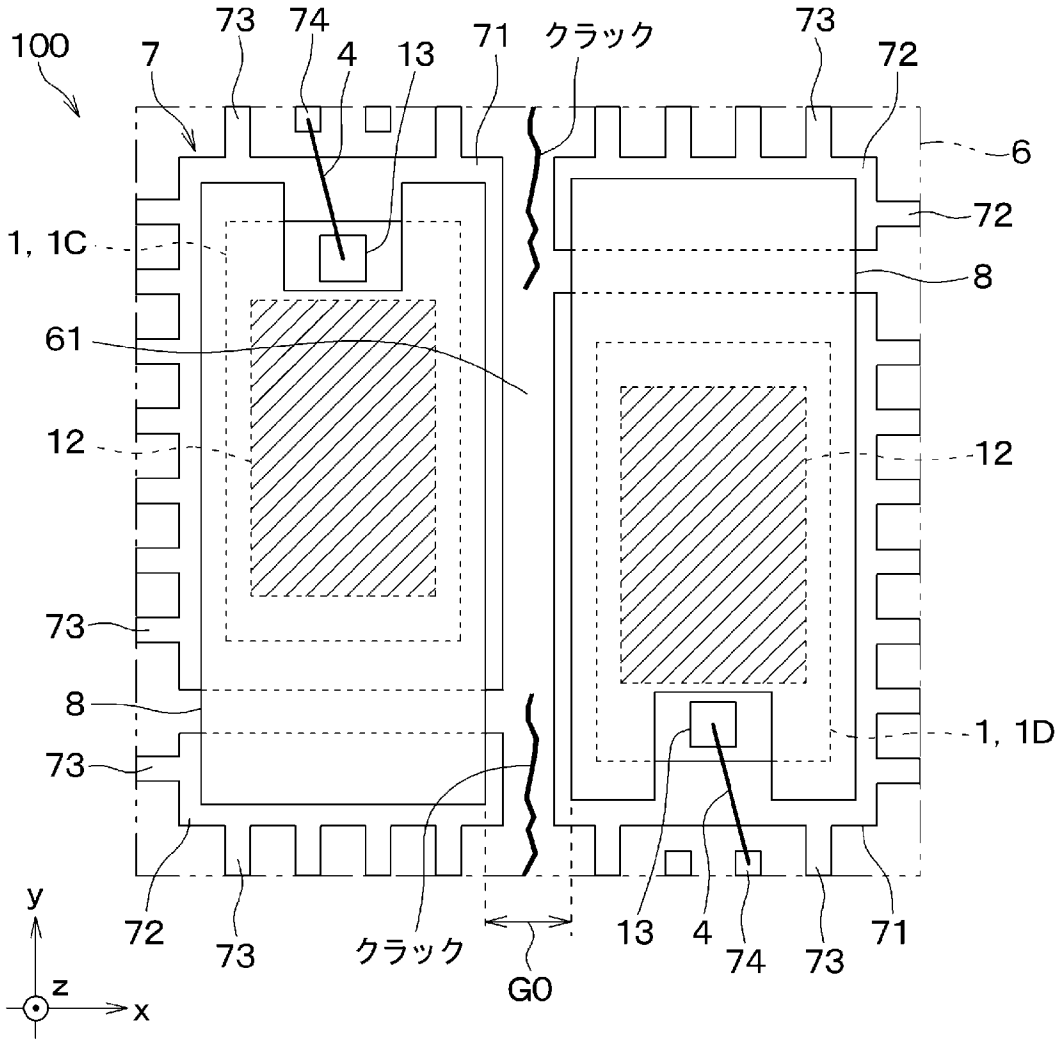
[図3]


P1
2
23
24
G2
21,21A
23
22
6
23
1, 1A
5
61
G1
12
12
D1
23
5
1, 1B
23
y
z
x
212
23
21,21B
G2
24
23
211

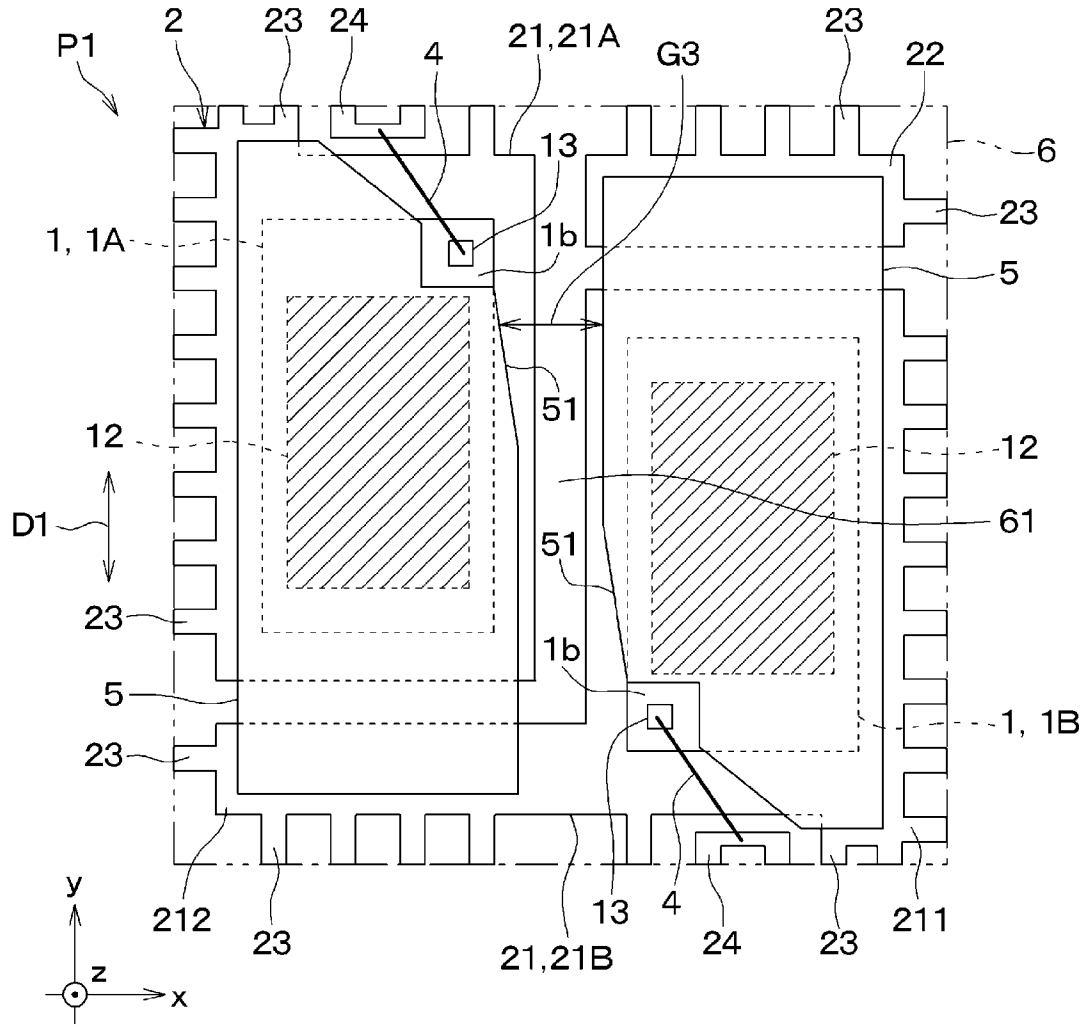
[図4]


D1
1, 1A
G1
S1
D2
G2
1, 1B
S2

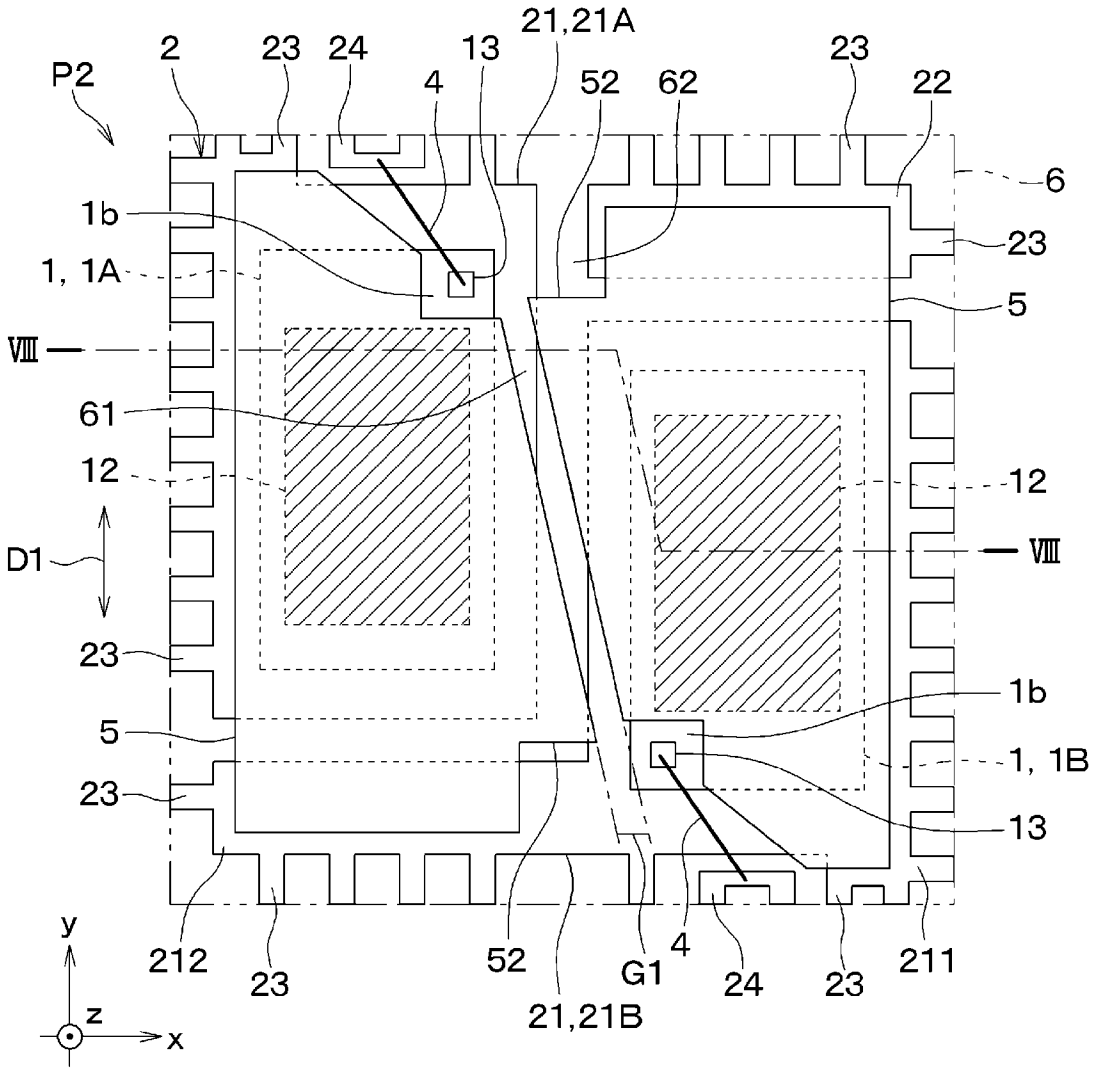
[図5]


100
7
73
74
4
13
71
クラック
73
72
6
72
8
1, 1C
61
12
12
73
8
1, 1D
73
72
73
クラック
G0
13
4
74
73
71
y
z
x

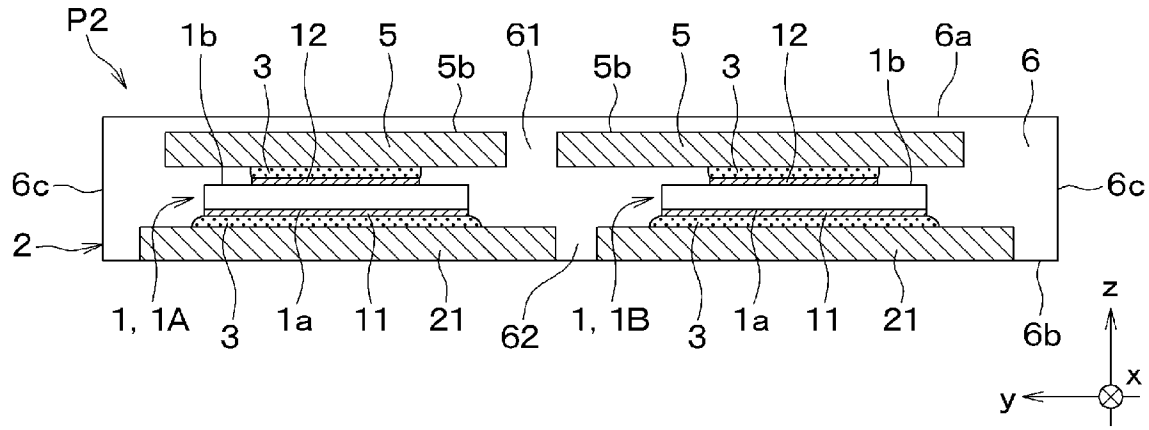
[図6]


P1
2
23
24
4
21,21A
G3
23
22
6
13
1b
1, 1A
23
5
51
12
12
D1
61
51
23
1b
5
1, 1B
23
y
z
x
212
23
13
4
24
23
211
21,21B

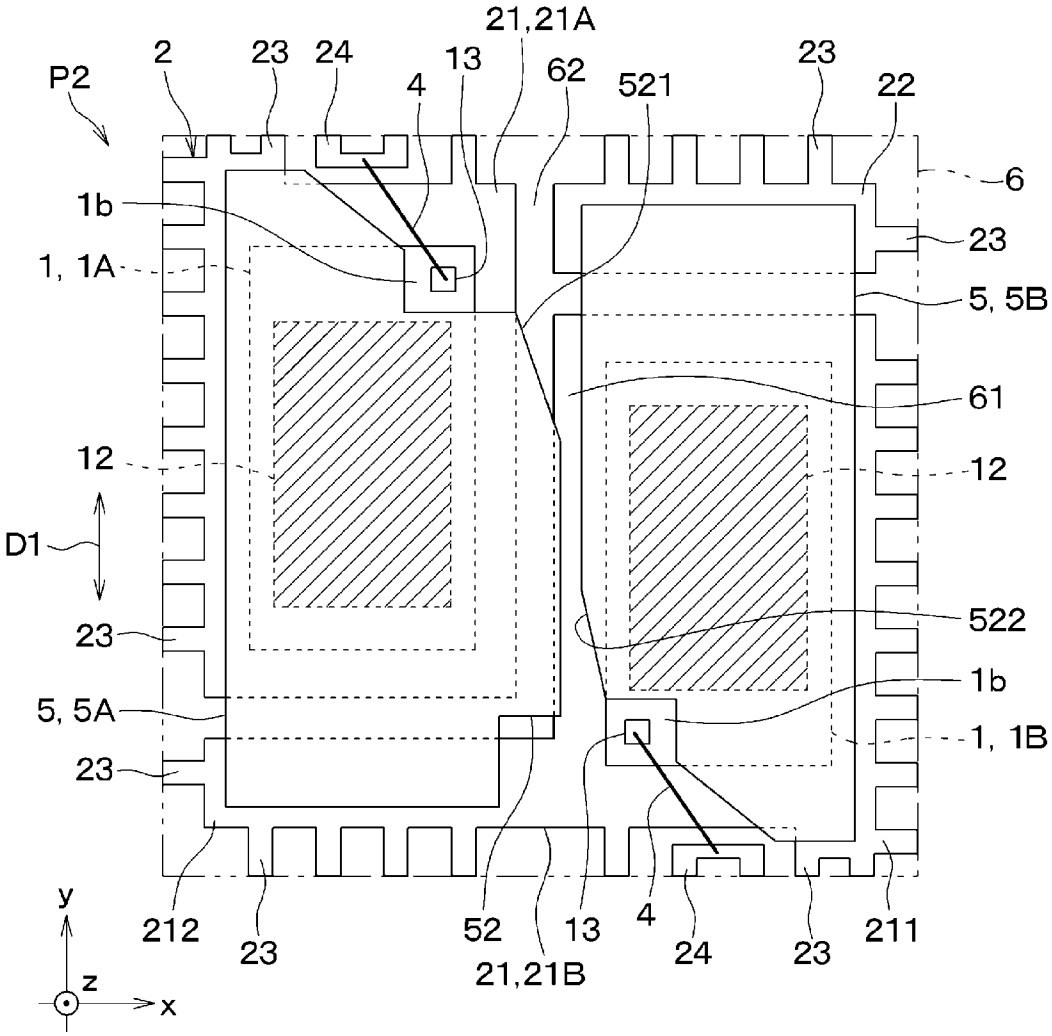
[図7]


P2
2
23
24
13
21,21A
4
52
62
23
22
6
1b
23
1, 1A
5
Ⅷ
61
12
12
D1
Ⅷ
23
1b
5
1, 1B
23
13
y
z
x
212
23
52
21,21B
G1
4
24
23
211

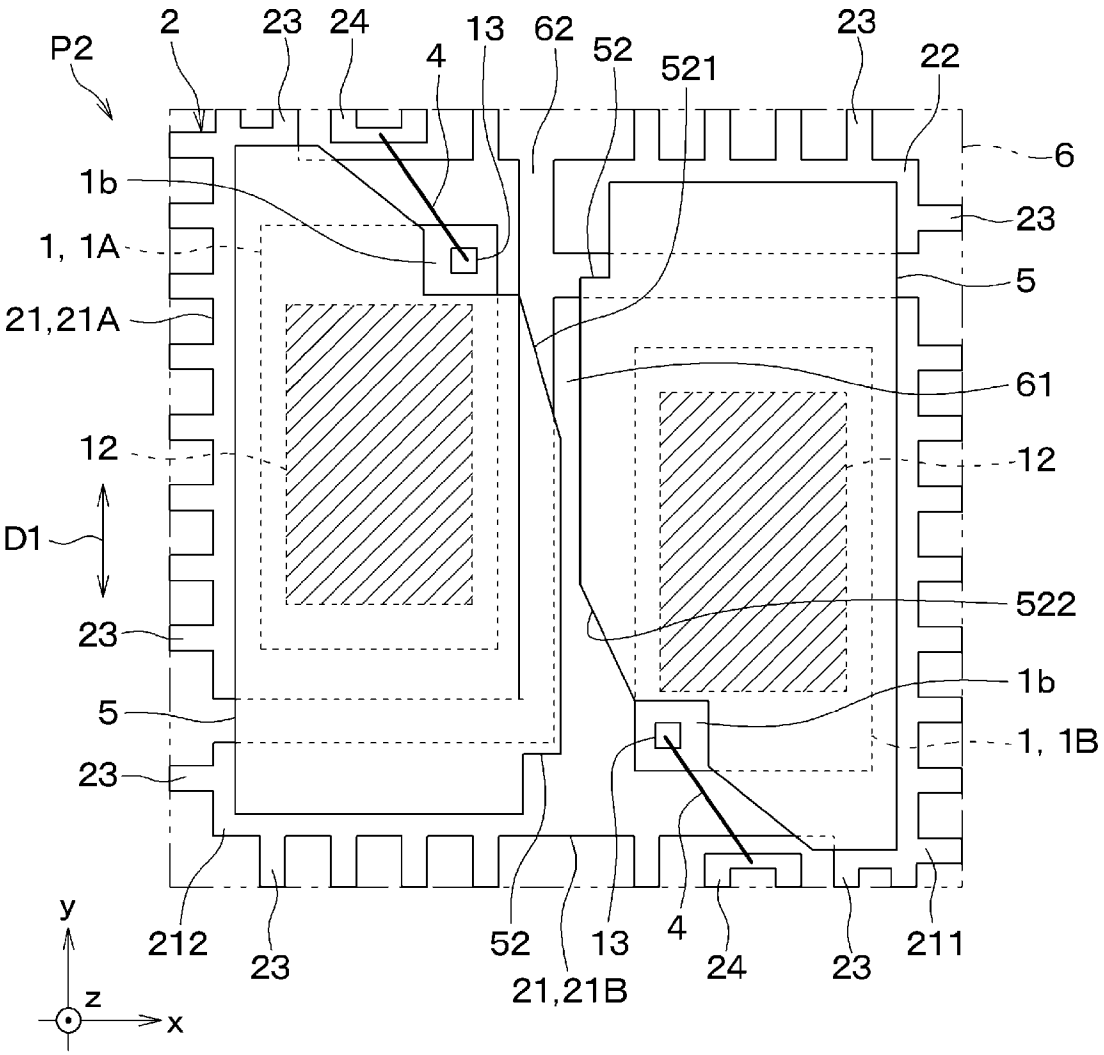
[図8]


P2
1b
3
12
5
5b
61
5b
5
3
12
1b
6a
6
6c
6c
2
1, 1A
3
1a
11
21
62
1, 1B
3
1a
11
21
6b
z
x
y

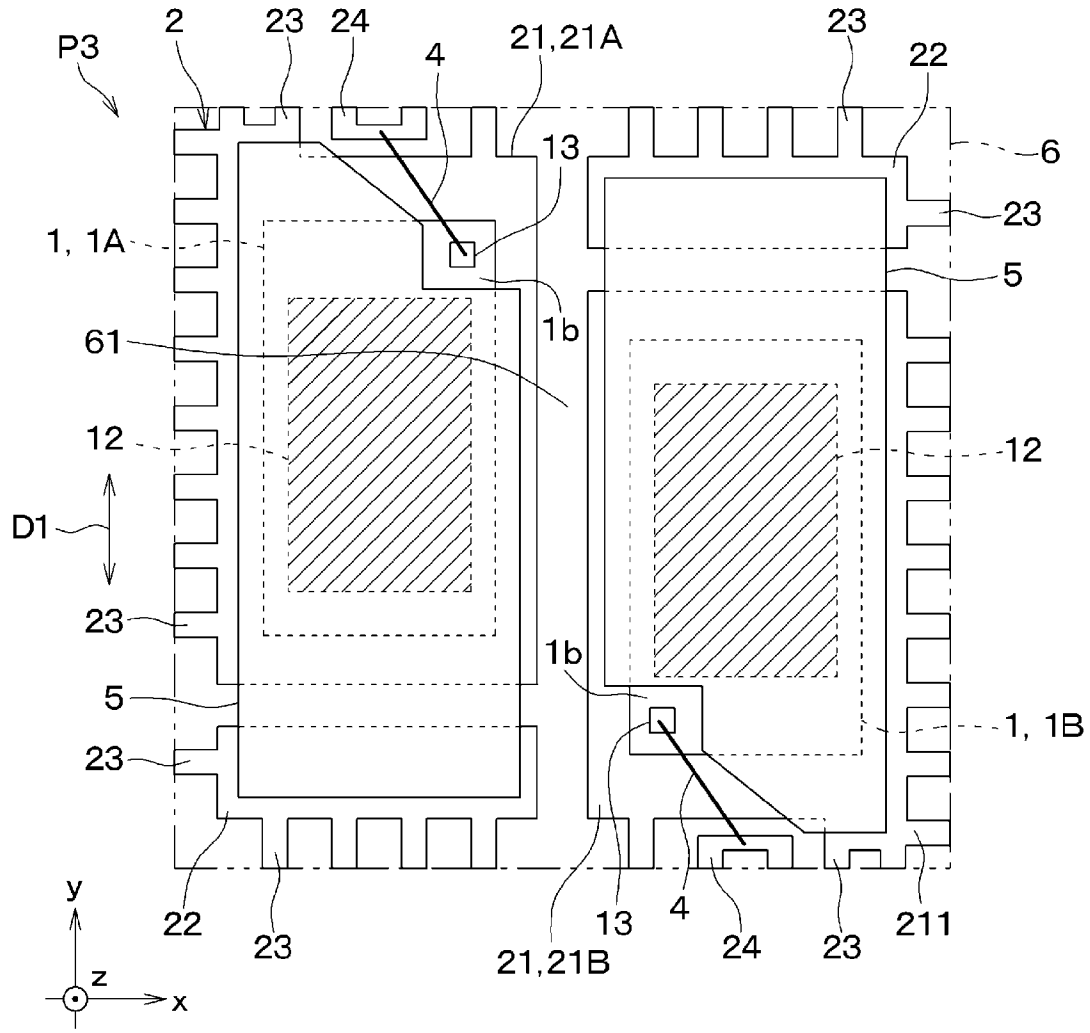
[図9]


21,21A
P2
2
23
24
13
62
521
23
22
4
6
1b
23
1, 1A
5, 5B
61
12
12
D1
522
23
1b
5, 5A
1, 1B
23
y
212
23
52
13
4
24
23
211
21,21B
z
x

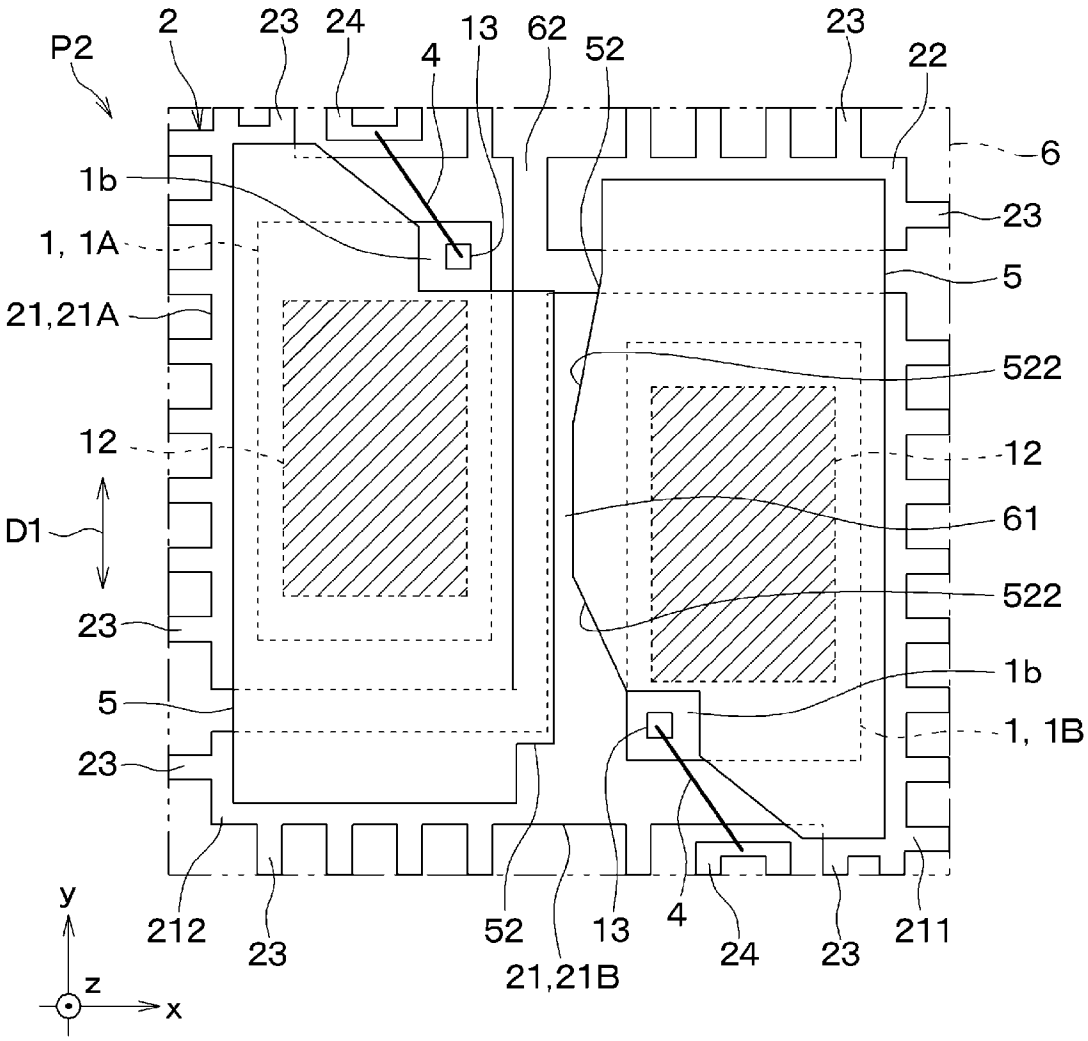
[図10]


P2
2
23
24
4
13
62
52
521
23
22
6
1b
23
1, 1A
5
21,21A
61
12
12
D1
522
23
1b
5
1, 1B
23
y
z
x
212
23
52
13
4
24
23
211
21,21B

[図11]


P3
2
23
24
4
21,21A
23
22
6
13
1, 1A
1b
5
61
12
12
D1
23
1b
5
1, 1B
23
22
23
13
4
24
23
211
21,21B
y
z
x

[図12]


P2
2
23
24
4
13
62
52
23
22
6
1b
23
1, 1A
5
21,21A
522
12
12
D1
61
522
23
1b
5
1, 1B
23
y
212
23
52
13
4
24
23
211
21,21B
z
x

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/030589

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/07(2006.01)i; ***H01L 21/60***(2006.01)i; ***H01L 23/29***(2006.01)i; ***H01L 23/48***(2006.01)i; ***H01L 25/18***(2023.01)i
FI: H01L25/04 C; H01L23/36 A; H01L23/48 G; H01L21/60 321E

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07; H01L21/60; H01L23/29; H01L23/48; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2021/005916 A1 (DENSO CORP) 14 January 2021 (2021-01-14) paragraphs [0105]-[0113], fig. 20, 21	1, 4
A		2, 3
X	JP 2022-99720 A (DENSO CORP) 05 July 2022 (2022-07-05) paragraphs [0127]-[0132], fig. 20	1, 2
A		3, 4
X	JP 2002-100716 A (TOSHIBA CORP) 05 April 2002 (2002-04-05) paragraphs [0029], [0030], [0039]-[0048], fig. 7, 8	1, 3, 4
A		2
A	DE 102019206811 A1 (ROBERT BOSCH GMBH) 12 November 2020 (2020-11-12) entire text, all drawings	1-4

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 October 2023	**07 November 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/030589

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2021/005916 A1	14 January 2021	US 2022/0115302 A1 paragraphs [0134]-[0142], fig. 20, 21 CN 114175234 A JP 2021-15857 A JP 7088132 B2	
JP 2022-99720 A	05 July 2022	US 2023/0326817 A1 paragraphs [0154]-[0159], fig. 20 WO 2022/138068 A1 CN 116783701 A JP 7331827 B2	
JP 2002-100716 A	05 April 2002	US 2002/0033541 A1 paragraphs [0029], [0030], [0054]-[0064], fig. 7A-7C US 2005/0121799 A1 TW 558816 B KR 10-2002-0023108 A CN 1345083 A	
DE 102019206811 A1	12 November 2020	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/030589

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 25/07(2006.01)i; H01L 21/60(2006.01)i; H01L 23/29(2006.01)i; H01L 23/48(2006.01)i; H01L 25/18(2023.01)i
FI: H01L25/04 C; H01L23/36 A; H01L23/48 G; H01L21/60 321E

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L25/07; H01L21/60; H01L23/29; H01L23/48; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	WO 2021/005916 A1 (株式会社デンソー) 14.01.2021 (2021-01-14) 段落[0105]-[0113],図20,21	1,4
A		2,3
X	JP 2022-99720 A (株式会社デンソー) 05.07.2022 (2022-07-05) 段落[0127]-[0132],図20	1,2
A		3,4
X	JP 2002-100716 A (株式会社東芝) 05.04.2002 (2002-04-05) 段落[0029],[0030],[0039]-[0048],図7,8	1,3,4
A		2
A	DE 102019206811 A1 (ROBERT BOSCH GMBH) 12.11.2020 (2020-11-12) 全文、全図	1-4

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
27.10.2023	07.11.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
正山　旭　5F 9276

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/030589

引用文献	公表日	パテントファミリー文献	公表日
WO 2021/005916 A1	14.01.2021	US 2022/0115302 A1 段落[0134]-[0142],図20,21 CN 114175234 A JP 2021-15857 A JP 7088132 B2	
JP 2022-99720 A	05.07.2022	US 2023/0326817 A1 段落[0154]-[0159],図20 WO 2022/138068 A1 CN 116783701 A JP 7331827 B2	
JP 2002-100716 A	05.04.2002	US 2002/0033541 A1 段落[0029],[0030],[0054]-[0064],図7A-7C US 2005/0121799 A1 TW 558816 B KR 10-2002-0023108 A CN 1345083 A	
DE 102019206811 A1	12.11.2020	（ファミリーなし）	