

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-20352

(P2007-20352A)

(43) 公開日 平成19年1月25日(2007.1.25)

(51) Int. Cl. F I テーマコード (参考)
 H O 2 M 3 / 1 5 5 H 5 H 7 3 0
 H O 2 M 3 / 1 5 5 H 5 H 7 3 0

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2005-201091 (P2005-201091)	(71) 出願人	000116024 ローム株式会社
(22) 出願日	平成17年7月11日 (2005. 7. 11)	(74) 代理人	100105924 弁理士 森下 賢樹
		(72) 発明者	福森 啓貴 京都府京都市右京区西院溝崎町2 1 番地 ローム株式会社内
		Fターム(参考)	5H730 AA04 AS01 AS19 BB03 BB13 EE07 EE13 FD01 FF05 FG22 FG25

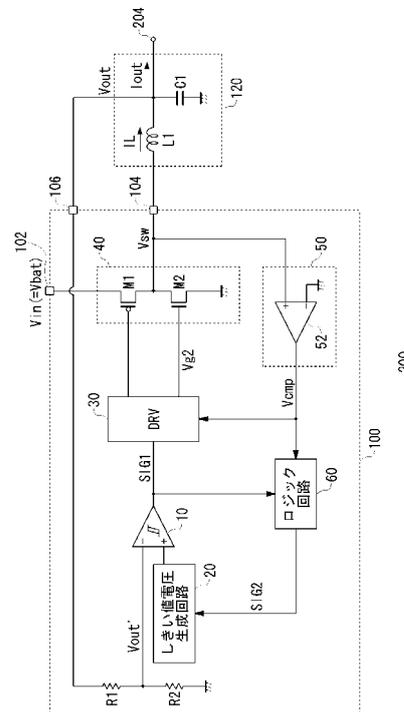
(54) 【発明の名称】 降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器

(57) 【要約】

【課題】 ヒステリシスコンパレータを用いた同期整流方式の降圧型スイッチングレギュレータにおいて、軽負荷時の出力電圧のリプルを低減する。

【解決手段】 同期整流方式の降圧型スイッチングレギュレータ200のスイッチング素子をオンオフする制御回路100において、ヒステリシスコンパレータ10は、降圧型スイッチングレギュレータ200の出力電圧Voutに応じた検出電圧Vout'を、第1しきい値電圧Vth1および第2しきい値電圧Vth2 (Vth2 < Vth1) と比較する。軽負荷検出回路50は、負荷が軽負荷状態であることを検出する。ドライバ回路30は、ヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづき、スイッチング素子をオンオフする。ヒステリシスコンパレータ10は、軽負荷検出回路50による軽負荷状態の検出を契機として、第2しきい値電圧Vth2を所定電圧幅だけ高電位側にシフトする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

同期整流方式の降圧型スイッチングレギュレータのスイッチング素子をオンオフする制御回路であって、

前記降圧型スイッチングレギュレータの出力電圧に応じた検出電圧を、第 1 しきい値電圧および前記第 1 しきい値電圧より低い第 2 しきい値電圧と比較するヒステリシスコンパレータと、

前記降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する軽負荷検出回路と、

前記ヒステリシスコンパレータから出力されるパルス信号にもとづき、前記スイッチング素子をオンオフするドライバ回路と、を備え、 10

前記ヒステリシスコンパレータは、前記軽負荷検出回路による軽負荷状態の検出を契機として、前記第 2 しきい値電圧を所定電圧幅だけ高電位側にシフトし、かつ、

前記ドライバ回路は、前記軽負荷検出回路によって軽負荷状態が検出されると、前記検出電圧が前記第 1 しきい値電圧まで上昇してからシフト後の前記第 2 しきい値電圧まで下降するまでの期間、前記スイッチング素子のオンオフを停止することを特徴とする制御回路。

【請求項 2】

前記ヒステリシスコンパレータは、前記軽負荷状態の検出から所定の遅延時間経過後に、前記第 2 しきい値電圧を高電位側にシフトすることを特徴とする請求項 1 に記載の制御回路。 20

【請求項 3】

前記ヒステリシスコンパレータは、前記第 2 しきい値電圧を高電位側にシフトした後、前記検出電圧がシフト後の前記第 2 しきい値電圧まで降下したことを契機として、前記第 2 しきい値電圧を前記所定電圧幅だけ低電位側に再シフトすることを特徴とする請求項 1 に記載の制御回路。

【請求項 4】

前記ヒステリシスコンパレータは、出力端子と、前記検出電圧が入力される端子間に直列に接続された帰還抵抗および帰還キャパシタを備えることを特徴とする請求項 1 に記載の制御回路。 30

【請求項 5】

前記ヒステリシスコンパレータは、
前記検出電圧と、前記第 1 しきい値電圧と、を比較する第 1 コンパレータと、
前記検出電圧と、前記第 2 しきい値電圧と、を比較する第 2 コンパレータと、
前記第 1 コンパレータおよび前記第 2 コンパレータの出力信号によりセット、リセットされるフリップフロップ回路と、
を含み、前記フリップフロップ回路の出力信号を前記パルス信号として出力することを特徴とする請求項 1 から 4 のいずれかに記載の制御回路。

【請求項 6】

前記第 1、第 2 しきい値電圧を生成するしきい値電圧生成回路をさらに備え、 40
当該しきい値電圧生成回路は、
所定の基準電圧が印加される基準電圧端子と接地間に直列に接続された複数の分圧抵抗と、

を含み、前記複数の分圧抵抗の接続点に現れる電圧のいずれかを選択して前記第 1、第 2 しきい値電圧として出力することを特徴とする請求項 5 に記載の制御回路。

【請求項 7】

前記軽負荷検出回路は、
前記スイッチング素子であるスイッチングトランジスタおよび同期整流用トランジスタの接続点に現れるスイッチング電圧を、接地電位と比較する軽負荷検出コンパレータを含み、前記同期整流用トランジスタがオンの期間において、前記スイッチング電圧が接地電 50

位を上回ったとき、軽負荷状態と判定することを特徴とする請求項 1 から 4 のいずれかに記載の制御回路。

【請求項 8】

1 つの半導体基板上に一体集積化されることを特徴とする請求項 1 から 4 のいずれかに記載の制御回路。

【請求項 9】

一端が接地された出力キャパシタおよび前記出力キャパシタの他端にその一端が接続された出力インダクタを含むスイッチングレギュレータ出力回路と、

前記スイッチングレギュレータ出力回路に、スイッチング電圧を供給する請求項 1 から 4 のいずれかに記載の制御回路と、

を備え、前記出力キャパシタの他端の電圧を出力することを特徴とする降圧型スイッチングレギュレータ。

【請求項 10】

電池と、

マイクロプロセッサと、

前記電池から出力される電池電圧を降圧して前記マイクロプロセッサに供給する請求項 9 に記載の降圧型スイッチングレギュレータと、

を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、降圧型スイッチングレギュレータに関し、特に同期整流方式のスイッチングレギュレータの制御技術に関する。

【背景技術】

【0002】

近年の携帯電話、PDA (Personal Digital Assistant)、ノート型パーソナルコンピュータなどのさまざまな電子機器に、デジタル信号処理を行うマイクロプロセッサが搭載されている。こうしたマイクロプロセッサの駆動に必要とされる電源電圧は、半導体製造プロセスの微細化に伴って低下しており、1.5V 以下の低電圧で動作するものがある。

【0003】

一方、こうした電子機器にはリチウムイオン電池などが電源として搭載される。リチウムイオン電池から出力される電圧は、3V ~ 4V 程度であり、この電圧をそのままマイクロプロセッサに供給したのでは、無駄な電力消費が発生するため、降圧型のスイッチングレギュレータや、シリースレギュレータなどを用いて電池電圧を降圧し、定電圧化してマイクロプロセッサに供給するのが一般的である。

【0004】

降圧型のスイッチングレギュレータは、整流用のダイオードを用いる方式（以下、ダイオード整流方式という）と、ダイオードの代わりに、整流用トランジスタを用いる方式（以下、同期整流方式という）が存在する。前者の場合、負荷に流れる負荷電流が低いときに高効率を得られるという利点を有するが、制御回路の外部に、インダクタ、キャパシタに加えてダイオードが必要となるため、回路面積が大きくなる。後者の場合、負荷に供給する電流が小さいときの効率は、前者に比べて劣るが、ダイオードの代わりにトランジスタを用いるため、LSI の内部に集積化することができ、周辺部品を含めた回路面積としては小型化が可能となる。携帯電話などの電子機器において、小型化が要求される場合には、整流用トランジスタを用いたスイッチングレギュレータ（以下、同期整流方式スイッチングレギュレータという）が用いられることが多い。

【0005】

ここで、上述の電子機器に用いられるマイクロプロセッサに着目すると、演算処理を行う動作時においては、ある程度の電流が流れる一方、待機時にはわずかな電流しか流れな

10

20

30

40

50

ない。図6(a)、(b)はそれぞれ、同期整流方式の降圧型スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。同図において、 I_L は、出力インダクタに流れる電流(以下、インダクタ電流 I_L ともいう)を、 I_{out} は負荷電流を表しており、インダクタ電流 I_L の時間平均値が負荷電流 I_{out} となる。図6(a)に示すように、重負荷時においては、負荷電流 I_{out} が大きいため、インダクタ電流 I_L は常に正の値となる。ここで、インダクタ電流 I_L は、負荷に向かって流れる方向が正である。ところが、図6(b)に示すように、軽負荷時において負荷電流 I_{out} が減少すると、インダクタ電流 I_L が斜線部のように負となり、インダクタ電流 I_L の向きが反転する。その結果、同期整流方式では、軽負荷時において、出力インダクタから同期整流用トランジスタを介して接地に対して電流が流れることになる。この電流は、負荷に供給されず、出力キャパシタから供給されるものであるため、電力を無駄に消費していることになる。

10

【0006】

たとえば、特許文献1から3には、負荷電流に応じて同期整流方式とダイオード整流方式とを切り替えるスイッチングレギュレータが開示されている。特許文献2、3に記載される技術では、インダクタ電流 I_L をモニタし、その向きが正から負に反転すると、同期整流用トランジスタをオフしてスイッチング動作を停止することにより、高効率化を図っている。

【特許文献1】特開2004-32875号公報

【特許文献2】特開2002-252971号公報

20

【特許文献3】特開2003-319643号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明者は、スイッチングレギュレータの出力電圧に応じた検出電圧を、ヒステリシスコンパレータを用いて高低2つの第1しきい値電圧および第2しきい値電圧と比較し、その比較結果にもとづいて、スイッチングトランジスタおよび同期整流用トランジスタを駆動するスイッチングレギュレータについて考察した結果、以下の課題を認識するに至った。

【0008】

ヒステリシスコンパレータを用いたスイッチングレギュレータにおいて、出力電圧の変動幅を小さくするためには、第1しきい値電圧と第2しきい値電圧の差、すなわちヒステリシス幅はなるべく狭く設定することが望ましい。しかしながら、ヒステリシス幅を狭くしすぎると、ノイズなどがスイッチング制御に影響をおよぼすおそれがある。また、プロセスばらつきなどによってヒステリシス幅は変動するため、ヒステリシス幅を狭くしすぎると、プロセスばらつきによってスイッチング制御に影響を受けてしまう。このような事情から、ヒステリシス幅は、所定の大きさ以上に設定する必要がある。

30

【0009】

上記特許文献に記載されるように、軽負荷状態においてスイッチング動作を停止すると、出力電圧の低下にともなって検出電圧も徐々に低下する。そこで、検出電圧がヒステリシスコンパレータの第2しきい値電圧まで低下すると、再びスイッチング動作を再開して出力電圧を上昇させる必要がある。一方、軽負荷状態においてスイッチング動作を停止すると、スイッチング動作を再開する際に、ある程度の遅延が発生してしまう。その結果、検出電圧が第2しきい値電圧まで低下したことを契機としてスイッチング動作を再開しようとしても、検出電圧はこの遅延時間の間、低下し続けてしまうため、出力電圧のリプルが大きくなってしまう。

40

【0010】

本発明はかかる課題に鑑みてなされたものであり、その目的は、ヒステリシスコンパレータを用いた同期整流方式の降圧型スイッチングレギュレータにおいて、軽負荷時の出力電圧のリプルを低減することにある。

50

【課題を解決するための手段】

【0011】

本発明のある態様の制御回路は、同期整流方式の降圧型スイッチングレギュレータのスイッチング素子をオンオフする制御回路に関する。この制御回路は、降圧型スイッチングレギュレータの出力電圧に応じた検出電圧を、第1しきい値電圧および第1しきい値電圧より低い第2しきい値電圧と比較するヒステリシスコンパレータと、降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する軽負荷検出回路と、ヒステリシスコンパレータから出力されるパルス信号にもとづき、スイッチング素子をオンオフするドライバ回路と、を備える。ヒステリシスコンパレータは、軽負荷検出回路による軽負荷状態の検出を契機として、第2しきい値電圧を所定電圧幅だけ高電位側にシフトする。ドライバ回路は、軽負荷検出回路によって軽負荷状態が検出されると、検出電圧が第1しきい値電圧まで上昇してからシフト後の第2しきい値電圧まで下降するまでの期間、スイッチング素子のオンオフを停止する。

10

【0012】

この態様によると、軽負荷状態において、スイッチング素子のスイッチング動作を停止した場合に、スイッチング動作を再開するのに要する時間を考慮して、第2しきい値電圧を上昇させることにより、スイッチングレギュレータの出力電圧が低下しすぎるのを防止し、リップルを抑制することができる。

【0013】

ヒステリシスコンパレータは、軽負荷状態の検出から所定の遅延時間経過後に、第2しきい値電圧を高電位側にシフトしてもよい。

20

この場合、軽負荷状態が検出され、ドライバ回路がスイッチング動作を停止した後、すぐに負荷が重くなった場合に、シフト前の第2しきい値電圧にもとづいてスイッチング素子を駆動することができる。

【0014】

ヒステリシスコンパレータは、第2しきい値電圧を高電位側にシフトした後、検出電圧がシフト後の第2しきい値電圧まで降下したことを契機として、第2しきい値電圧を所定電圧幅だけ低電位側に再シフトしてもよい。

【0015】

ヒステリシスコンパレータは、出力端子と、検出電圧が入力される端子間に直列に接続された帰還抵抗および帰還キャパシタを備えてもよい。

30

【0016】

ヒステリシスコンパレータは、検出電圧と第1しきい値電圧とを比較する第1コンパレータと、検出電圧と第2しきい値電圧とを比較する第2コンパレータと、第1コンパレータおよび第2コンパレータの出力信号によりセット、リセットされるフリップフロップ回路と、を含み、フリップフロップ回路の出力信号をパルス信号として出力してもよい。

また、制御回路は、第1、第2しきい値電圧を生成するしきい値電圧生成回路をさらに備えてもよい。このしきい値電圧生成回路は、所定の基準電圧が印加される基準電圧端子と接地間に直列に接続された複数の分圧抵抗と、を含み、複数の分圧抵抗の接続点に現れる電圧のいずれかを選択して第1、第2しきい値電圧として出力してもよい。

40

ヒステリシスコンパレータを上記構成とすることにより、ヒステリシスコンパレータのしきい値電圧を必要に応じて好適に制御することができる。

【0017】

軽負荷検出回路は、スイッチング素子であるスイッチングトランジスタおよび同期整流用トランジスタの接続点に現れるスイッチング電圧を、接地電位と比較する軽負荷検出コンパレータを含み、同期整流用トランジスタがオンの期間において、スイッチング電圧が接地電位を上回ったとき、軽負荷状態と判定してもよい。

軽負荷状態において、出力インダクタに流れる電流の向きが反転すると、同期整流用トランジスタには、接地に向かって電流が流れるため、スイッチング電圧は正電圧となる。したがって、スイッチング電圧を監視することにより、軽負荷状態を好適に検出すること

50

ができる。

【0018】

制御回路は、1つの半導体基板上に一体集積化されてもよい。なお、「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

【0019】

本発明の別の態様は、降圧型スイッチングレギュレータである。この降圧型スイッチングレギュレータは、一端が接地された出力キャパシタおよび出力キャパシタの他端にその一端が接続された出力インダクタを含むスイッチングレギュレータ出力回路と、スイッチングレギュレータ出力回路に、スイッチング電圧を供給する上述の制御回路と、を備え、出力キャパシタの他端の電圧を出力する。

10

【0020】

この態様によると、降圧型スイッチングレギュレータの出力電圧が軽負荷状態において低下しすぎるのを防止し、リップルを低減することができる。

【0021】

本発明のさらに別の態様は、電子機器である。この電子機器は、電池と、マイクロプロセッサと、電池から出力される電池電圧を降圧してマイクロプロセッサに供給する上述の降圧型スイッチングレギュレータと、を備える。

【0022】

この態様によると、降圧型スイッチングレギュレータの出力電圧のリップルを低減されるため、マイクロプロセッサを安定に動作させることができる。

20

【0023】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0024】

本発明に係るヒステリシスコンパレータを用いた降圧型スイッチングレギュレータおよびその制御回路によれば、軽負荷時の出力電圧のリップルを低減することができる。

【発明を実施するための最良の形態】

30

【0025】

図1は、実施の形態に係る降圧型スイッチングレギュレータ200の構成を示す回路図である。図2は、図1の降圧型スイッチングレギュレータ200を搭載した電子機器300の構成を示すブロック図である。電子機器300は、たとえば携帯電話端末やCDプレイヤー、PDAなどの電池駆動型の小型情報端末である。以下の実施の形態では、電子機器300は携帯電話端末として説明する。

【0026】

電子機器300は、電池310、電源装置320、アナログ回路330、デジタル回路340、マイクロプロセッサ350、LED360を含む。電池310は、たとえばリチウムイオン電池であり、電池電圧 V_{bat} として3~4V程度を出力する。アナログ回路330は、パワーアンプや、アンテナスイッチ、LNA (Low Noise Amplifier)、ミキサやPLL (Phase Locked Loop) などの高周波回路を含み、電源電圧 $V_{cc} = 3.4V$ 程度で安定動作する回路ブロックを含む。また、デジタル回路340は、各種DSP (Digital Signal Processor) などを含み、電源電圧 $V_{dd} = 3.4V$ 程度で安定動作する回路ブロックを含む。マイクロプロセッサ350は、電子機器300全体を統括的に制御するブロックであり、電源電圧1.5Vで動作する。LED360は、RGB3色のLED (Light Emitting Diode) を含み、液晶のバックライトや、照明として用いられ、その駆動には、4V以上の駆動電圧が要求される。

40

【0027】

50

電源装置 320 は、多チャンネルのスイッチング電源であり、各チャンネルごと必要に応じて、電池電圧 V_{bat} を降圧、または昇圧する複数のスイッチングレギュレータを備え、アナログ回路 330、デジタル回路 340、マイクロプロセッサ 350、LED 360 に対して適切な電源電圧を供給する。

【0028】

本実施の形態に係る図 1 の降圧型スイッチングレギュレータ 200 は、たとえば 1.5 V で動作するマイクロプロセッサ 350 のように、消費電流が動作状態に応じて変化する負荷に対して、安定な電圧を駆動する用途に好適に用いられる。以下、図 1 に戻り、本実施の形態に係る降圧型スイッチングレギュレータ 200 の構成について詳細に説明する。

【0029】

降圧型スイッチングレギュレータ 200 は、同期整流方式の降圧型スイッチングレギュレータであり、制御回路 100、スイッチングレギュレータ出力回路 120 を含む。制御回路 100 は、ひとつの半導体基板に集積化された LSI チップであり、スイッチング素子として機能するスイッチングトランジスタ M1、同期整流用トランジスタ M2 は、この制御回路 100 に内蔵される。スイッチングトランジスタ M1、同期整流用トランジスタ M2 は、ディスクリート素子を用いて制御回路 100 の外部に設けてもよい。

10

【0030】

スイッチングレギュレータ出力回路 120 は、出力インダクタ L1、出力キャパシタ C1 を含む。出力キャパシタ C1 は一端が接地され、他端が出力インダクタ L1 の一端に接続される。出力インダクタ L1 の他端は、制御回路 100 と接続される。降圧型スイッチングレギュレータ 200 は、出力キャパシタ C1 に現れる電圧を出力電圧 V_{out} として、図示しない負荷に出力する。本実施の形態において、負荷は、図 2 のマイクロプロセッサ 350 に相当する。

20

【0031】

この降圧型スイッチングレギュレータ 200 は、制御回路 100 によって出力インダクタ L1 に流れる電流を制御してエネルギー変換を行い、入力電圧 V_{in} を降圧する。降圧された電圧は、出力キャパシタ C1 により平滑化され、出力端子 204 に接続される負荷に出力電圧 V_{out} として供給される。以下、負荷に流れる電流を負荷電流 I_{out} 、出力インダクタ L1 に流れる電流をインダクタ電流 I_L という。また、インダクタ電流 I_L は、負荷に向かって流れる向きを正方向とする。

30

【0032】

制御回路 100 は、入力・出力端子として、入力端子 102、スイッチング端子 104、電圧帰還端子 106 を備える。入力端子 102 には電池 310 が接続され、入力電圧 V_{in} として電池電圧 V_{bat} が入力される。また、スイッチング端子 104 は、出力インダクタ L1 に接続され、制御回路 100 の内部で生成したスイッチング電圧 V_{sw} を出力する。また、電圧帰還端子 106 は、図示しない負荷に印加される出力電圧 V_{out} が帰還される端子である。

【0033】

制御回路 100 は、ヒステリシスコンパレータ 10、しきい値電圧生成回路 20、ドライバ回路 30、出力段 40、軽負荷検出回路 50、第 1 抵抗 R1、第 2 抵抗 R2 を含む。

40

【0034】

出力段 40 は、スイッチング素子であるスイッチングトランジスタ M1、同期整流用トランジスタ M2 を含む。スイッチングトランジスタ M1 は、P チャンネル MOS トランジスタであって、ソースは入力端子 102 に接続され、ドレインはスイッチング端子 104 に接続される。スイッチングトランジスタ M1 のバックゲートは入力端子 102 と接続される。

【0035】

同期整流用トランジスタ M2 は、N チャンネル MOS トランジスタであって、ソースは接地され、ドレインはスイッチングトランジスタ M1 のドレインおよびスイッチング端子 104 と接続される。また、同期整流用トランジスタ M2 のバックゲートは接地されてい

50

る。

【0036】

スイッチングトランジスタM1、同期整流用トランジスタM2は、入力電圧Vinが印加される入力端子102と接地間に直列に接続されており、2つのトランジスタの接続点の電圧を、スイッチング電圧Vswとして本制御回路100の外部に接続される出力インダクタL1の一端に印加する。

【0037】

第1抵抗R1、第2抵抗R2は、電圧帰還端子106に帰還された出力電圧Voutを分圧し、出力電圧Voutに比例した検出電圧 $V_{out}' = R2 / (R1 + R2) \times V_{out}$ を出力する。ヒステリシスコンパレータ10は、降圧型スイッチングレギュレータ200の出力電圧Voutに応じた検出電圧 V_{out}' を、高低2つしきい値電圧と比較する。以下、2つのしきい値電圧のうち、高い方を第1しきい値電圧Vth1、低い方を第2しきい値電圧Vth2という。第1しきい値電圧Vth1、第2しきい値電圧Vth2は、しきい値電圧生成回路20によって生成される。

10

【0038】

図3は、ヒステリシスコンパレータ10およびしきい値電圧生成回路20の構成を示す回路図である。

しきい値電圧生成回路20は、複数の分圧抵抗R20~R23、第1スイッチSW1、第2スイッチSW2を含む。しきい値電圧生成回路20は、その第1出力端子20aから第1しきい値電圧Vth1を出力し、第2出力端子20bから第2しきい値電圧Vth2

20

【0039】

分圧抵抗R20~R23は、所定の基準電圧Vrefが印加される基準電圧端子22と接地間に直列に接続される。分圧抵抗R23と分圧抵抗R22の接続点に現れる電圧は、第1出力端子20aから第1しきい値電圧Vth1として出力される。

また、分圧抵抗R20および分圧抵抗R21の接続点は、第1スイッチSW1を介して第2出力端子20bと接続される。分圧抵抗R21と分圧抵抗R22の接続点は、第2スイッチSW2を介して第2出力端子20bと接続される。本実施の形態においては、制御信号SIG2がローレベルのとき第1スイッチSW1がオンし、ハイレベルのとき第2スイッチSW2がオンするものとする。したがって、第2出力端子20bから出力される第2しきい値電圧Vth2は、電圧値Vth2Lと、これを所定電圧幅Vだけ高電位側にシフトした電圧値Vth2Hの2値で切り替えられるようになっている。

30

【0040】

ヒステリシスコンパレータ10は、第1コンパレータ12、第2コンパレータ14、RSフリップフロップ16、帰還キャパシタCfb、帰還抵抗Rfbを備える。

第1コンパレータ12は、入力端子10aに入力された検出電圧 V_{out}' と、第1しきい値電圧Vth1と、を比較する。第2コンパレータ14は、検出電圧 V_{out}' と、第2しきい値電圧Vth2と、を比較する。RSフリップフロップ16のセット端子には第2コンパレータ14の出力が接続され、リセット端子には第1コンパレータ12の出力が接続される。ヒステリシスコンパレータ10は、RSフリップフロップ16の出力信号をパルス信号SIG1として出力端子10bから出力する。また、ヒステリシスコンパレータ10の入力端子10aと出力端子10b間には、帰還キャパシタCfb、帰還抵抗Rfbが直列に接続されている。

40

【0041】

図1に戻る。ドライバ回路30は、ヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづき、スイッチングトランジスタM1および同期整流用トランジスタM2を相補的にオンオフする。ドライバ回路30は、パルス信号SIG1がハイレベルのときスイッチングトランジスタM1をオン、パルス信号SIG1がローレベルのとき、同期整流用トランジスタM2をオンとする。

【0042】

50

軽負荷検出回路50は、降圧型スイッチングレギュレータに接続される負荷が軽負荷状態であることを検出する。軽負荷検出回路50は、軽負荷検出コンパレータ52を含む。軽負荷検出コンパレータ52は、スイッチングトランジスタM1および同期整流用トランジスタM2の接続点に現れるスイッチング電圧 V_{sw} と、接地電位を比較する。軽負荷検出コンパレータ52から出力される比較信号 V_{cmp} は、 $V_{sw} > 0V$ のときハイレベル、 $V_{sw} < 0V$ のときローレベルとなる。比較信号 V_{cmp} は、ロジック回路60およびドライバ回路30へと出力される。

【0043】

ドライバ回路30は、同期整流用トランジスタM2がオンの期間、すなわちそのゲート電圧 V_{g2} がハイレベルの期間に、スイッチング電圧 V_{sw} が接地電位を上回り、ハイレベルの比較信号 V_{cmp} が出力されると、同期整流用トランジスタM2のゲート電圧 V_{g2} を強制的にローレベルに固定する。その結果、検出電圧 V_{out}' が第2しきい値電圧 V_{th2} まで降下し、ヒステリシスコンパレータ10から出力されるパルス信号SIG1がハイレベルとなるまでの期間、スイッチングトランジスタM1、同期整流用トランジスタM2のスイッチング動作は停止されることになる。すなわち、ドライバ回路30は、軽負荷検出回路50によって軽負荷状態が検出されると、検出電圧 V_{out}' が第1しきい値電圧 V_{th1} から第2しきい値電圧 V_{th2} に降下するまでの期間、スイッチング素子のオンオフを停止する。

10

【0044】

ロジック回路60には、ヒステリシスコンパレータ10から出力されるパルス信号SIG1、軽負荷検出回路50から出力される比較信号 V_{cmp} が入力される。ロジック回路60は、入力された2つの信号にもとづいて制御信号SIG2を生成する。ロジック回路60は、ハイレベルの比較信号 V_{cmp} が入力されると、所定の遅延時間経過後に、制御信号SIG2をハイレベルとする。また、ロジック回路60は、パルス信号SIG1がハイレベルからローレベルとなると、制御信号SIG2をローレベルとする。

20

【0045】

以上のように構成された降圧型スイッチングレギュレータ200の動作について図4(a)、(b)および図5(a)~(d)に示すタイミングチャートを参照しながら説明する。これらのタイミングチャートは、説明を簡潔にするため、縦軸および横軸を適宜拡大、縮小して示している。

30

【0046】

まず、図4(a)、(b)を参照して重負荷時の降圧型スイッチングレギュレータ200の動作について説明する。図4(a)、(b)は、重負荷時における図1の降圧型スイッチングレギュレータ200の動作状態を示すタイムチャートである。図4(a)は、検出電圧 V_{out}' を、図4(b)は、パルス信号SIG1を示す。

【0047】

重負荷時においては、軽負荷検出回路50による軽負荷状態の検出はなされず、制御信号SIG2はローレベルとなっている。したがって、しきい値電圧生成回路20により生成される第2しきい値電圧 V_{th2} は、 $V_{th2} = V_{th2L}$ となる。また、ドライバ回路30はヒステリシスコンパレータ10から出力されるパルス信号SIG1にもとづいてスイッチングトランジスタM1、同期整流用トランジスタM2を相補的にオンオフする。

40

【0048】

重負荷時においては、パルス信号SIG1がハイレベルとなると、スイッチングトランジスタM1がオンし、出力電圧 V_{out} が上昇する。これにともなって、検出電圧 V_{out}' が第1しきい値電圧 V_{th1} まで上昇すると、パルス信号SIG1はローレベルとなる。パルス信号SIG1がローレベルとなると、ドライバ回路30は、スイッチングトランジスタM1がオフし、同期整流用トランジスタM2をオンする。同期整流用トランジスタM2がオンとなると、出力電圧 V_{out} は低下し、これにともなって検出電圧 V_{out}' も低下し、第2しきい値電圧 V_{th2} ($= V_{th2L}$)まで降下する。

【0049】

50

検出電圧 V_{out}' が第 2 しきい値電圧 V_{th2} ($=V_{th2L}$) まで低下すると、パルス信号 $SIG1$ は再びハイレベルとなり、スイッチングトランジスタ $M1$ がオン、同期整流用トランジスタ $M2$ がオフする。このように、重負荷時においては、検出電圧 V_{out}' は、第 1 しきい値電圧 V_{th1} と第 2 しきい値電圧 V_{th2} ($=V_{th2L}$) の 2 値の間で安定化される。

【0050】

つぎに図 5 (a) ~ (d) を参照して軽負荷時の降圧型スイッチングレギュレータ 200 の動作について説明する。図 5 (a) ~ (d) は、軽負荷時における図 1 の降圧型スイッチングレギュレータ 200 の動作状態を示すタイムチャートであり、図 5 (a) は、検出電圧 V_{out}' および第 1、第 2 しきい値電圧 V_{th1} 、 V_{th2} を、図 5 (b) は、パルス信号 $SIG1$ を、図 5 (c) は比較信号 V_{cmp} を、図 5 (d) は制御信号 $SIG2$ を示す。

10

【0051】

軽負荷状態のある時刻 $T0$ において、パルス信号 $SIG1$ はローレベルからハイレベルに遷移する。上述したように、ヒステリシスコンパレータ 10 には帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} による帰還経路が設けられているため、パルス信号 $SIG1$ の遷移が入力端子側に帰還される。その結果、帰還キャパシタ C_{fb} および帰還抵抗 R_{fb} の容量値、抵抗値で決まる所定時間経過後に、ヒステリシスコンパレータ 10 の反転入力端子側の電圧が、ヒステリシスコンパレータ 10 のしきい値電圧を跨ぎ、パルス信号 $SIG1$ はローレベルとなる。パルス信号 $SIG1$ がハイレベルからローレベルに遷移すると、この遷移が帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} を介して反転入力端子に帰還され、パルス信号 $SIG1$ は再度ハイレベルとなる。このように、軽負荷状態においては、ヒステリシスコンパレータ 10 から出力されるパルス信号 $SIG1$ は、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} により、ハイレベルとローレベルを交互に繰り返す。

20

【0052】

ドライバ回路 30 は、パルス信号 $SIG1$ にもとづいて、スイッチングトランジスタ $M1$ 、同期整流用トランジスタ $M2$ を相補的にオンオフする。その結果、出力電圧 V_{out} は徐々に上昇していき、検出電圧 V_{out}' も徐々に上昇していく。時刻 $T1$ に検出電圧 V_{out}' が第 1 しきい値電圧 V_{th1} に達する。ここでコンパレータの有する遅延時間を $T1$ とすると、パルス信号 $SIG1$ は、時刻 $T1$ から遅延時間 $T1$ 経過後の時刻 $T2$ にローレベルとなる。検出電圧 V_{out}' が第 1 しきい値電圧 V_{th1} を超えると、パルス信号 $SIG1$ の遷移が帰還キャパシタ C_{fb} および帰還抵抗 R_{fb} により帰還されても、しきい値電圧を跨ぐことはなくなる。その結果、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} によるパルス信号 $SIG1$ の変動は停止し、検出電圧 V_{out}' が第 2 しきい値電圧 V_{th2} まで低下するまでの期間、ローレベルを維持し続ける。

30

【0053】

時刻 $T2$ にパルス信号 $SIG1$ がローレベルとなると、ドライバ回路 30 は同期整流用トランジスタ $M2$ をオン、スイッチングトランジスタ $M1$ をオフする。同期整流用トランジスタ $M2$ がオンすると、正の向きに流れていたインダクタ電流 I_L が徐々に減少する。やがて、インダクタ電流 I_L の向きが正から負に反転する時刻 $T3$ に、軽負荷検出回路 50 の出力である比較信号 V_{cmp} がハイレベルとなる。比較信号 V_{cmp} がハイレベルとなると、ドライバ回路 30 は同期整流用トランジスタ $M2$ を強制的にオフしてスイッチング動作を停止する。スイッチングトランジスタ $M1$ 、同期整流用トランジスタ $M2$ のスイッチング動作が停止すると、出力キャパシタ $C1$ への電荷供給が停止するため、検出電圧 V_{out}' は、緩やかに低下していく。

40

【0054】

ロジック回路 60 は、時刻 $T3$ に比較信号 V_{cmp} がハイレベルとなってから、すなわち、軽負荷状態を検出してから所定の遅延時間経過後の時刻 $T4$ に、制御信号 $SIG2$ をハイレベルとする。制御信号 $SIG2$ がハイレベルとなると、しきい値電圧生成回路 20 は、第 2 しきい値電圧 V_{th2} を、もとのしきい値電圧 V_{th2L} から所定電圧幅 V

50

だけ高電位側のしきい値電圧 V_{th2H} にシフトする。検出電圧 V_{out}' は、緩やかに下降を続け、時刻 T_5 に、高電位側にシフトされた第2しきい値電圧 V_{th2} ($=V_{th2H}$) まで低下する。時刻 T_5 に $V_{out}' < V_{th2H}$ となつてから、ヒステリシスコンパレータ 10 の遅延時間 T_1 経過後の時刻 T_6 に、パルス信号 $SIG1$ はハイレベルとなる。

【0055】

ここで、スイッチング動作を停止しているドライバ回路 30 のスイッチング動作を再開するためには、ある程度の時間を必要とする。この時間を T_2 とすると、時刻 T_6 にパルス信号 $SIG1$ がハイレベルとなつてから、時間 T_2 経過後の時刻 T_7 に、スイッチング動作が再開される。すなわち、検出電圧 V_{out}' が第2しきい値電圧 V_{th2H} まで低下してから、スイッチング動作が再開されるまでには、 $T = T_1 + T_2$ の遅延が発生し、この間、検出電圧 V_{out}' は電圧幅 V だけ低下する。

10

【0056】

もし、第2しきい値電圧 V_{th2} を一定値 V_{th2L} に固定した場合、すなわち $V = 0V$ に設定した場合、軽負荷時において検出電圧 V_{out}' は $(V_{th2L} - V)$ まで低下することになるため、出力電圧 V_{out} のリップルが大きくなる。

そこで、本実施の形態に係る降圧型スイッチングレギュレータ 200 では、しきい値電圧生成回路 20 において、 $V = V$ が成り立つように、電圧幅 V を設定する。このように電圧幅 V を設定することにより、遅延時間 T の間に、検出電圧 V_{out}' が第2しきい値電圧 V_{th2L} を下回るのを好適に防止し、出力電圧 V_{out} のリップルを抑えることができる。

20

【0057】

時刻 T_6 にパルス信号 $SIG1$ がローレベルとなると、ロジック回路 60 は制御信号 $SIG2$ をローレベルとする。制御信号 $SIG2$ がローレベルとなると、しきい値電圧生成回路 20 は第2しきい値電圧 V_{th2} を低電圧側に所定電圧幅 V だけ再シフトする。

【0058】

時刻 T_7 にドライバ回路 30 によってスイッチングトランジスタ M_1 がオンされる。スイッチングトランジスタ M_1 がオンすると、検出電圧 V_{out}' は上昇する。その後、ヒステリシスコンパレータ 10 において、帰還キャパシタ C_{fb} 、帰還抵抗 R_{fb} による期間によってパルス信号 $SIG1$ がハイレベルとローレベルを繰り返すことにより、検出電圧 V_{out}' は上昇していく。

30

【0059】

以上のように、本実施の形態に係る降圧型スイッチングレギュレータ 200 によれば、軽負荷時において、ヒステリシスコンパレータ 10 の第2しきい値電圧 V_{th2} を所定電圧幅 V だけ上昇させることにより、出力電圧 V_{out} (検出電圧 V_{out}') のリップルを低減することができる。

【0060】

また、軽負荷状態を検出してから遅延時間 経過後に第2しきい値電圧 V_{th2} をシフトさせることにより、軽負荷状態となつた直後に重負荷に戻った場合に、スイッチング動作を直ちに再開することができる。

40

【0061】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0062】

実施の形態では、ヒステリシスコンパレータ 10 を図 3 に示す構成とした場合について説明したが、これには限定されず、一般的なヒステリシスコンパレータのように、正帰還をかけることによってヒステリシスコンパレータを構成してもよい。

【0063】

実施の形態では、制御回路 100 を含む降圧型スイッチングレギュレータ 200 により

50

駆動される負荷としてマイクロプロセッサを例に説明したが、これには限定されず、負荷電流が減少して軽負荷状態で動作するさまざまな負荷に対して、駆動電圧を供給することができる。

【0064】

実施の形態では、制御回路100がひとつのLSIに一体集積化される場合について説明したが、これには限定されず、一部の構成要素がLSIの外部にディスクリート素子あるいはチップ部品として設けられ、あるいは複数のLSIにより構成されてもよい。

【0065】

また、本実施の形態において、ハイレベル、ローレベルの論理値の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

10

【図面の簡単な説明】

【0066】

【図1】実施の形態に係る降圧型スイッチングレギュレータの構成を示す回路図である。

【図2】図1の降圧型スイッチングレギュレータを搭載した電子機器の構成を示すブロック図である。

【図3】ヒステリシスコンパレータおよびしきい値電圧生成回路の構成を示す回路図である。

【図4】図4(a)、(b)は、重負荷時における図1の降圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

【図5】図5(a)~(d)は、軽負荷時における図1の降圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

20

【図6】図6(a)、(b)はそれぞれ、同期整流方式の降圧型スイッチングレギュレータの重負荷および軽負荷時の電流の時間波形を示す図である。

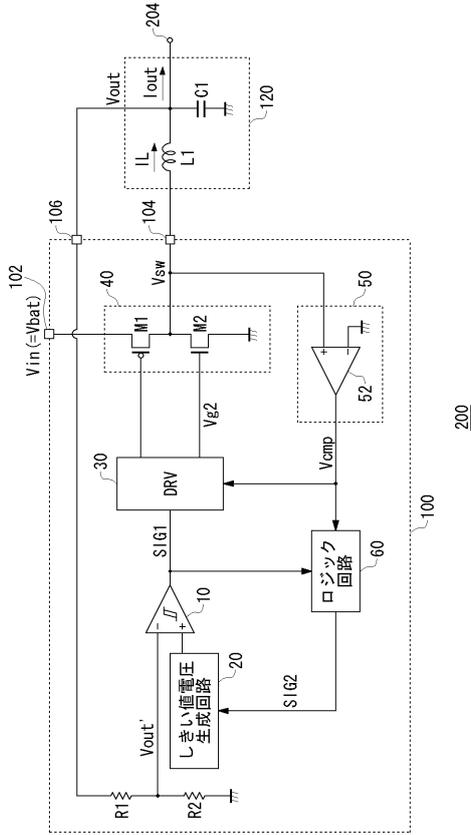
【符号の説明】

【0067】

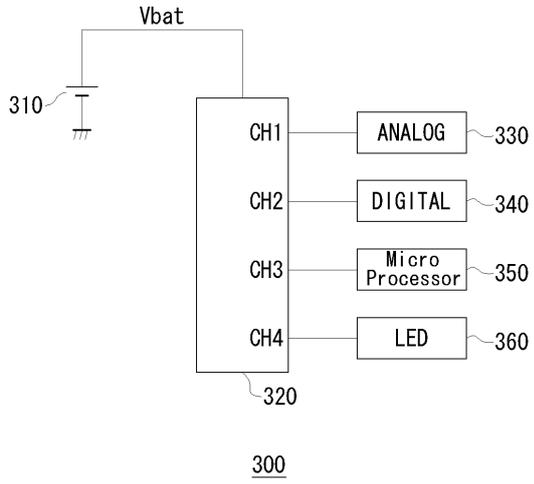
10 ヒステリシスコンパレータ、 12 第1コンパレータ、 14 第2コンパレータ、 20 しきい値電圧生成回路、 30 ドライバ回路、 50 軽負荷検出回路、 52 軽負荷検出コンパレータ、 100 制御回路、 120 スwitchングレギュレータ出力回路、 200 降圧型スイッチングレギュレータ、 204 出力端子、 300 電子機器、 310 電池、 350 マイクロプロセッサ、 M1 スwitchングトランジスタ、 M2 同期整流用トランジスタ、 C1 出力キャパシタ、 L1 出力インダクタ、 Cfb 帰還キャパシタ、 Rfb 帰還抵抗、 SIG1 パルス信号。

30

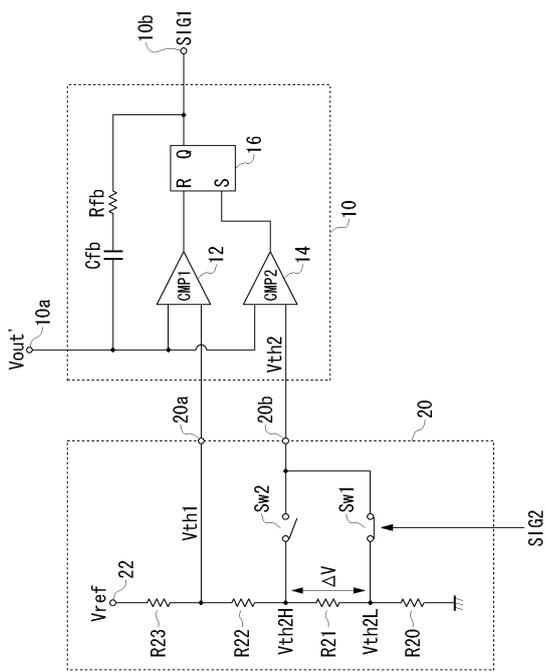
【図1】



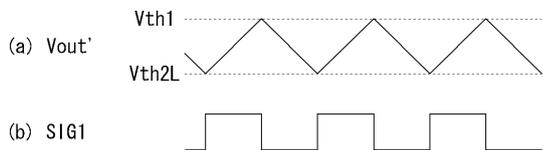
【図2】



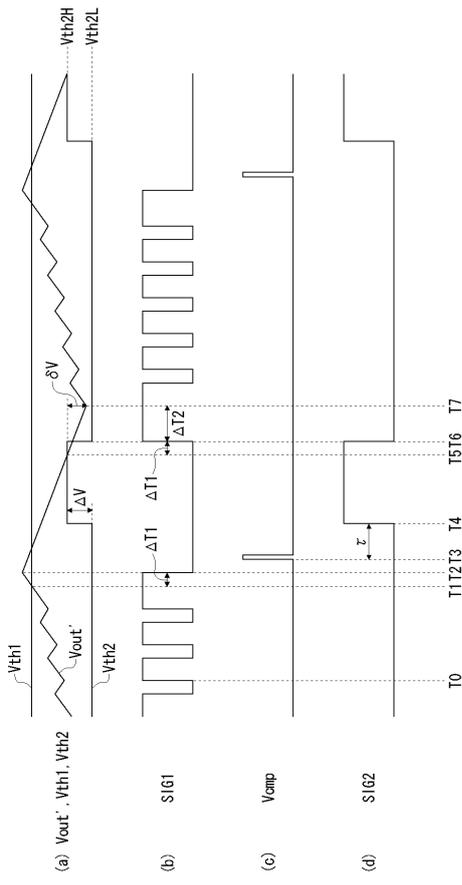
【図3】



【図4】

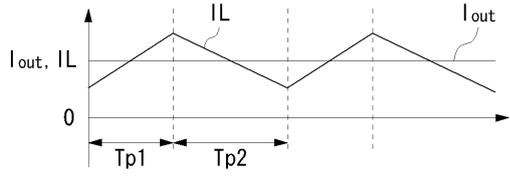


【図5】



【 図 6 】

(a)



(b)

