

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|  |                                     |  |
|--|-------------------------------------|--|
| (51) Int. Cl.<br>G02F 1/1368 (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2006년05월16일<br>10-0580553<br>2006년05월09일 |
|--|-------------------------------------|--|

|                        |                                |                        |                                |
|------------------------|--------------------------------|------------------------|--------------------------------|
| (21) 출원번호<br>(22) 출원일자 | 10-2003-0083347<br>2003년11월22일 | (65) 공개번호<br>(43) 공개일자 | 10-2005-0049652<br>2005년05월27일 |
|------------------------|--------------------------------|------------------------|--------------------------------|

|           |                                       |
|-----------|---------------------------------------|
| (73) 특허권자 | 엘지.필립스 엘시디 주식회사<br>서울 영등포구 여의도동 20번지  |
| (72) 발명자  | 이석우<br>경기도안양시동안구비산동1102관악아파트127동1207호 |
| (74) 대리인  | 김영호                                   |

심사관 : 신영교

(54) 액정표시장치 및 그 제조방법

요약

본 발명은 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

본 발명의 액정표시장치는 구동회로부에 폴리 실리콘으로 이루어진 채널을 가지는 박막 트랜지스터들이 병렬로 연결되며 상기 박막 트랜지스터들이 하나의 게이트 전극을 공유하는 구조를 가지는 구동소자를 구비하고, 상기 구동소자는 기판 상에 형성된 버퍼막과; 상기 버퍼막 상에 형성되며 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 다수의 상기 채널들을 포함하는 액티브층과; 상기 게이트 전극을 덮도록 형성된 층간 절연막과; 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 액티브층과 접촉되는 소스전극 및 드레인 전극과; 상기 게이트 전극에서 채널과 비중첩되는 영역과 상기 소스 및 드레인 전극 사이에서의 버퍼막 및 기판 중 적어도 어느 하나를 노출시키는 홀들과; 상기 홀들을 통해 상기 버퍼막 및 기판 중 적어도 어느 하나에 접촉됨과 아울러 상기 구동소자의 전면에 형성되어 상기 채널에서 발생하는 열을 외부로 전도시키는 열전도재를 구비한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 종래의 액정표시장치의 구성을 개략적으로 도시한 평면도이다.

도 2는 종래의 액정표시장치의 구동회로에 형성된 하나의 박막 트랜지스터로 이루어진 구동소자를 도시한 평면도이다.

도 3은 도 2에 도시된 구동회로부의 구동소자의 I-I'선을 따라 절단하여 도시된 단면도이다.

도 4는 액정표시장치의 구동회로에 형성된 다수의 박막 트랜지스터로 이루어진 구동소자를 도시한 평면도이다.

도 5는 도 4에 도시된 구동소자의 II-II'선을 따라 절단하여 도시된 단면도이다.

도 6은 본 발명의 실시예에 따른 액정표시장치의 구동회로에 다수의 박막 트랜지스터가 병렬로 연결된 구조의 구동소자를 도시한 평면도이다.

도 7은 도 6에 도시된 액정표시장치의 구동회로부에 구동소자의 III-III'선을 따라 절단하여 도시된 단면도이다.

도 8a 내지 도 9f는 도 6에 도시된 구동회로부에 구동소자의 제조방법을 설명하기 위한 평면도 및 단면도이다.

< 도면의 주요 부분에 대한 부호의 설명 >

56,156 : 게이트 전극 52,152 : 게이트 라인

60,160 : 소스 전극 72,172 ; 소스전극

74,174 : 액티브층 48, 148 : 보호막

195 : 관통홀

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.

이러한 액정표시소자에 이용되는 박막트랜지스터는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스 실리콘형 박막 트랜지스터는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘형 박막 트랜지스터는 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 박막 트랜지스터는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.

폴리 실리콘형 박막 트랜지스터는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 액정 표시 장치가 대두되고 있다.

도 1은 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치를 나타내는 평면도이다.

도 1을 참조하면, 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시장치는 화소 매트릭스를 포함하는 화상표시부(96)와, 화상 표시부(96)의 데이터 라인들(4)을 구동하기 위한 데이터구동부(92)와, 화상 표시부(96)의 게이트 라인들(2)을 구동하기 위한 게이트 구동부(92)를 구비한다.

화상 표시부(96)에는 액정셀들(LC)이 매트릭스 형태로 배열되어 화상을 표시한다. 액정셀들(LC) 각각은 게이트 라인(2)과 데이터 라인(4)의 교차점에 접속된 스위칭소자로서 N형 불순물이 주입된 폴리 실리콘을 이용한 박막 트랜지스터(Thin Film Transistor ; 이하 "TFT"라 함)(30)에 의해 구동된다.

이러한 N형 TFT(30)는 게이트 라인(2)으로부터의 스캔 펄스에 응답하여 데이터 라인(4)으로부터의 비디오 신호, 즉 화소 신호를 액정셀(LC)에 충전되게 한다. 이에 따라, 액정셀(LC)은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.

게이트 구동부(94)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(2)을 구동한다. 이 게이트 구동부(94)에 의해 박막트랜지스터들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(4)을 액정셀과 접속시키게 된다.

데이터 구동부(92)는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 구동부(92)는 아날로그 데이터신호를 데이터라인들(4)에 공급한다. 이에 따라, 턴-온된 박막트랜지스터에 접속된 액정셀들은 데이터라인들(4) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.

이러한 게이트구동부(94) 및 데이터 구동부(92)는 CMOS구조로 연결된 구동소자를 포함하게 된다. 구동소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 많은 양의 전류가 흐를 수 있도록 큰 채널폭(W1)을 갖는 하나의 거대 TFT로 이루어지게 된다. 이러한, 구동소자는 빠른 응답속도를 위해 폴리 실리콘이 이용된다.

도 2는 구동회로부의 구동소자를 나타내는 평면도이고, 도 3는 도 2에 도시된 구동소자를 나타내는 단면도이다.

도 2 및 도 3에 도시된 하나의 박막 트랜지스터로 이루어진 구동소자는 버퍼막(16)을 사이에 두고 하부기관(20) 상에 형성되는 불순물(예를 들어, n+ 이온 또는 p+ 이온)이 주입된 액티브층(74)과, 게이트 절연막(42)을 사이에 두고 액티브층(74)의 채널(57)영역과 중첩되게 형성되는 게이트 전극(66)과, 게이트 전극(66)과 층간절연막(56)을 사이에 두고 절연되게 형성되는 소스/드레인 전극(68,70)과, 소스/드레인 전극(68,70)상에 형성되는 보호막(48)이 구비된다.

소스/드레인 전극(68,70)은 게이트 절연막(42) 및 층간 절연막(56)을 관통하는 소스/드레인 접촉홀(84S,84D)을 통해 소정의 불순물이 주입된 액티브층(74)의 소스/드레인 영역(74S,74D)에 각각 접촉된다. 보호막(48)은 소스/드레인 전극(68,70)상에 형성되어 구동소자를 보호하는 역할을 한다.

한편, 이와 같은 종래의 하나의 박막 트랜지스터로 이루어진 구동소자는 상대적으로 많은 양의 전류가 흐를 수 있는 장점이 있는 반면, 많은 전류가 흐름으로 인해 채널(57)에 많은 열이 발생된다. 이에 따라, 채널(57)에 발생하는 열을 식혀줄 수 있는 구조로 도 4에 도시된 바와 같이 다수의 작은 채널폭(W2)을 갖는 박막 트랜지스터가 병렬로 연결된 구조의 구동소자가 제한되었다.

도 4에 도시된 액정표시장치에 구동회로부의 구동소자는 각각의 채널폭(W2)의 총합이 도 2에 도시된 하나의 채널폭(W1)과 동일{작은 채널폭(W2) \* 채널의 갯수(n) = 하나의 채널폭(W1)}하도록 다수의 채널(77)을 갖는 박막 트랜지스터가 병렬로 연결된 구조를 갖는다. 이러한, 다수의 박막 트랜지스터 사이에는 도 5에 도시된 바와 같이 채널(77)과 채널(77) 사이에 게이트 절연막(42) 및 층간 절연막(56)이 존재함으로써 채널(77)에 발생된 열이 게이트 절연막(42) 및 층간 절연막(56)에 의해 흡수된다. 그러나, 게이트 절연막(42) 및 층간 절연막(56)의 재료로는 전극 간의 발생하는 기생캐패시턴스의 값을 줄이기 위해 유전율이 낮은 SiO<sub>2</sub> 등의 절연물질이 이용되나, 이러한 SiO<sub>2</sub> 등의 절연물질은 1.4W/mK 정도의 낮은 열전도율을 갖는다. 이에 따라, 채널(77)에 발생된 열의 일부만이 게이트 절연막(42) 및 층간 절연막(56)에 전도되고 나머지 열은 전도되지 않게 된다. 그 결과, 채널(77)에 잔존하는 열에 의해 채널(77)이 열화되어 원할한 전류의 흐름이 방해되거나 구동소자 특성이 저하되어 구동소자의 불량을 초래됨으로써 구동소자의 정상구동이 이루어지지 않게 되는 문제가 발생된다.

### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 구동회로부의 구동소자 불량을 방지할 수 있는 액정표시장치 및 그 제조방법을 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시장치는 구동회로부에 폴리 실리콘으로 이루어진 채널을 가지는 박막 트랜지스터들이 병렬로 연결되며 상기 박막 트랜지스터들이 하나의 게이트 전극을 공유하는 구조를 가지는 구동소자를 구비하고, 상기 구동소자는 기판 상에 형성된 버퍼막과; 상기 버퍼막 상에 형성되며 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 다수의 상기 채널들을 포함하는 액티브층과; 상기 게이트 전극을 덮도록 형성된 층간 절연막과; 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 액티브층과 접촉되는 소스전극 및 드레인 전극과; 상기 게이트 전극에서 채널과 비중첩되는 영역과 상기 소스 및 드레인 전극 사이에서의 버퍼막 및 기판 중 적어도 어느 하나를 노출시키는 홀들과; 상기 홀들을 통해 상기 버퍼막 및 기판 중 적어도 어느 하나에 접촉됨과 아울러 상기 구동소자의 전면에 형성되어 상기 채널에서 발생하는 열을 외부로 전도시키는 열전도재를 구비한다.

상기 열전도재는 SiNx를 포함하는 것을 특징으로 한다.

상기 열전도재는 16~22W/mK 정도의 열전도율을 갖는 것을 특징으로 한다.

본 발명에 따른 액정표시장치는 구동회로부에 폴리 실리콘으로 이루어진 채널을 가지는 박막 트랜지스터들이 병렬로 연결되며 상기 박막 트랜지스터들이 하나의 게이트 전극을 공유하는 구조를 가지는 구동소자를 형성하는 단계를 포함하고, 상기 구동소자를 형성하는 단계는 기판 상에 버퍼막을 형성하는 단계와; 상기 버퍼막 상에 상기 게이트 전극과 중첩되는 다수의 상기 채널들을 포함하는 액티브층을 형성하는 단계와; 상기 액티브층 상에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 상에 상기 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 덮도록 층간 절연막을 형성하는 단계와; 상기 층간 절연막 및 게이트 절연막을 관통하여 상기 액티브층과 접촉되는 소스전극 및 드레인 전극을 형성하는 단계와; 상기 게이트 전극에서 채널과 비중첩되는 영역과 상기 소스 및 드레인 전극 사이에서의 버퍼막 및 기판 중 적어도 어느 하나를 노출시키는 홀들을 형성하는 단계와; 상기 홀들을 통해 상기 버퍼막 및 기판 중 적어도 어느 하나와 접촉함과 아울러 상기 구동소자 전면에 위치하는 열전도재를 형성하는 단계를 포함한다.

상기 열전도재는 SiNx를 포함하는 것을 특징으로 한다.

상기 열전도재는 16~22W/mK 정도의 열전도율을 갖는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

삭제

이하, 본 발명의 바람직한 실시 예를 도 6 내지 9e를 참조하여 상세히 설명하기로 한다.

도 6은 본 발명에 따른 액정표시장치의 구동회로부에 형성된 다수의 폴리실리콘형 박막 트랜지스터가 병렬로 연결된 구조의 구동소자를 구체적으로 도시한 평면도이고, 도 7은 도 6에 도시된 구동회로부의 구동소자의 III-III'선을 따라 절단하여 도시된 단면도이다.

도 6 및 도 7에 도시된 다수의 박막 트랜지스터로 이루어진 구동회로부의 구동소자는 버퍼막(116)을 사이에 두고 하부기판(120) 상에 형성되는 불순물 예를 들어, n+ 이온 또는 p+ 이온이 주입된 액티브층(174)과, 게이트 절연막(142)을 사이에 두고 액티브층(174)의 채널(177)영역과 중첩되게 형성되는 게이트 전극(166)과, 게이트 전극(166)과 층간절연막(156)을 사이에 두고 절연되게 형성되는 소스/드레인 전극(168,170)과, 소스/드레인 전극(168,170)상에 형성되어 구동소자를 보호하는 보호막(148)이 구비된다.

소스/드레인 전극(168,170)은 게이트 절연막(142) 및 층간 절연막(156)을 관통하는 소스/드레인 접촉홀(184S,184D)을 통해 소정의 불순물이 주입된 액티브층(174)의 소스/드레인 영역(174S,174D)에 접촉된다.

보호막(148)은 소스/드레인 전극(168,170)이 형성된 하부기판(120) 전면에서 형성됨과 아울러 채널(177)과 채널(177) 사이에 게이트 절연막(142) 및 층간절연막(156)을 관통하는 관통홀(195)을 통해 버퍼막(116)과 접촉되도록 형성된다. 또한, 관통홀(195)이 버퍼막(116) 까지 관통함으로써 보호막(148)은 하부기판(120)과 접촉될 수도 있다.

이에 따라, 채널(177)에 발생하는 열이 보호막(148)에 흡수되고 구동소자의 외부로 방열됨으로써 채널(177)의 열화 등 구동회로부의 구동소자의 손상이 방지된다.

이를 구체적으로 설명하면, 구동회로부의 구동소자는 비교적 높은 전압의 스위칭을 위해 상대적으로 많은 양의 전류가 흐를 수 있도록 작은 채널폭(W2)을 갖는 다수의 박막 트랜지스터로 이루어진다. 구동회로가 구동되어 구동소자의 채널(177)에 많은 전류가 흐르게 되면 채널(177)에 열이 발생된다. 이 때, 채널(177)과 채널(177) 사이에 16~22W/mK 정도로 열전도율이 높은 SiNx 등의 절연물질이 이용되는 보호막(148)이 형성됨으로써 채널(177)에 발생된 열이 보호막(148)으로 전도된 후 구동소자 외부로 방열된다. 이와 같이, 채널(177)에서 발생하는 열이 보호막(148)을 통해 방열됨으로써 전류의 흐름이 원활해지고 구동소자 특성이 유지되는 등 구동회로부의 구동소자의 불량을 방지할 수 있게 된다.

도 8a 내지 도 9e는 도 6 및 도 7에 도시된 구동회로부의 구동소자의 제조방법을 나타내는 평면도 및 단면도이다.

먼저, 하부기판(120) 상에 SiO<sub>2</sub> 등의 절연물질로 전면 증착된 후 패터닝됨으로써 버퍼막(116)이 형성된다. 버퍼막(116)이 형성된 하부기판(120) 상에 아몰퍼스 실리콘막이 증착된 후 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 되고, 그 폴리 실리콘막이 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 8a 및 도 9a에 도시된 바와 같이 다수의 채널이 구비되는 액티브층(174)이 형성된다.

액티브층(174)이 형성된 하부기판(120) 상에 SiO<sub>2</sub>의 절연물질이 전면 증착됨으로써 게이트절연막(142)이 형성된다. 게이트절연막(142)이 형성된 하부기판(120) 상에 게이트금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트금속층이 패터닝됨으로써 게이트 전극(166)이 형성된다. 여기서, 게이트금속층은 알루미늄(Al), 알루미늄/네오듐(Al/Nd) 등을 포함하는 알루미늄계 금속이 이용된다. 이 게이트 전극(166)을 마스크로 이용하여 액티브층(174)에 n-이온이 주입됨으로써 게이트전극(166)과 중첩되는 액티브층(174)은 채널(177)영역으로, 게이트전극(166)과 중첩되지 않는 액티브층(174)은 LDD영역(174L)으로 형성된다.

그런 다음, 하부기판(120) 상에 포토레지스트가 전면 증착된 후 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 액티브층(174)의 LDD영역이 노출되도록 형성된다. 이 포토레지스트패턴을 마스크로 이용하여 액티브층(174)에 n+ 이온 또는 p+ 이온이 주입됨으로써 도 8b 및 9b에 도시된 바와 같이 액티브층(174)의 소스영역(174S)과 드레인영역(174D)이 형성된다.

n+ 이온 또는 p+ 이온이 주입된 액티브층(174)이 형성된 하부기판(120) 상에 SiO<sub>2</sub> 등의 절연물질이 전면 증착됨으로써 층간절연막(156)이 형성된다. 이 후 층간절연막(156)과 게이트 절연막(142)이 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 도 8c 및 9c에 도시된 바와 같이 소스영역(174S)과 드레인영역(174D)을 각각 노출시키는 소스접촉홀(184S)과 드레인접촉홀(184D)이 형성되며, 채널(177)과 채널(177) 사이에 게이트 절연막(142) 및 층간절연막(156)을 관통하여 버퍼막(116)을 노출시키는 관통홀(195) 등이 형성된다.

소스접촉홀(184S), 드레인접촉홀(184D), 관통홀(195)이 형성된 하부기판(120) 상에 데이터금속층이 전면 증착된 후 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 데이터금속층이 패터닝된다. 이에 따라, 도 8d 및 도 9d에 도시된 바와 같이 소스 및 드레인전극(168,170)형성된다. 소스 및 드레인 전극(168,170)은 소스접촉홀(184S) 및 드레인접촉홀(184D)을 통해 액티브층(174)의 소스영역(174S) 및 드레인영역(174D)과 접촉된다.

소스 및 드레인 전극(168,170)이 형성된 하부기관(120) 상에 16~22W/mK 정도의 열전도율을 갖는 SiNx 등의 절연물질이 전면 증착됨으로써 도 9e에 도시된 바와 같이 관통홀(195) 들을 통해 버퍼막(116)과 접촉되는 보호막(148)이 형성된다.

이와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 구동회로의 구동소자에 채널(177)과 채널(177) 사이에 열전도도가 높은 보호막(148)이 형성된다. 이에 따라, 채널(177)에 과도한 전류가 흐름에 따라 발생하는 열이 보호막(148)을 통해 전도된 후 구동소자외부로 방열됨으로써 채널(177)의 열화가 방지된다. 그 결과, 채널(177)을 통과하는 전류의 흐름이 원활해지고 구동회로부의 구동소자의 특성이 유지되는 등 구동소자의 불량을 방지할 수 있게 된다.

한편, 채널과 채널 사이에 열전도율이 높은 보호막이 형성된 구조는 구동회로부의 출력버퍼 등 비교적 높은 전압의 스위칭을 위해 넓은 채널폭을 필요로 하는 어떠한 구동소자에도 용이하게 적용될 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 구동회로의 구동소자에 채널과 채널 사이에 열전도도가 높은 보호막이 형성됨으로써 채널에서 발생된 열이 용이하게 방열되게 된다. 이에 따라, 채널의 열화가 방지됨으로써 전류의 흐름이 원활해지고 구동소자의 특성이 유지되는 등 구동소자 불량을 방지할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### (57) 청구의 범위

#### 청구항 1.

구동회로부에 폴리 실리콘으로 이루어진 채널을 가지는 박막 트랜지스터들이 병렬로 연결되며 상기 박막 트랜지스터들이 하나의 게이트 전극을 공유하는 구조를 가지는 구동소자를 구비하고,

상기 구동소자는

기관 상에 형성된 버퍼막과;

상기 버퍼막 상에 형성되며 게이트 절연막을 사이에 두고 상기 게이트 전극과 중첩되는 다수의 상기 채널들을 포함하는 액티브층과;

상기 게이트 전극을 덮도록 형성된 층간 절연막과;

상기 층간 절연막 및 게이트 절연막을 관통하여 상기 액티브층과 접촉되는 소스전극 및 드레인 전극과;

상기 게이트 전극에서 채널과 비중첩되는 영역과 상기 소스 및 드레인 전극 사이에서의 버퍼막 및 기관 중 적어도 어느 하나를 노출시키는 홀들과;

상기 홀들을 통해 상기 버퍼막 및 기관 중 적어도 어느 하나에 접촉됨과 아울러 상기 구동소자의 전면에서 형성되어 상기 채널에서 발생하는 열을 외부로 전도시키는 열전도재를 구비하는 것을 특징으로 하는 액정표시장치.

#### 청구항 2.

삭제

#### 청구항 3.

삭제

**청구항 4.**

삭제

**청구항 5.**

제 1 항에 있어서,

상기 열전도재는 SiNx를 포함하는 것을 특징으로 하는 액정표시장치.

**청구항 6.**

제 1 항에 있어서,

상기 열전도재는 16~22W/mK 정도의 열전도율을 갖는 것을 특징으로 하는 액정표시장치.

**청구항 7.**

구동회로부에 폴리 실리콘으로 이루어진 채널을 가지는 박막 트랜지스터들이 병렬로 연결되며 상기 박막 트랜지스터들이 하나의 게이트 전극을 공유하는 구조를 가지는 구동소자를 형성하는 단계를 포함하고,

상기 구동소자를 형성하는 단계는

기판 상에 버퍼막을 형성하는 단계와;

상기 버퍼막 상에 상기 게이트 전극과 중첩되는 다수의 상기 채널들을 포함하는 액티브층을 형성하는 단계와;

상기 액티브층 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 상기 게이트 전극을 형성하는 단계와;

상기 게이트 전극을 덮도록 층간 절연막을 형성하는 단계와;

상기 층간 절연막 및 게이트 절연막을 관통하여 상기 액티브층과 접촉되는 소스전극 및 드레인 전극을 형성하는 단계와;

상기 게이트 전극에서 채널과 비중첩되는 영역과 상기 소스 및 드레인 전극 사이에서의 버퍼막 및 기판 중 적어도 어느 하나를 노출시키는 홀들을 형성하는 단계와;

상기 홀들을 통해 상기 버퍼막 및 기판 중 적어도 어느 하나와 접촉함과 아울러 상기 구동소자 전면에서 위치하는 열전도재를 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

**청구항 8.**

삭제

**청구항 9.**

삭제

**청구항 10.**

삭제

청구항 11.

제 7 항에 있어서,

상기 열전도재는 SiNx를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

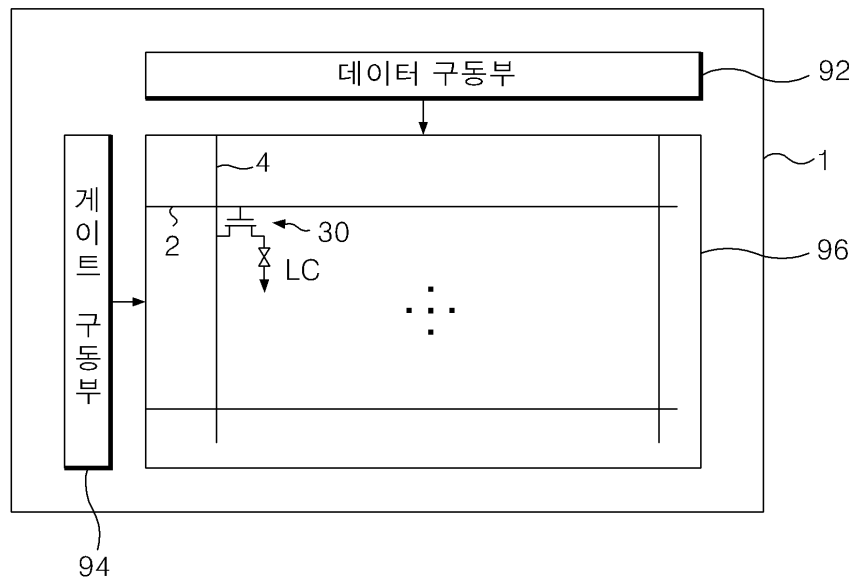
청구항 12.

제 7 항에 있어서,

상기 열전도재는 16~22W/mK 정도의 열전도율을 갖는 것을 특징으로 하는 액정표시장치의 제조방법.

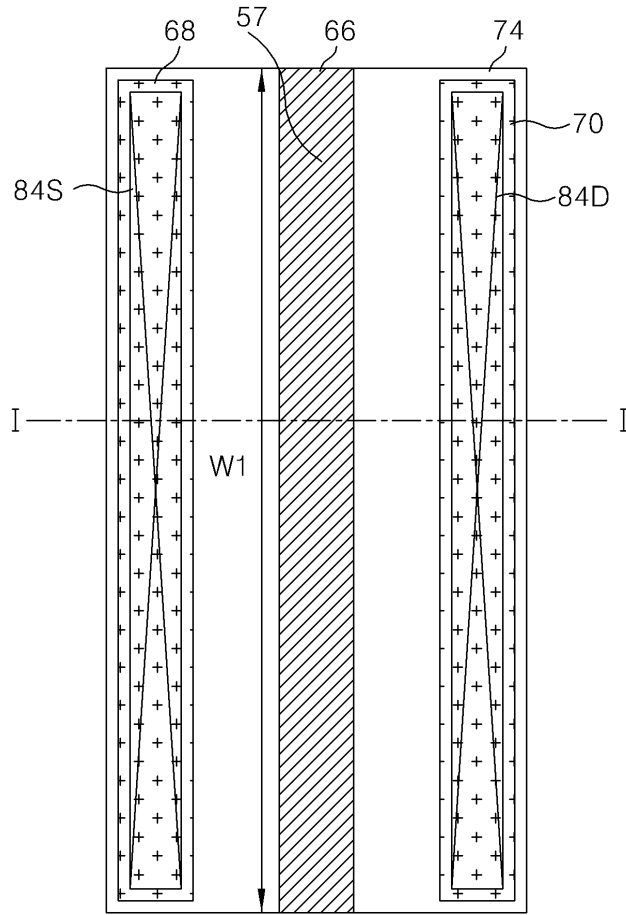
도면

도면1

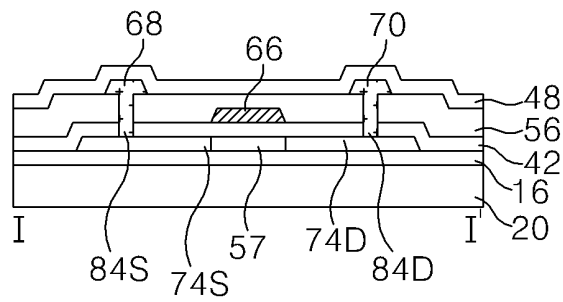




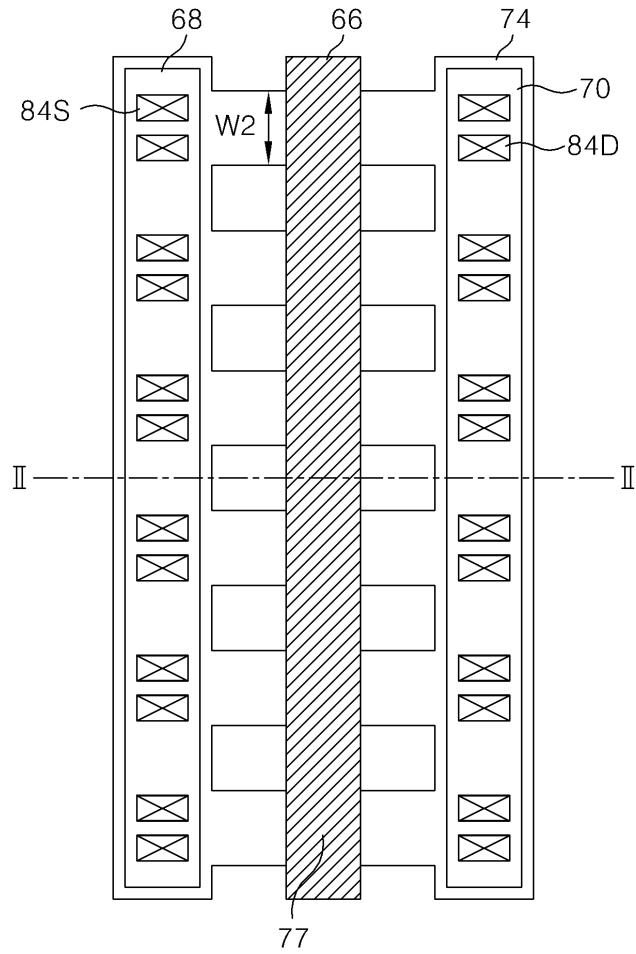
도면2



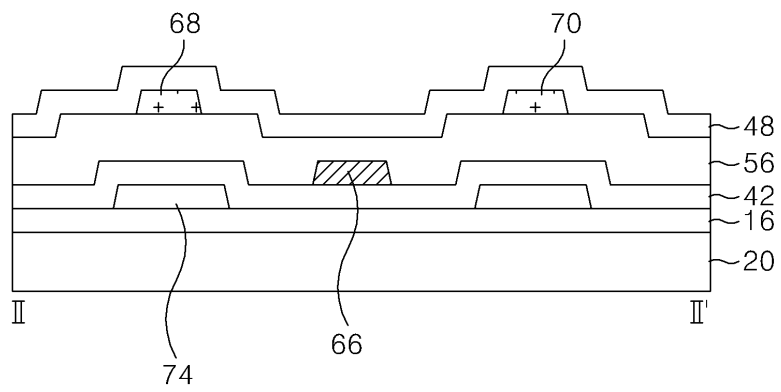
도면3



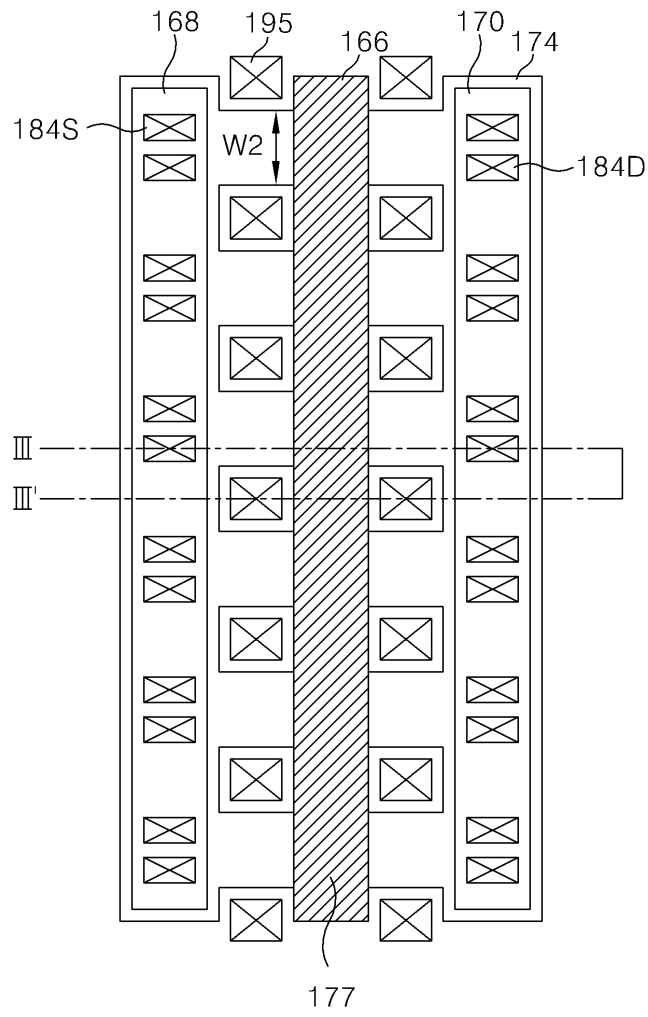
도면4



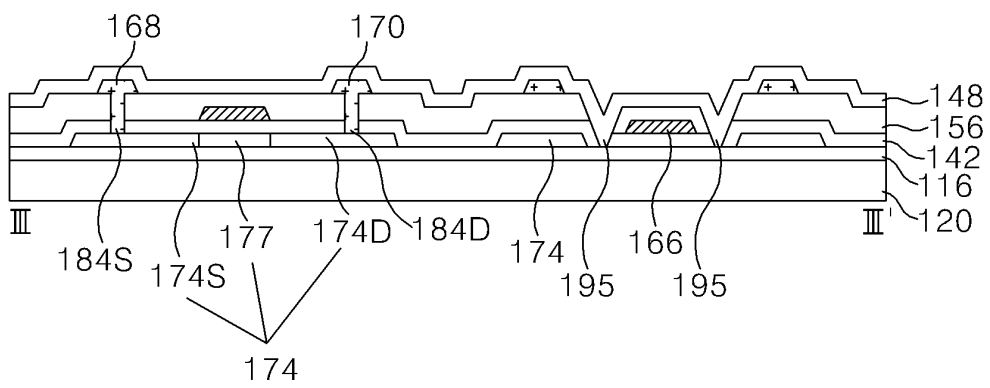
도면5



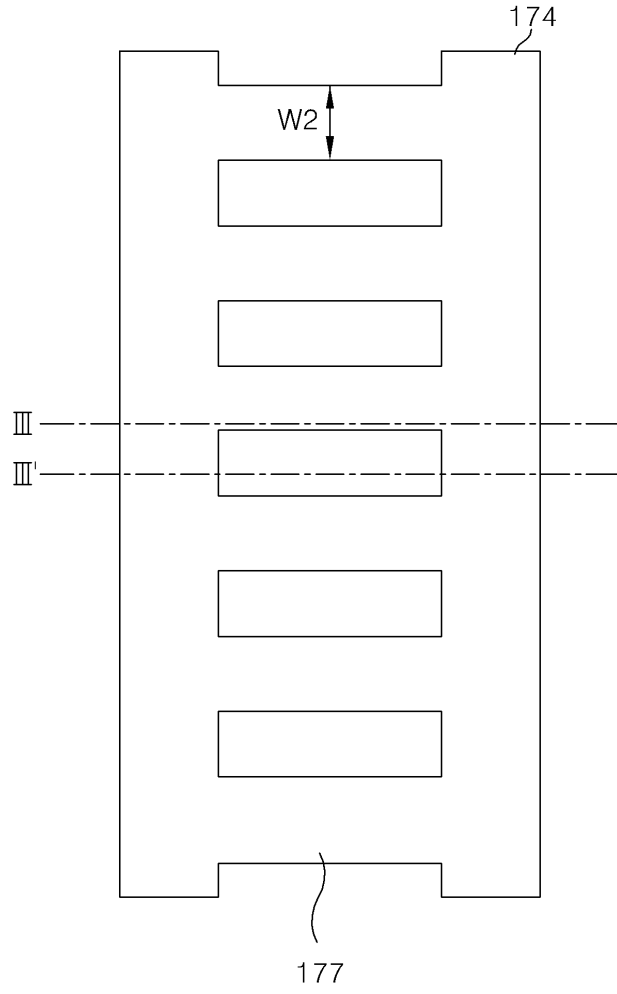
도면6



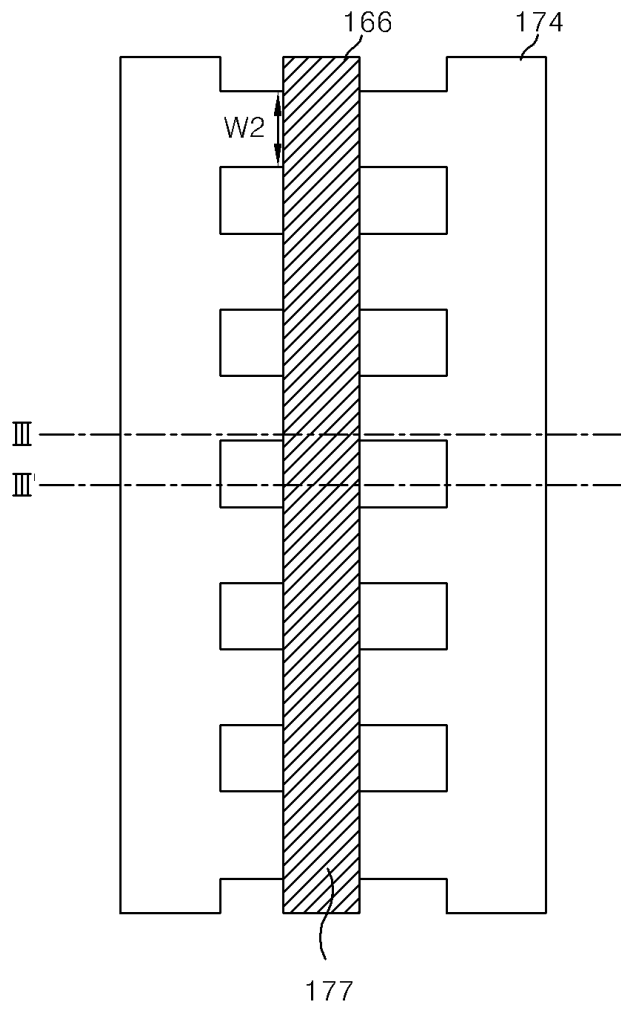
도면7



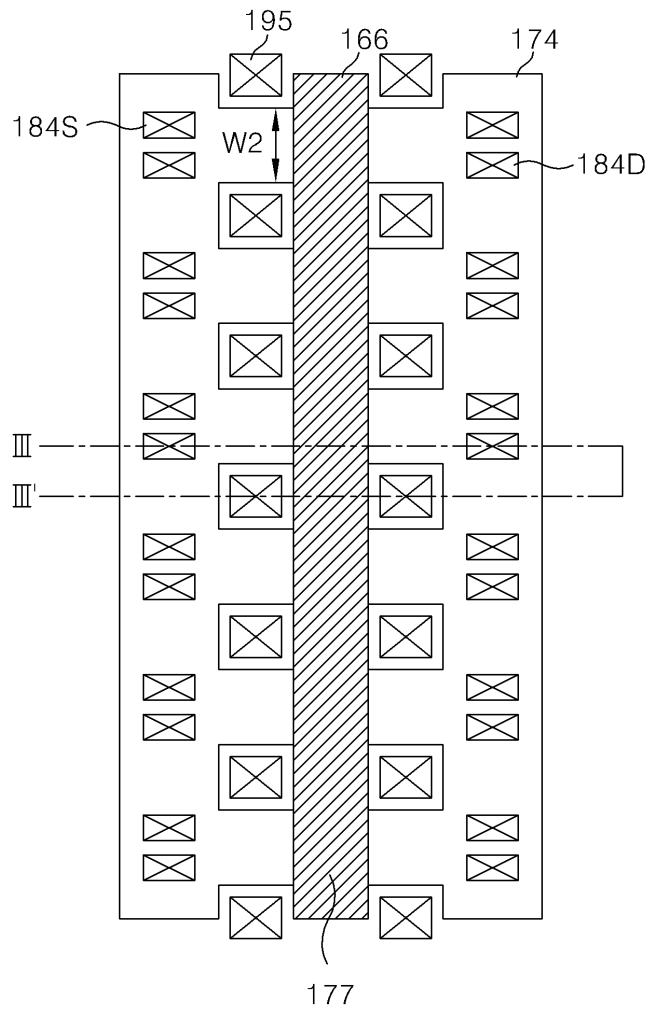
도면8a



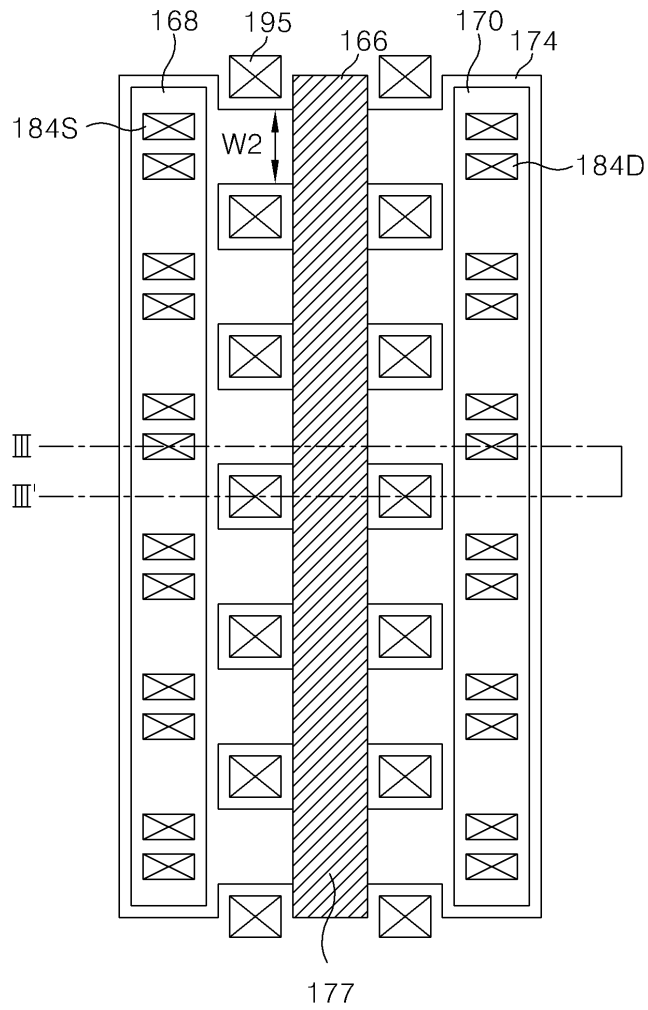
도면8b



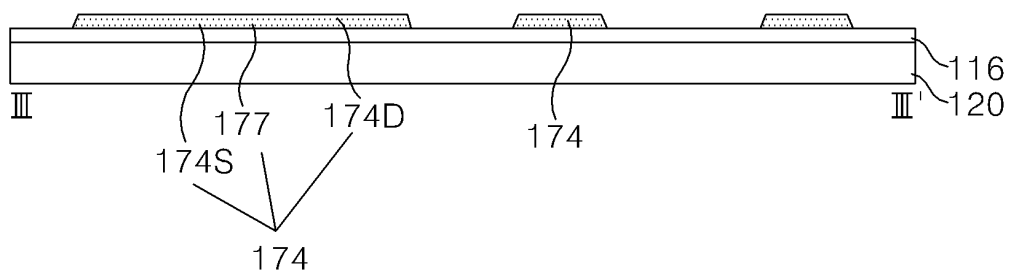
도면8c



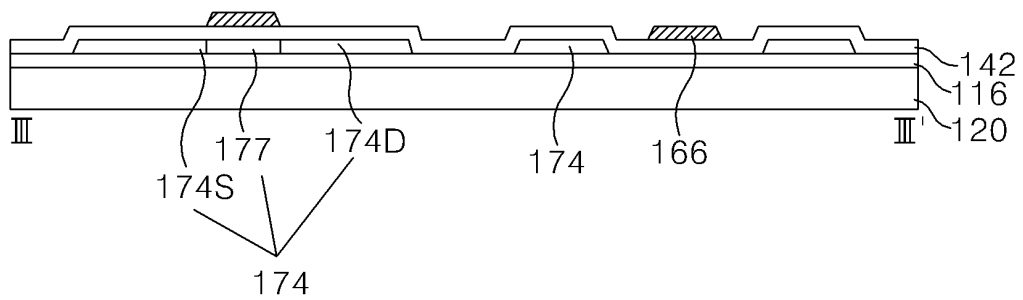
도면8d



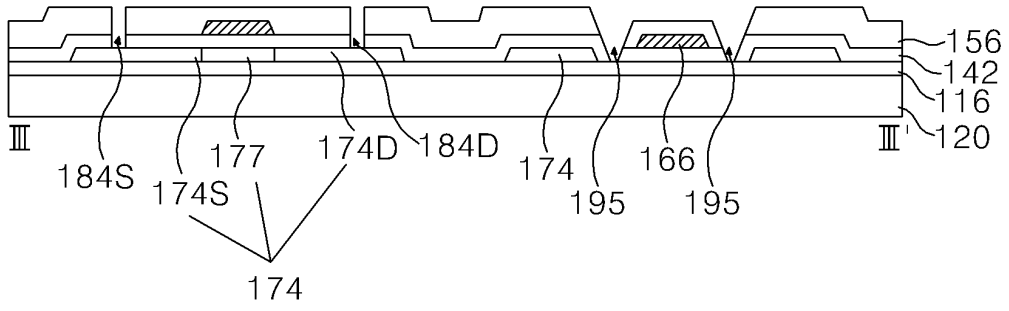
도면9a



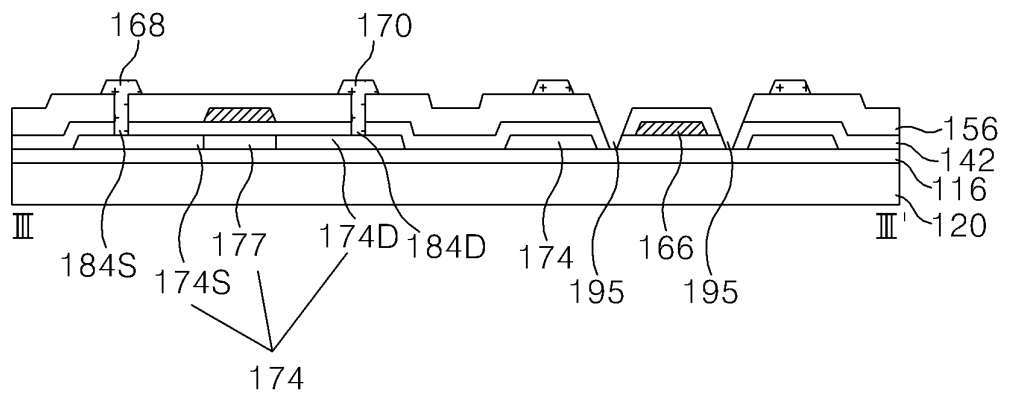
도면9b



도면9c



도면9d



도면9e

