



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2006 046 206 A1** 2008.04.10

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 046 206.8**

(22) Anmeldetag: **29.09.2006**

(43) Offenlegungstag: **10.04.2008**

(51) Int Cl.⁸: **H04Q 3/52** (2006.01)

H04L 12/56 (2006.01)

H04L 12/50 (2006.01)

(71) Anmelder:

Siemens AG, 80333 München, DE

(72) Erfinder:

Eckstein, Gerald, Dr., 81739 München, DE;
Freudenberg, Oliver, 81739 München, DE; Frey,
Alexander, 82024 Taufkirchen, DE; Kühne, Ingo,
81739 München, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US2004/02 28 468 A1

US2004/00 16 995 A1

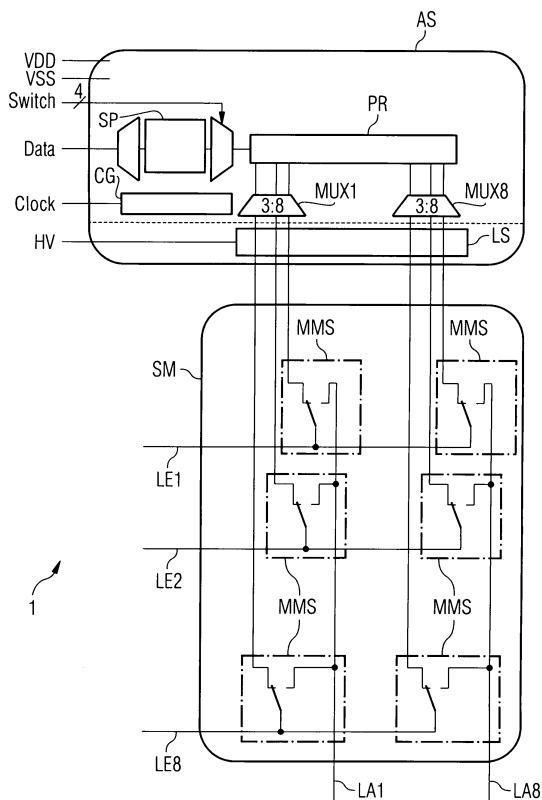
WO 2005/0 23 699 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verbindungseinrichtung zur wahlfreien Verbindung einer Anzahl an Sendern und Empfängern, Kommunikationseinrichtung und Verfahren zum Herstellen einer Verbindungseinrichtung**

(57) Zusammenfassung: Es wird eine Verbindungseinrichtung zur wahlfreien Verbindung einer ersten Anzahl an ersten Sende-/Empfangseinheiten (SE1-1, SE2-1, SE3-1, SE4-1) mit einer zweiten Anzahl an zweiten Sende-/Empfangseinheiten (SE1-2, SE2-2, SE3-2, SE4-2) beschrieben. Die Verbindungseinrichtung umfasst eine Schaltermatrix (SM) mit einer dritten Anzahl an steuerbaren mikromechanischen Schaltelementen (MMS), wobei durch Ansteuerung eines Schaltelements (MMS) eine elektrische Verbindung zwischen einer der ersten Sende-/Empfangseinheiten (SE1-1, SE2-1, SE3-1, SE4-1) und einer der zweiten Sende-/Empfangseinheiten (SE1-2, SE2-2, SE3-2, SE4-2) herstellbar ist, und eine Ansteuerschaltung (AS) zur selektiven Ansteuerung jedes der mikromechanischen Schaltelemente (MMS).



Beschreibung

[0001] Die Erfindung betrifft eine Verbindungseinrichtung zur wahlfreien Verbindung einer ersten Anzahl an ersten Sende-/Empfangseinheiten mit einer zweiten Anzahl an zweiten Sende-/Empfangseinheiten. Die Erfindung betrifft ferner eine Kommunikationseinrichtung mit zumindest einer ersten und mit zumindest einer zweiten Sende-/Empfangseinheit sowie mit einer Verbindungseinrichtung zur selektiven Herstellung einer elektrischen Verbindung zwischen dem zumindest einen ersten und der zumindest einen zweiten Sende-/Empfangseinheit. Die Erfindung betrifft ferner ein Verfahren zur Herstellung einer Verbindungseinrichtung.

[0002] Kommunikationseinrichtungen zur Übertragung von Informationen umfassen zumindest eine erste Sende-/Empfangseinheit sowie zumindest eine zweite Sende-/Empfangseinheit. Im einfachsten Fall ist jeweils eine der ersten Sendeempfangseinheiten mit einer der zweiten Sende-/Empfangseinheiten zu einem Kanal verbunden. Bei Kommunikationseinrichtungen mit mehreren Übertragungskanälen ist hinsichtlich der Optimierung von Kosten und der notwendigen Übertragungsleitungen ein Multiplexverfahren vorteilhaft. Bei diesem können mehrere erste Sende-/Empfangseinheiten wahlweise an eine zweite Sende-/Empfangseinheit geschaltet werden, wodurch sich die Anzahl der Systemkomponenten reduziert. In anderen Situationen ist es notwendig, Informationen zwischen einer Mehrzahl an ersten Sende-/Empfangseinheiten und einer Mehrzahl an zweiten Sende-/Empfangseinheiten parallel zu übertragen, wobei die Zuordnung von ersten Sende-/Empfangseinheiten und zweiten Sende-/Empfangseinheiten wahlfrei sein muss. Dies gilt beispielsweise bei einer Telefonvermittlung. Eine derartige Anforderung lässt sich mit einem Raummultiplexverfahren erfüllen.

[0003] [Fig. 1](#) zeigt in einer schematischen Darstellung eine sog. Kreuzschienenverteilung in einer Kommunikationseinrichtung. In [Fig. 1](#) sind erste Sende-/Empfangseinheiten mit den Bezugszeichen SE1-1, SE2-1, SE3-1 und SE4-1 gekennzeichnet. Die ersten Sende-/Empfangseinheiten SE1-1, ..., SE4-1 sind mit Eingangsleitungen LE1, LE2, LE3, LE4 gekoppelt. Zweite Sende-/Empfangseinheiten sind mit den Bezugszeichen SE1-2, SE2-2, SE3-2 und SE4-2 gekennzeichnet. Die zweiten Sende-/Empfangseinheiten SE1-2, ..., SE4-2 sind jeweils mit einer Ausgangsleitung LA1, LA2, LA3, LA4 gekoppelt. In diesem Ausführungsbeispiel ist die Anzahl der ersten Sende-/Empfangseinheiten SE1-1, ..., SE4-1 entsprechend der Anzahl der zweiten Sende-/Empfangseinheiten SE1-2, ..., SE4-2 gewählt. Dies ist lediglich exemplarisch. Die Anzahl der ersten und zweiten Empfangseinheiten kann prinzipiell beliebig gewählt sein.

[0004] Zur wahlfreien Verbindung der ersten Sende-/Empfangseinheiten SE1-1, ..., SE4-1 und der zweiten Sende-/Empfangseinheiten SE1-2, ..., SE4-2 ist eine Schaltermatrix SM vorgesehen. Die Schaltermatrix SM umfasst an den Knotenpunkten K11, K12, K13, K14, ..., K41, K42, K43, K44 (allgemein K_{ij} , wobei i die Anzahl der Eingangsleitungen und j die Anzahl der Ausgangsleitungen ist) jeweils ein Schaltelement (nicht dargestellt). Durch ein an einem Knotenpunkt K_{ij} angeordnetes Schaltelement wird dabei eine elektrische Verbindung der sich in dem Knotenpunkt kreuzenden Eingangsleitung und Ausgangsleitung vorgenommen.

[0005] Durch entsprechende Ansteuerung jeweiliger Schaltelemente durch eine in der [Fig. 1](#) nicht dargestellte Ansteuerschaltung lässt sich jeweils parallel eine bestimmte der ersten Sende-/Empfangseinheiten SE1-1, ..., SE4-1 mit einer bestimmten der zweiten Sende-/Empfangseinheiten SE1-2, ..., SE4-2 elektrisch verbinden. Dies ist in [Fig. 1](#) durch die mit den Bezugszeichen P1, ..., P4 gekennzeichneten Kommunikationspfade exemplarisch dargestellt. Mit dem Kommunikationspfad P1 ist die erste Sende-/Empfangseinheit SE1-1 mit der zweiten Sende-/Empfangseinheit SE2-2 verbunden. Dabei stellt die erste Sende-/Empfangseinheit SE1-1 einen Sender und die zweite Sende-/Empfangseinheit SE2-2 einen Empfänger dar, was durch die Pfeilrichtung ausgedrückt ist. Die elektrische Verbindung erfolgt dadurch, dass das an dem Knotenpunkt K12 angeordnete Schaltelement leitend geschaltet ist, während die weiteren in dem Kommunikationspfad T1 angeordneten Schaltelemente in den Knotenpunkten K11, K22, K32 und K42 sperrend gehalten sind.

[0006] In entsprechender Weise ist ein Kommunikationspfad P2 zwischen der ersten Sende-/Empfangseinheit SE2-1 und der zweiten Sende-/Empfangseinheit SE1-2, zwischen der ersten Sende-/Empfangseinheit SE3-1 und der zweiten Sende-/Empfangseinheit SE3-2 sowie der ersten Sende-/Empfangseinheit SE4-1 und der zweiten Sende-/Empfangseinheit SE4-2 gebildet. In dem dargestellten Ausführungsbeispiel stellen die ersten Sende-/Empfangseinheiten SE2-1 und SE4-1 Empfänger dar, während SE3-1 einen Sender bildet. Korrespondierend dazu stellen die zweiten Sende-/Empfangseinheiten SE1-2 und SE4-2 Sender und SE3-2 einen Empfänger dar.

[0007] Eine generelle Anforderung an eine, wie in [Fig. 1](#) beschriebene, Schaltermatrix besteht darin, dass das Multiplexverfahren die eigentliche Signalübertragung nicht beeinflusst. Die für das Multiplexen notwendigen Schaltelemente weisen parasitäre Elemente, einen Widerstand und eine Kapazität, auf. Dabei stellt insbesondere die Kapazität für hohe Frequenzen im Bereich von mehr als 100 MHz einen unerwünschten Leckpfad dar, der zu Signalverlusten führt. Damit ergibt sich insbesondere bei der Übertra-

gung von Hochfrequenzsignalen ein Signalintegritätsproblem.

[0008] Um die unerwünschten Signalverluste zu vermeiden, werden bislang Schaltelemente mit geringen parasitären Kapazitäten eingesetzt oder die Wirkung der parasitären Kapazitäten wird aktiv durch entsprechende Schaltungsanordnungen kompensiert. Schalter mit geringen parasitären Kapazitäten sind beispielsweise PIN-Dioden, die aber den Nachteil sehr hoher Gesteuerungskosten aufweisen. Das Vorsehen von Bauelementen zur Reduktion der parasitären Kapazitäten ist zwar kostengünstiger, weist jedoch den Nachteil auf, dass der Flächenbedarf für die Schaltermatrix ansteigt. Dabei nimmt der Platzbedarf, insbesondere wenn Schaltermatrixen zur wahlfreien Verbindung eine große Anzahl an ersten und zweiten Sende-/Empfangseinheiten aufweisen, eine nicht mehr tolerierbare Größe ein.

[0009] Es ist daher Aufgabe der vorliegenden Erfindung, eine Verbindungseinrichtung zur wahlfreien Verbindung von Sende-/Empfangseinheiten sowie eine Kommunikationseinrichtung anzugeben, bei denen eine Signalübertragung, insbesondere von Hochfrequenzsignalen, zu keinen oder nur geringen Signalverlusten führt. Gleichzeitig sollen diese mit geringem Platzbedarf zu realisieren sein.

[0010] Eine weitere Aufgabe der Erfindung besteht darin, ein Verfahren zum Herstellen einer Verbindungseinrichtung der oben genannten Art anzugeben, welches auf einfache und kostengünstige Weise realisierbar ist.

[0011] Diese Aufgaben werden mit den Merkmalen der unabhängigen Patentansprüche gelöst. Vorteilhaft ausgeführte Ausführungsformen ergeben sich jeweils aus den abhängigen Patentansprüchen.

[0012] Eine erfindungsgemäße Verbindungseinrichtung zur wahlfreien Verbindung einer ersten Anzahl an Sende-/Empfangseinheiten mit einer zweiten Anzahl an Sende-/Empfangseinheiten umfasst eine Schaltermatrix, die eine dritte Anzahl an steuerbaren mikromechanischen Schaltelementen umfasst, wobei durch Ansteuerung eines Schaltelements eine elektrische Verbindung zwischen einer der ersten Sende-/Empfangseinheiten und einer der zweiten Sende-/Empfangseinheiten herstellbar ist, und eine Ansteuerschaltung zur selektiven Ansteuerung jedes der mikromechanischen Schaltelemente.

[0013] Der Reduktion von Signalverlusten bei hochfrequenten Signalen bei gleichzeitig minimalem Raumbedarf für eine erfindungsgemäße Verbindungseinrichtung ergibt sich durch die Verwendung von mikromechanischen Schaltelementen. Diese sind unter dem Namen MEMS (Micro-Electro-Mechanical System) bekannt und stellen eine Kombination

von mechanischen Elementen und elektronischen Elementen auf einem Substrat bzw. Halbleiterchip dar. Mikromechanische Schaltelemente sind Bauelemente mit einer geringen parasitären Kapazität und damit insbesondere für die Übertragung von Hochfrequenzsignalen geeignet. Die Möglichkeiten der Mikrosystemtechnik erlauben dabei eine miniaturisierte und kostengünstige Realisierung einer Schaltermatrix.

[0014] Im Rahmen der vorliegenden Erfindung ist der Begriff des Schaltelements derart zu verstehen, dass sowohl Schalter als auch Relais umfasst sind. Die Schaltelemente sind jeweils an einem Kreuzungspunkt der Eingangsleitungen und der Ausgangsleitungen angeordnet und verbinden, bei entsprechender Ansteuerung, die jeweilige Eingangsmittel der Ausgangsleitung.

[0015] Die dritte Anzahl der steuerbaren mikromechanischen Schaltelemente bemisst sich nach der ersten Anzahl der ersten Sende-/Empfangseinheiten, die mit Eingangsleitungen verbunden sind und der zweiten Anzahl an zweiten Sende-/Empfangseinheiten, die mit Ausgangsleitungen verbunden sind. Allgemein ergibt sich die dritte Anzahl an Schaltelementen aus der Multiplikation der ersten Anzahl an ersten Sende-/Empfangseinheiten mit der zweiten Anzahl an zweiten Sende-/Empfangseinheiten. Eine erfindungsgemäße Verbindungseinrichtung umfasst damit mindestens ein Schaltelement, wenn lediglich eine erste Sende-/Empfangseinheit und eine zweite Sende-/Empfangseinheit vorgesehen sind.

[0016] Die Ansteuerschaltung kann beispielsweise durch ein ASIC (Application Specific Integrated Circuit) gebildet sein, welches der elektrischen Ansteuerung der einzelnen Schaltelemente der Schaltermatrix dient.

[0017] Gemäß einer vorteilhaften Ausführungsform sind die Schaltermatrix und die Ansteuerschaltung als integrierte Bauelemente in einem gemeinsamen Substrat ausgebildet. Durch die direkte Integration der Schaltelemente mit den Bauelementen der Ansteuerschaltung ergibt sich ein integriertes System, das kostengünstig herstellbar ist und hinsichtlich seines Flächenbedarfs optimiert für das Multiplexen von Hochfrequenzsignalen ist. Die Schaltelemente der Schaltermatrix sind zweckmäßigerweise in einem CMOS-kompatiblen Prozess ausgebildet bzw. herstellbar. Die Verbindungseinrichtung ist mit einer Frequenz von mehr als 100 MHz, weiter bevorzugt mit einer Frequenz von mehr als 300 MHz betreibbar.

[0018] Zur Ansteuerung der mikromechanischen Schaltelemente umfasst die Ansteuerschaltung gemäß einer weiteren Ausführungsform eine Pegelanpassungsschaltung, welche die zur Ansteuerung der mikromechanischen Schaltelemente notwendige

Spannung erzeugt. Zweckmäßigerweise umfasst die Ansteuerschaltung ein Positionsregister, in das ein Schaltungsmuster zur Ansteuerung sämtlicher Schaltelemente einschreibbar ist. Die Bitbreite des Positionsregisters bemisst sich dabei nach der Größe der Schaltermatrix, um eine gleichzeitige Ansteuerung sämtlicher Knotenpunkte zu ermöglichen.

[0019] Hierbei ist es zweckmäßig, wenn die Ansteuerschaltung einen Speicher umfasst, in dem eine Anzahl an vorbestimmten Schaltungsmustern zur Ansteuerung der Schaltelemente der Schaltermatrix hinterlegt ist, wobei die in dem Speicher hinterlegten Schaltungsmuster dem Positionsregister zuführbar sind. Das Vorsehen des Speichers mit den darin gehaltenen Schaltungsmustern weist den Vorteil auf, dass eine sehr schnelle Ansteuerung der Schaltermatrix möglich ist. Unabhängig davon ist es natürlich auch vorstellbar, dass das Positionsregister über eine Datenleitung mit einem Schaltungsmuster fallweise beschrieben wird.

[0020] Prinzipiell kann der technische Aufbau der mikromechanischen Schaltelemente beliebiger Natur sein. Bevorzugt werden mikromechanische Schaltelemente eingesetzt, die mittels eines elektrischen Feldeffekts ansteuerbar sind. Alternativ können die mikromechanischen Schaltelemente mittels eines piezoelektrischen Effekts ansteuerbar sein.

[0021] Eine erfindungsgemäße Kommunikationseinrichtung umfasst zumindest eine erste Sende-/Empfangseinheit und zumindest eine zweite Sende-/Empfangseinheit sowie eine Verbindungseinrichtung zur selektiven Herstellung einer elektrischen Verbindung zwischen der zumindest einen ersten und der zumindest einen zweiten Sende-/Empfangseinheit, wobei die Verbindungseinrichtung, wie oben beschrieben, ausgebildet ist. Damit gehen die gleichen Vorteile einher, wie sie vorstehend beschrieben wurden.

[0022] Ein erfindungsgemäßes Verfahren zur Herstellung einer Verbindungseinrichtung für die wahlfreie Verbindung einer ersten Anzahl an ersten Sende-/Empfangseinheiten mit einer zweiten Anzahl an zweiten Sende-/Empfangseinheiten, wobei die Verbindungseinrichtung eine Schaltermatrix, die eine dritte Anzahl an steuerbaren mikromechanischen Schaltelementen umfasst, und eine Ansteuerschaltung zur selektiven Ansteuerung jedes der mikromechanischen Schaltelemente aufweist, umfasst die folgenden Schritte: Bereitstellen eines ersten Wafers, in welchem die Ansteuerschaltung ausgebildet ist, und Ausbilden einer ersten elektrisch leitfähigen Schicht auf einer Oberseite des ersten Wafers, wobei die erste leitfähige Schicht für jedes Schaltelement zumindest eine erste Elektrode für elektrostatische Aktuation, eine erste Elektrode für einen Lastkreis und eine erste Elektrode für die Verbindung zu einer Ansteuer-

schaltung umfasst; Bereitstellen eines zweiten Wafers und Ausbildung einer zweiten elektrisch leitfähigen Schicht auf einer Vorderseite des zweiten Wafers, wobei die zweite leitfähige Schicht für jedes Schaltelement zumindest eine zweite Elektrode für elektrostatische Aktuation und eine zweite Elektrode für den Lastkreis umfasst; Verbinden des ersten und des zweiten Wafers derart miteinander, dass eine elektrische Verbindung zwischen der ersten Elektrode für die Verbindung zu der Ansteuerschaltung und der zweiten Elektrode für die elektrostatische Aktuation hergestellt wird.

[0023] Dabei sind die erste Elektrode für elektrostatische Aktuation und die erste Elektrode für die Verbindung zu der Ansteuerschaltung mit der Ansteuerschaltung verbunden. Eine elektrische Verbindung der ersten Elektrode für den Lastkreis mit der Ansteuerschaltung ist nicht notwendig.

[0024] Das Verfahren zur Herstellung einer erfindungsgemäßen Verbindungseinrichtung kann unter Verwendung bekannter Technologien durchgeführt werden. Die Integration der Funktionalität der Schaltermatrix in einen Wafer, welcher die Ansteuerschaltung beinhaltet, erfolgt durch weitere Bearbeitung dieses Wafers und das Bereitstellen und Bearbeiten eines zweiten Wafers, der in einem späteren Verarbeitungsschritt mit dem ersten Wafer verbunden wird. Die Verbindung erfolgt beispielsweise durch bekannte Bond-Mechanismen. Die Verwendung von Herstellungsprozessen, die aus der Halbleiterherstellung bekannt sind, ermöglicht auf einfache Weise die Bildung von beliebig großen Schaltermatrizen. Die Ansteuerung der Schaltelemente der Schaltermatrix durch die Ansteuerschaltung in dem ersten Wafer ist über in dem ersten Wafer ausgebildete Metallschichten auf einfache Weise möglich. Hierdurch lässt sich auf kostengünstige Weise eine Verbindungseinrichtung fertigen, welche im Vergleich zu herkömmlichen Verbindungseinrichtungen einen wesentlich geringeren Platzbedarf aufweist.

[0025] Gemäß einer zweckmäßigen Ausgestaltung wird der erste Wafer auf der Oberseite vor dem Ausbilden der ersten elektrischen leitfähigen Schicht, insbesondere durch ein chemisch-mechanisches Verfahren (Chemical Mechanical Polishing), planarisiert.

[0026] Gemäß einer weiteren zweckmäßigen Ausgestaltung wird vor dem Ausbilden der ersten elektrisch leitfähigen Schicht auf der Oberseite des ersten Wafers zumindest eine Grube erzeugt, deren Größe sich nach der Grundfläche des Schaltelements bemisst, wobei innerhalb der zumindest einen Grube zumindest eine Öffnung ausgebildet wird, welche eine in dem ersten Wafer vorgesehene Metallschicht freilegt.

[0027] In einem weiteren Verfahrensschritt wird die

erste Elektrode für die Verbindung zu der Ansteuerschaltung zumindest teilweise galvanisch verstärkt. Über die galvanische Verstärkung wird in einem späteren Verfahrensschritt die elektrische Verbindung zu der elektrisch leitfähigen Schicht auf dem zweiten Wafer hergestellt.

[0028] Zweckmäßigerweise wird der zweite Wafer durch ein SOI-Substrat gebildet. SOI steht für Silicon on Insulator ("Silizium auf einem Isolator"). Die SOI-Technik ist eine bekannte Bauart für Schaltkreise aus Silizium-Transistoren. Diese befinden sich auf einem isolierenden Material, wodurch sich kürzere Schaltzeiten und geringere Leistungsaufnahmen ergeben. Im Gegensatz zu gewöhnlichen Schaltern, die direkt auf dem Silizium-Wafer gefertigt werden, haben die Transistoren auf einer Isolatorschicht eine geringere Kapazität, so dass die bis zum Schalten benötigten Ladungen verringert werden. Auf die so verringerten Schaltzeiten werden höhere Taktraten ermöglicht. Gleichzeitig wird die Leistungsaufnahme verringert, wodurch sich auch kleinere Verlustwärmen ergeben. Zur Herstellung wird z.B. ein Silizium-Wafer thermisch oxidiert, dann wird ein zweiter Wafer mit seiner einkristallinen Oberfläche auf dessen Oxidschicht gelegt.

[0029] In einem weiteren Verfahrensschritt wird auf den zweiten Wafer eine Isolationsschicht aufgebracht. Diese wird in einem nachfolgenden Verarbeitungsschritt strukturiert, so dass die nachfolgend aufgebrachte zweite elektrisch leitfähige Schicht, insbesondere eine Metallschicht, unterhalb der Oberfläche der Isolationsschicht angeordnet ist. Das Ausbilden der zweiten Elektroden erfolgt zweckmäßigerweise durch Strukturierung der zweiten leitfähigen Schicht.

[0030] In einem weiteren Verfahrensschritt wird ein Ausleger in dem zweiten Wafer hergestellt, indem von der Vorderseite des zweiten Wafers her ein Graben bis zu einer vergrabenen Isolationsschicht eingebracht wird. Schließlich wird von der Rückseite her der zweite Wafer einem Schleif- und Ätzprozess unterzogen, so dass der Ausleger bei Kraffteinwirkung auslenkbar ist.

[0031] Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels in der Zeichnung näher erläutert. Es zeigen:

[0032] [Fig. 1](#) eine schematische Darstellung einer Kreuzschienenverteilung zur Durchführung eines Raummultiplexverfahrens,

[0033] [Fig. 2](#) eine schematische Darstellung einer erfindungsgemäßen Verbindungseinrichtung,

[0034] [Fig. 3a](#) bis d aufeinander folgende Herstellungsschritte bei der Bearbeitung eines ersten Wafers, in welchem eine Ansteuerschaltung der Verbindungs-

einrichtung ausgebildet ist,

[0035] [Fig. 4a](#) bis d aufeinander folgende Schritte bei der Bearbeitung eines zweiten Wafers zur Ausbildung von Teilkomponenten eines mikromechanischen Schalters, und

[0036] [Fig. 5a](#) und b aufeinander folgende Bearbeitungsschritte nach dem Verbinden des ersten und des zweiten Wafers.

[0037] Eine erfindungsgemäße Verbindungseinrichtung **1** zur Durchführung eines Raummultiplexverfahrens, zum Beispiel bei einer Kreuzschienenverteilung, ist in [Fig. 2](#) in schematischer Weise dargestellt. Die Verbindungseinrichtung **1** umfasst eine Schaltermatrix SM sowie eine Ansteuerschaltung AS. Die Schaltermatrix SM umfasst beispielhaft 8×8 mikromechanische Schaltelemente MMS. Diese sind an Knotenpunkten von acht Eingangsleitungen LE1, ..., LE8 und acht Ausgangsleitungen LA1, ..., LA8 angeordnet. Der Übersichtlichkeit halber sind in der Schaltermatrix SM der [Fig. 2](#) lediglich einige wenige der mikromechanischen Schaltelemente MMS exemplarisch dargestellt. Jedes der Schaltelemente MMS ist selektiv durch die Ansteuerschaltung AS ansteuerbar.

[0038] Ein mikromechanisches Schaltelement MMS weist drei Elektroden auf, von denen eine Elektrode mit der Ansteuerschaltung AS, eine zweite Elektrode mit einer der Eingangsleitungen LE_i, i = 1 bis 8, und die dritte Elektrode mit einer Ausgangsleitung LA_i, i = 1 bis 8, verbunden sind. Beim Ansteuern der mit der Ansteuerschaltung AS verbundenen Elektrode eines Schaltelements MMS wird ein Kurzschluss zwischen der zweiten und dritten Elektrode hergestellt, so dass eine elektrische Verbindung zwischen der betreffenden Eingangsleitung LE_i und der betreffenden Ausgangsleitung LA_i hergestellt ist.

[0039] Die Ansteuerung der Schaltermatrix SM erfolgt dabei derart, dass jeweils nur ein Schaltelement MMS einer Ausgangsleitung LA_i und einer Eingangsleitung LE_i angesteuert ist.

[0040] Zur Ansteuerung eines Schaltelements weist die Ansteuerschaltung AS eine Anzahl an Multiplexern MUX1, ..., MUX8 auf. Im Ausführungsbeispiel muss in acht Schalterpalten jeweils ein Schaltelement MMS ausgewählt werden. Zur Adressierung der acht Schalterpalten sind 3 Bit notwendig, so dass die Ansteuerung über 3:8-Multiplexer erfolgt. Für die wahlfreie Adressierung der 8×8-Schaltermatrix SM werden somit insgesamt 24 Bits (8 Spalten × 3 Bits) benötigt. Ein solches "Schaltungsmuster" wird in einem mit den Multiplexern MUX1, ..., MUX8 gekoppelten Positionsregister PR vorgehalten.

[0041] Das Positionsregister PR kann über eine Da-

tenleitung Data beschrieben werden. Die Datenleitung Data kann als Bus oder einzelne Leitung ausgebildet sein. Im Ausführungsbeispiel beinhaltet die Ansteuerschaltung AS einen internen Speicher SP, in dem eine Anzahl von vordefinierten Schaltungsmustern abgelegt ist. Der Speicher SP ist deshalb mit der Datenleitung Data verbunden und weiterhin über eine Leitung mit dem Positionsregister PR. Über eine Auswahlleitung Switch, die mit dem Ausgang des Speichers SP gekoppelt ist, kann ausgewählt werden, welches der in dem Speicher SP eingespeicherten Schaltungsmuster in das Positionsregister PR geschrieben werden soll. Die Auswahlleitung Switch ist im Ausführungsbeispiel zu diesem Zweck 4 Bit breit.

[0042] Die Ansteuerschaltung AS wird mit zwei Spannungspegeln VDD und VSS betrieben, welche an einer Versorgungspotential- und einer Bezugspotentialleitung anliegen. Die Bauelemente der Ansteuerschaltung AS arbeiten mit CMOS-Spannungspegeln, in der Regel 5V. Die zur Ansteuerung der mikro-mechanischen Schaltelemente (sog. MEMS-Schalter oder Relais) benötigten, im Vergleich dazu höheren, Spannungen, z.B. 60V, werden am Ausgang der Ansteuerschaltung AS mit einer Pegelanpassungsschaltung LS generiert. Die Pegelanpassungsschaltung LS wird auch als "Level Shifter" bezeichnet und verfügt zu diesem Zweck über eine Spannungsleitung HV, an der ein entsprechendes Spannungssignal anliegt. Darüber hinaus umfasst die Ansteuerschaltung AS in bekannter Weise einen Taktgenerator CG, welcher mit einer Taktleitung Clock verbunden ist.

[0043] In den nachfolgenden Fig. 3 bis 5 wird die Herstellung einer erfindungsgemäßen Verbindungseinrichtung beschrieben, wobei zu illustrativen Zwecken lediglich ein einziges Schaltelement dargestellt ist. Das erfindungsgemäße Verfahren ist jedoch unabhängig davon für eine ganze Schaltermatrix anwendbar.

[0044] Das erfindungsgemäße Verfahren zeichnet sich dadurch aus, dass die Schaltelemente der Schaltermatrix zusammen mit den Bauelementen der Ansteuerschaltung in ein gemeinsames Substrat integriert werden.

[0045] Ausgangsmaterial (vgl. Fig. 3a) ist ein planarisierter erster Wafer 10. Die Planarisierung erfolgt auf einer Oberseite 11 des ersten Wafers 10. Die Planarisierung erfolgt zum Beispiel mittels chemisch-mechanischem Polieren (Chemical Mechanical Polishing CMP). Im Bereich einer Rückseite 12 des ersten Wafers 10 sind CMOS-Strukturen ausgebildet, welche sich beispielhaft über die gesamte Fläche des ersten Wafers 10 erstrecken. Die CMOS-Strukturen sind mit dem Bezugszeichen 13 gekennzeichnet. In bekannter Weise ist innerhalb

des Substrats des ersten Wafers 10 eine Anzahl an Metallschichten ausgebildet, die zumindest teilweise über Durchkontaktierungen miteinander verbunden sind. Lediglich beispielhaft und schematisch sind im vorliegenden Ausführungsbeispiel zwei Metallschichten 14, 16 dargestellt, die über Durchkontaktierungen 15, 17 miteinander verbunden sein können.

[0046] Zur Herstellung einer erfindungsgemäßen Verbindungseinrichtung werden in einem ersten Schritt von der Oberseite 11 des ersten Wafers 10 her zwei Gruben 18, 19 erzeugt, die einerseits die Grundfläche für ein Schaltelement definieren und andererseits der Kontaktierung von später zu erzeugenden Elektroden dienen. Unterhalb der Gruben 18, 19 sind Abschnitte der Metallschichten 14, 16 angeordnet. Über die Metallschichten 14, 16 und durch Kontaktierungen 15, 17 erfolgt ein elektrischer Kontakt der Ansteuerschaltung mit dem zu erzeugenden Schaltelement. Zu diesem Zweck werden innerhalb der Gruben 18, 19 Öffnungen 20, 21, 22 zu der Metallschicht 16 erzeugt, wie dies in Fig. 3b dargestellt ist.

[0047] Es schließt sich der Schritt des Erzeugens einer elektrisch leitfähigen Schicht 24 an (vgl. Fig. 3c), wobei durch Strukturierung der elektrisch leitfähigen Schicht 24 eine erste Elektrode 25 für elektrostatische Aktuation, eine erste Elektrode 26 zum Anschluss an einen Lastkreis und eine erste Elektrode 27 für die Verbindung zu der Ansteuerschaltung ausgebildet werden. Wie aus Fig. 3c ohne weiteres ersichtlich ist, liegt die erste Elektrode 27 für die Verbindung zur Ansteuerschaltung in der ersten Grube 18, während die Elektroden 24, 25 in der benachbarten Grube 19 angeordnet sind. Entgegen der zeichnerischen Darstellung ist ein elektrischer Kontakt zwischen der ersten Elektrode für den Lastkreis 26 und der Ansteuerschaltung innerhalb der CMOS-Struktur 13 nicht notwendig bzw. sinnvoll.

[0048] Zum Zweck einer nachfolgenden elektrischen Kontaktierung wird in einem weiteren Verfahrensschritt, der in Fig. 3d dargestellt ist, ein Bereich der ersten Elektrode 27 für die Verbindung zu der Ansteuerschaltung galvanisch verstärkt, was mit dem Bezugszeichen 28 dargestellt ist.

[0049] In Fig. 4 ist die Bearbeitung eines zweiten Wafers, der als SOI-Substrat ausgebildet ist, dargestellt. Auf das SOI-Substrat (Silicon on Insulator) 50, das eine erste Halbleiterschicht 51 aus Si, eine darauf aufgetragene Isolationsschicht aus 52 aus SiO₂ und eine auf diese aufgetragene weitere Halbleiterschicht 53 aus Si umfasst, ist eine Isolationsschicht 55 aufgebracht. Die Isolationsschicht 55 kann z.B. ebenfalls aus SiO₂ gebildet sein. Die Isolationsschicht 55 wird in der in Fig. 4a gezeigten Weise strukturiert, so dass Gräben 56, 57 ausgebildet werden. In die Gräben 56, 57 wird, wie Fig. 4b zeigt, eine elektrisch leitfähige Schicht 58 eingebracht, wobei

durch eine Strukturierung der Metallschicht **58** eine zweite Elektrode **59** für elektrostatische Aktuierung und eine zweite Elektrode **60** für den Lastkreis geschaffen ist. Wie in [Fig. 4c](#) dargestellt ist, wird auf der zweiten Elektrode **60** für den Lastkreis eine Schalterkontaktfläche **61** durch galvanische Verstärkung strukturiert. In einem weiteren Verfahrensschritt, der in [Fig. 4d](#) dargestellt ist, wird ein Graben **62** von einer Vorderseite **54** des SOI-Substrats **50** her eingebracht, bis die Isolationsschicht **52** freigelegt ist. Hierdurch wird, wie aus der [Fig. 5b](#) besser hervorgeht, ein Ausleger **63** ermöglicht.

[0050] [Fig. 5a](#) zeigt einen Verfahrensschritt, nach dem die entsprechend den vorher beschriebenen Schritten bearbeiteten Wafer **10** und **50** miteinander verbunden sind. Dabei sind die Oberseite **11** des ersten Wafers **10** und die Vorderseite **54** des zweiten Wafers **50** einander zugewandt. Die Verbindung des ersten Wafers **10** mit dem zweiten Wafer **50** erfolgt bevorzugt unter Verwendung eines Bond-Verfahrens. Dabei wird eine elektrische Verbindung der zweiten Elektrode **59** für elektrostatische Aktuierung mit der galvanischen Verstärkung **58** des ersten Wafers **10** hergestellt. Die zweite Elektrode **59** für elektrostatische Aktuierung ist damit an die Ansteuerschaltung angeschlossen.

[0051] [Fig. 5b](#) zeigt eine fertig gestellte erfindungsgemäße Verbindungseinrichtung, nachdem der zweite Wafer **50** zurück geschliffen wurde. Dabei wurden die Halbleiterschicht **51** und die Isolationsschicht **52** entfernt, so dass nunmehr ein verformbarer Ausleger **63** geschaffen ist. Durch Anlegen entsprechender Potentiale an die erste Elektrode für die Verbindung zur Ansteuerschaltung **27** und die erste Elektrode **25** für elektrostatische Aktuierung wird zwischen der Elektrode **25** und dem Abschnitt der zweiten Elektrode **59**, der der ersten Elektrode **25** gegenüberliegt, ein elektrisches Feld erzeugt, welches zu einer Kraft und damit Auslenkung des Auslegers **63** führt. Dabei gelangt die Schalterkontaktfläche **61** in Anlage zu der ersten Elektrode **26** für den Lastkreis. Aus der Zeichnung nicht ersichtlich, für einen Fachmann jedoch ohne weiteres verständlich, befindet sich vor oder hinter der ersten Elektrode **26** eine weitere Lastkreiselektrode, wobei durch die Schalterkontaktfläche **61** ein elektrischer Kurzschluss zwischen der ersten Elektrode **26** und der nicht erkennbaren weiteren Lastkreiselektrode hervorgerufen wird. Ist die erste Elektrode **26** beispielsweise an eine Eingangsleitung angeschlossen und die weitere Lastkreiselektrode an eine Ausgangsleitung, so erfolgt eine elektrische Verbindung zwischen der an die Eingangsleitung angeschlossenen Sende-/Empfangseinrichtung und der an die Ausgangsleitung angeschlossenen Sende-/Empfangseinrichtung.

Patentansprüche

1. Verbindungseinrichtung zur wahlfreien Verbindung einer ersten Anzahl an ersten Sende-/Empfangseinheiten (SE1-1, SE2-1, SE3-1, SE4-1) mit einer zweiten Anzahl an zweiten Sende-/Empfangseinheiten (SE1-2, SE2-2, SE3-2, SE4-2), mit
 - einer Schaltermatrix (SM), die eine dritte Anzahl an steuerbaren mikromechanischen Schaltelementen (MMS) umfasst, wobei durch Ansteuerung eines Schaltelements (MMS) eine elektrische Verbindung zwischen einer der ersten Sende-/Empfangseinheiten (SE1-1, SE2-1, SE3-1, SE4-1) und einer der zweiten Sende-/Empfangseinheiten (SE1-2, SE2-2, SE3-2, SE4-2) herstellbar ist, und
 - einer Ansteuerschaltung (AS) zur selektiven Ansteuerung jedes der mikromechanischen Schaltelemente (MMS).
2. Verbindungseinrichtung nach Anspruch 1, bei der die Schaltermatrix (SM) und die Ansteuerschaltung (AS) als integrierte Bauelemente in einem gemeinsamen Substrat ausgebildet sind.
3. Verbindungseinrichtung nach Anspruch 1 oder 2, bei der die Schaltelemente (MMS) der Schaltermatrix (SM) in einem CMOS-kompatiblen Prozess ausgebildet bzw. herstellbar sind.
4. Verbindungseinrichtung nach einem der vorherigen Ansprüche, bei der diese mit einer Frequenz von mehr als 100 MHz, weiter bevorzugt mit einer Frequenz von mehr als 300 MHz betreibbar ist.
5. Verbindungseinrichtung nach einem der vorherigen Ansprüche, bei der die Ansteuerschaltung (AS) eine Pegelanpassungsschaltung (LS) zur Ansteuerung der mikromechanischen Schaltelemente (MMS) umfasst.
6. Verbindungseinrichtung nach einem der vorherigen Ansprüche, bei der die Ansteuerschaltung (AS) ein Positionsregister (PR) umfasst, in das ein Schaltungsmuster zur Ansteuerung sämtlicher Schaltelemente (MMS) einschreibbar ist.
7. Verbindungseinrichtung nach Anspruch 6, bei der die Ansteuerschaltung (AS) einen Speicher (SP) umfasst, in dem eine Anzahl an vorbestimmten Schaltungsmustern zur Ansteuerung der Schaltelemente (MMS) der Schaltermatrix (SM) hinterlegt ist, wobei die in dem Speicher (SP) hinterlegten Schaltungsmuster dem Positionsregister (PR) zuführbar ist.
8. Verbindungseinrichtung nach einem der vorherigen Ansprüche, bei der die mikromechanischen Schaltelemente (MMS) mittels eines elektrischen Feldeffekts ansteuerbar sind.

9. Verbindungseinrichtung nach einem der vorherigen Ansprüche, bei der die mikromechanischen Schaltelemente (MMS) mittels eines piezoelektrischen Effekts ansteuerbar sind.

10. Kommunikationseinrichtung mit zumindest einer ersten Sende-/Empfangeinheit (SE1-1, SE2-1, SE3-1, SE4-1) und mit zumindest einer zweiten Sende-/Empfangeinheit (SE1-2, SE2-2, SE3-2, SE4-2) sowie mit einer Verbindungseinrichtung (1) zur selektiven Herstellung einer elektrischen Verbindung zwischen der zumindest einen ersten und der zumindest einen zweiten Sende-/Empfangeinheit, bei der die Verbindungseinrichtung (1) nach einem der vorherigen Ansprüche ausgebildet ist.

11. Verfahren zur Herstellung einer Verbindungseinrichtung (1) für die wahlfreie Verbindung einer ersten Anzahl an ersten Sende-/Empfangeinheiten (SE1-1, SE2-1, SE3-1, SE4-1) mit einer zweiten Anzahl an zweiten Sende-/Empfangeinheiten (SE1-2, SE2-2, SE3-2, SE4-2), wobei die Verbindungseinrichtung (1) eine Schaltermatrix (SM), die eine dritte Anzahl an steuerbaren mikromechanischen Schaltelementen (MMS) umfasst, und eine Ansteuerschaltung (AS) zur selektiven Ansteuerung jedes der mikromechanischen Schaltelemente (MMS) aufweist, mit den Schritten:

- Bereitstellen eines ersten Wafers (10), in welchem die Ansteuerschaltung (AS) ausgebildet ist, und Ausbilden einer ersten elektrisch leitfähigen Schicht (24) auf einer Oberseite (11) des ersten Wafers, wobei die erste leitfähige Schicht für jedes Schaltelement (MMS) zumindest eine erste Elektrode (25) für elektrostatische Aktuation, eine erste Elektrode (26) für einen Lastkreis und eine erste Elektrode (27) für die Verbindung zu der Ansteuerschaltung (AS) umfasst;
- Bereitstellen eines zweiten Wafers (50) und Ausbilden einer zweiten elektrisch leitfähigen Schicht (58) auf einer Vorderseite (54) des zweiten Wafers, wobei die zweite leitfähige Schicht (58) für jedes Schaltelement (MMS) zumindest eine zweite Elektrode (59) für elektrostatische Aktuation und eine zweite Elektrode (60) für den Lastkreis umfasst;
- Verbinden des ersten und des zweiten Wafers (10, 50) derart miteinander, dass eine elektrische Verbindung zwischen der ersten Elektrode (27) für die Verbindung zu der Ansteuerschaltung (AS) und der zweiten Elektrode (59) für elektrostatische Aktuation hergestellt wird.

12. Verfahren nach Anspruch 11, bei dem der erste Wafer (10) auf der Oberseite (11) vor dem Ausbilden der ersten elektrisch leitfähigen Schicht (24), insbesondere durch ein chemisch-mechanisches Verfahren, planarisiert wird.

13. Verfahren nach Anspruch 11 oder 12, bei dem vor dem Ausbilden der ersten elektrisch leitfähigen Schicht (24) auf der Oberseite (11) des ersten

Wafers (10) zumindest eine Grube (18, 19) erzeugt wird, deren Größe sich nach der Grundfläche des Schaltelements (MMS) bemisst, wobei innerhalb der zumindest einen Grube (18, 19) zumindest eine Öffnung (20, 21, 22) ausgebildet wird, welche eine in dem ersten Wafer (11) vorgesehene Metallschicht (16) freilegen.

14. Verfahren nach einem der Ansprüche 11 bis 13, bei dem die erste Elektrode (27) für die Verbindung zu der Ansteuerschaltung (AS) zumindest teilweise galvanisch verstärkt wird.

15. Verfahren nach einem der Ansprüche 11 bis 14, bei dem der zweite Wafer (50) durch ein SOI-Substrat (SOI = Silicon on Insulator) gebildet wird.

16. Verfahren nach einem der Ansprüche 11 bis 15, bei dem auf den zweiten Wafer (50) eine Isolationsschicht (55) aufgebracht wird.

17. Verfahren nach Anspruch 16, bei dem die Isolationsschicht (55) strukturiert wird, so dass die nachfolgend aufgebrachte zweite elektrisch leitfähige Schicht (58), insbesondere eine Metallschicht, unterhalb der Oberfläche der Isolationsschicht (55) angeordnet ist.

18. Verfahren nach einem der Ansprüche 11 bis 17, bei dem das Ausbilden der zweiten Elektroden (59, 60) durch Strukturierung der zweiten leitfähigen Schicht (58) erfolgt.

19. Verfahren nach einem der Ansprüche 11 bis 18, bei dem ein Ausleger (63) in dem zweiten Wafer (50) hergestellt wird, indem von der Vorderseite (54) des zweiten Wafers (50) her ein Graben (62) bis zu einer vergrabenen Isolationsschicht (52) eingebracht wird.

20. Verfahren nach Anspruch 19, bei dem der zweite Wafer (50) von der Rückseite her einem Schleif- und Ätzprozess unterzogen wird, so dass der Ausleger (63) bei Kraftereinwirkung auslenkbar ist.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

FIG 1

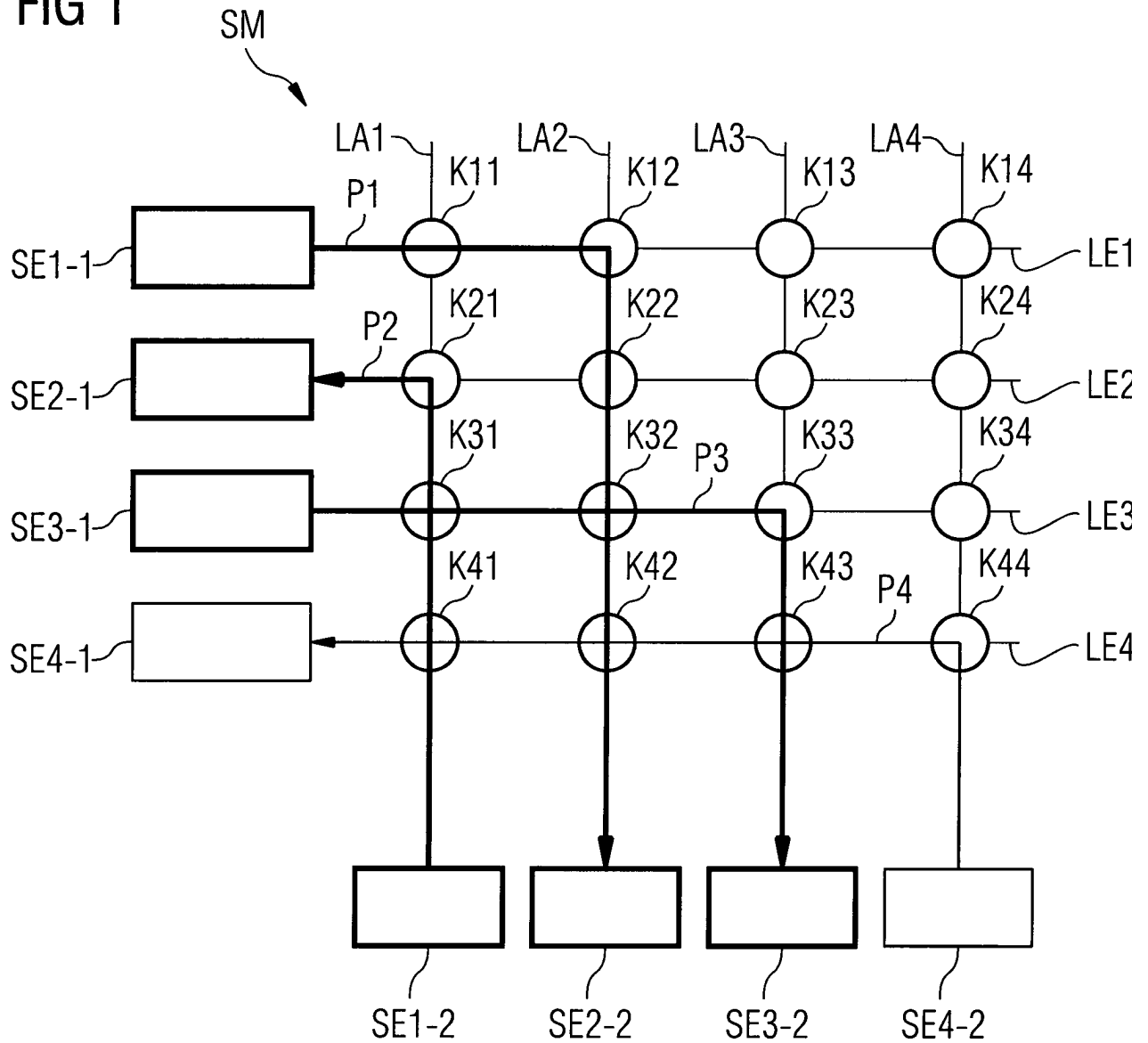


FIG 2

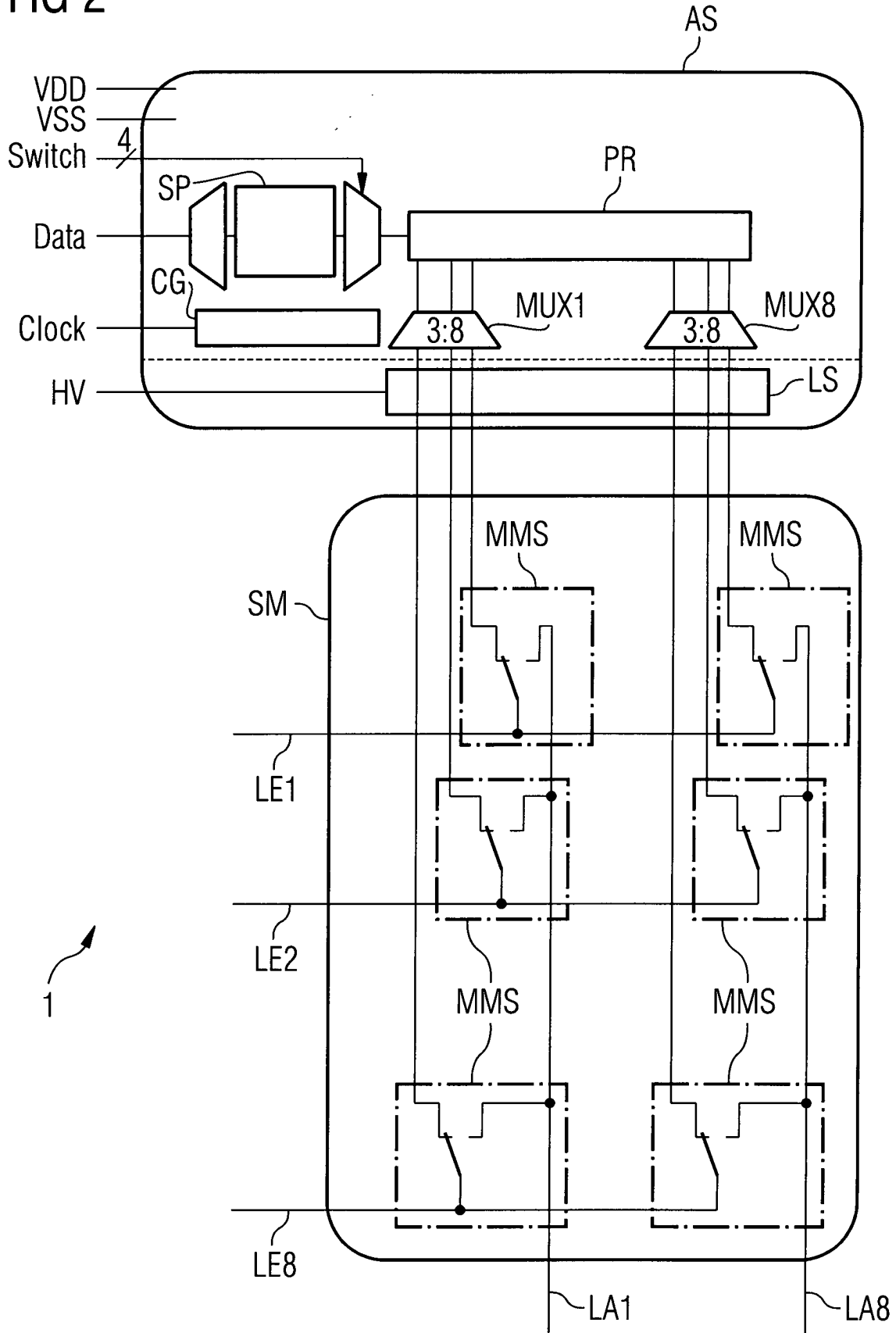


FIG 3A

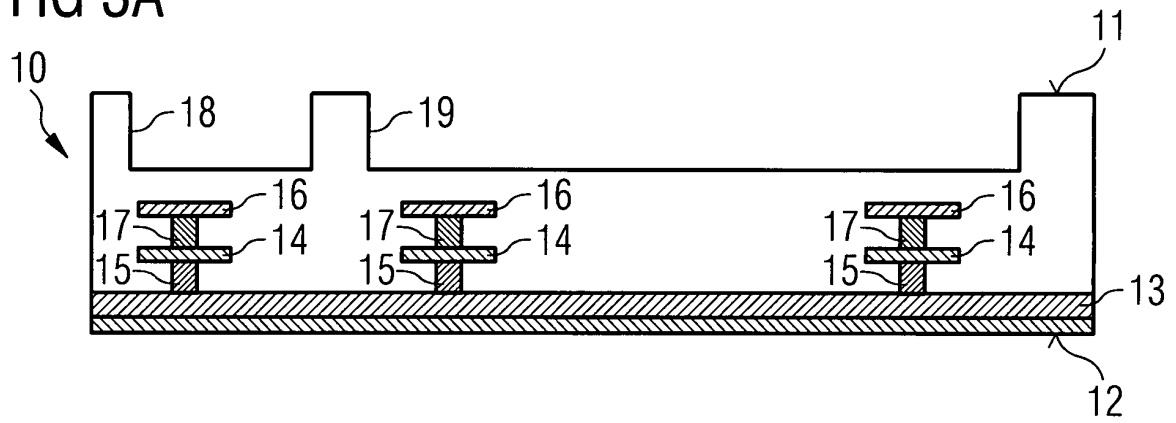


FIG 3B

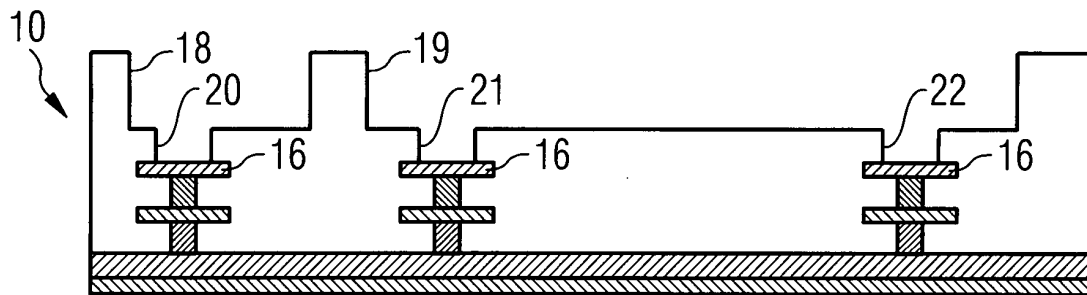


FIG 3C

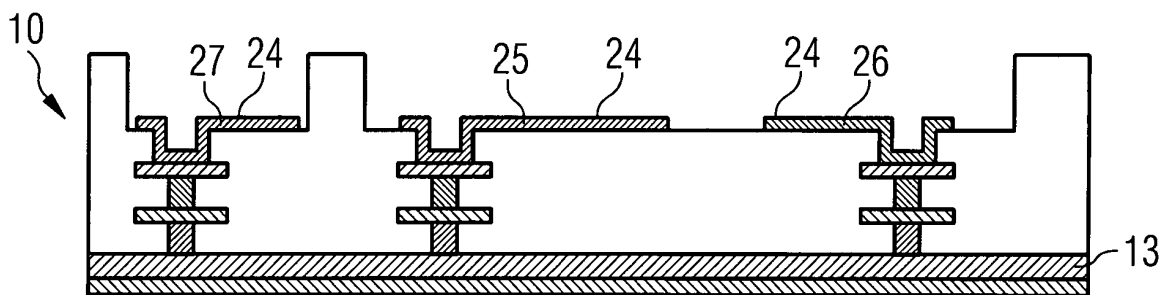


FIG 3D

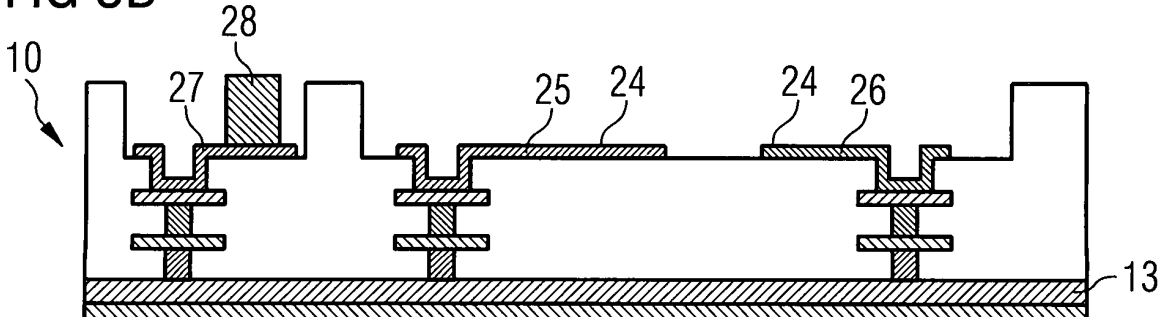


FIG 4A

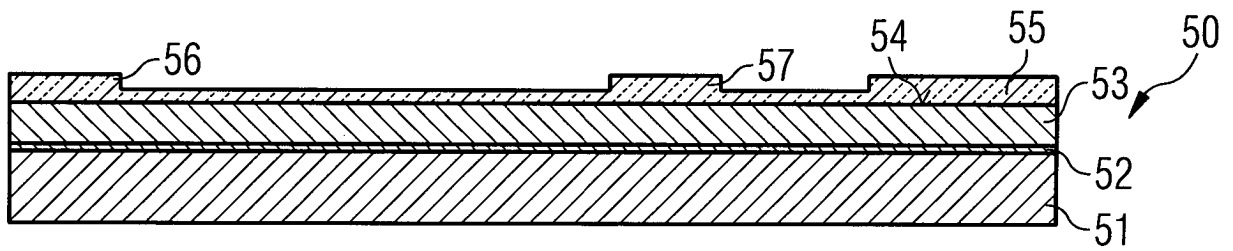


FIG 4B

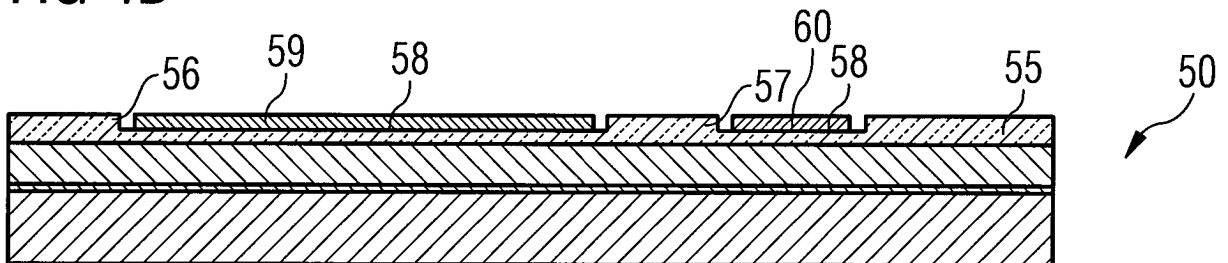


FIG 4C

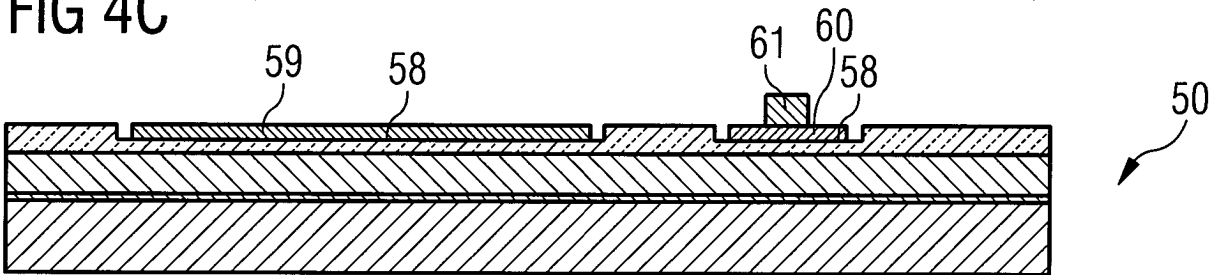


FIG 4D

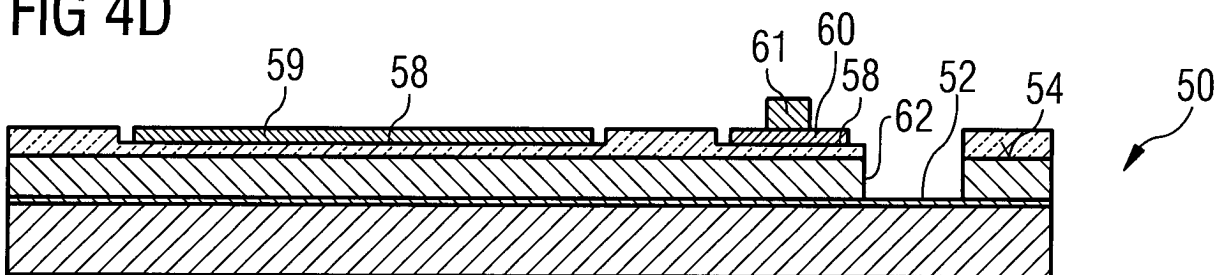


FIG 5A

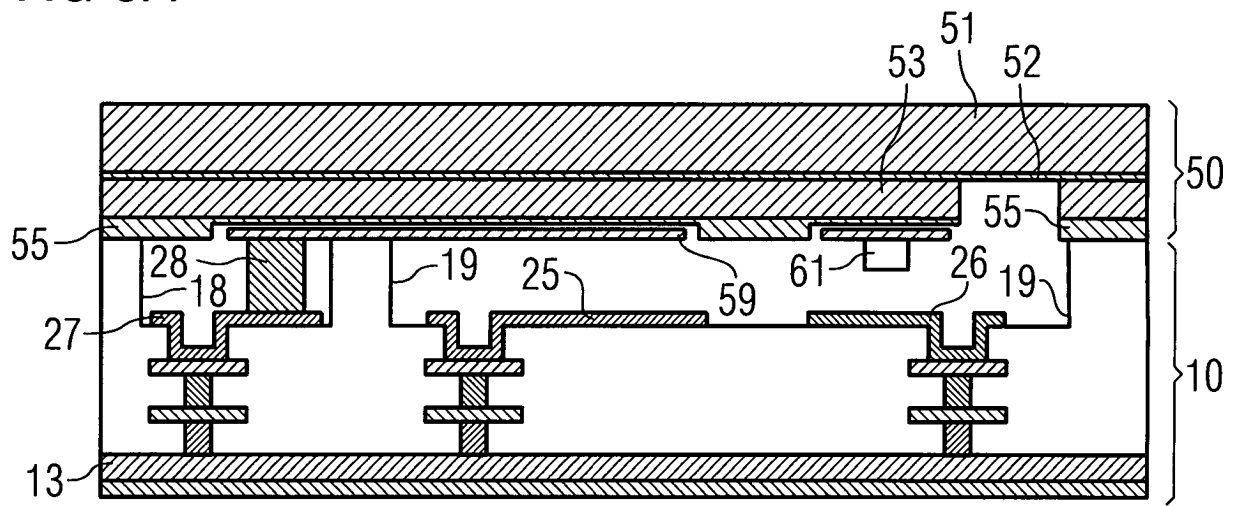


FIG 5B

