

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 12 月 19 日 (19.12.2024)



(10) 国际公布号
WO 2024/255099 A1

- (51) 国际专利分类号:
H10B 12/00 (2023.01)
- (21) 国际申请号: PCT/CN2023/131516
- (22) 国际申请日: 2023 年 11 月 14 日 (14.11.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202310713541.8 2023年6月14日 (14.06.2023) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。
- (72) 发明人: 肖德元 (XIAO, Deyuan); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。杨晨 (YANG, Chen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。金泰均 (KIM, Taegyun); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

邱云松 (QIU, Yunsong); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。蒋懿 (JIANG, Yi); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。廖昱程 (LIAO, Yu-cheng); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区苏州街3号大恒科技大厦南座五层503, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 一种半导体器件及其制造方法

提供衬底, 衬底包括器件区和外围区, 器件区包括第一子区和第二子区, 第二子区位于第一子区和外围区之间; 器件区的衬底包括沿第一方向延伸的多个第一隔离结构和沿第二方向延伸的多个第二隔离结构, 第一隔离结构和第二隔离结构共同隔离出多个有源柱; 第一隔离结构包括位于第一子区的第一子沟槽侧壁和位于第二子区的第二子沟槽侧壁, 第一子沟槽侧壁包括填充第一子沟槽的第一介电层, 第二子沟槽侧壁包括依次覆盖第二子沟槽侧壁和底部的第二介电层、第一隔离层和填充第二子沟槽的第二介电层; 其中, 第一方向和第二方向均平行于衬底且第一方向和第二方向相交

去除第一子沟槽内的部分第一介电层和第二子沟槽内的部分第一介电层和第二介电层, 以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁

去除第二子沟槽内暴露出的部分第一隔离层

图 3

- S301 Provide a substrate, wherein the substrate comprises a device region and a peripheral region, the device region comprises a first sub-region and a second sub-region, and the second sub-region is located between the first sub-region and the peripheral region; the substrate in the device region comprises a plurality of first isolation structures that extend in a first direction and a plurality of second isolation structures that extend in a second direction, and the first isolation structures and the second isolation structures jointly isolate a plurality of active pillars; each first isolation structure comprises a first isolation sub-structure located in the first sub-region and a second isolation sub-structure located in the second sub-region, the first isolation sub-structure comprises a first dielectric layer that fills up a first sub-trench, and the second isolation sub-structure comprises a first dielectric layer and a first isolation layer that sequentially cover the side wall and the bottom of a second sub-trench, and a second dielectric layer that fills up the second sub-trench; and the first direction and the second direction are both parallel to the substrate, and the first direction intersects the second direction
- S302 Remove part of the first dielectric layer from the first sub-trench, and remove part of the first dielectric layer and part of the second dielectric layer from the second sub-trench, so as to respectively expose at least part of the side wall of each active pillar and at least part of the side wall of the first isolation layer
- S303 Remove from the second sub-trench part of the first isolation layer that is exposed

(57) Abstract: Provided in the present disclosure are a semiconductor device and a manufacturing method therefor. The manufacturing method comprises: providing a substrate, wherein a device region of the substrate comprises a first sub-region and a second sub-region, a first isolation sub-structure located in the first sub-region comprises a first dielectric layer that fills up a first sub-trench, and a second isolation sub-structure located in the second sub-region comprises a first dielectric layer and a first isolation layer that sequentially cover the side wall and the bottom of a second sub-trench, and a second dielectric layer that fills up the second sub-trench; removing part of the first dielectric layer and part of the second dielectric layer from the second sub-trench, so as to expose at least part of the side wall of the first isolation layer; and removing from the second sub-trench part of the first isolation layer that is exposed.

(57) 摘要: 本公开提供一种半导体器件及其制造方法。该制造方法包括: 提供衬底, 衬底的器件区包括第一子区和第二子区; 位于第一子区的第一子隔离结构包括填充第一子沟槽的第一介电层, 位于第二子区的第二子隔离结构包括依次覆盖第二子沟槽侧壁和底部的第一介电层、第一隔离层和填充第二子沟槽的第二介电层; 去除第二子沟槽内的部分第一介电层和第二介电层, 以暴露出第一隔离层的至少部分侧壁; 去除第二子沟槽内暴露出的部分第一隔离层。

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

一种半导体器件及其制造方法

相关申请的交叉引用

本公开基于申请号为 202310713541.8、申请日为 2023 年 06 月 14 日、发明名称为“一种半导体器件及其制造方法”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开实施例涉及半导体技术领域，尤其涉及一种半导体器件及其制造方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory, DRAM）的存储单元包括一个晶体管和一个电容（1 Transistor 1 Capacitor, 1T1C），晶体管的栅极和字线连接，晶体管的源极和位线连接，晶体管的漏极和电容连接。

目前，如何对 DRAM 进行改进以提升其性能仍存在挑战。

发明内容

有鉴于此，本公开实施例提供一种半导体器件及其制造方法。

为达到上述目的，本公开的技术方案是这样实现的：

第一方面，本公开实施例提供一种半导体器件的制造方法，所述制造方法包括：

提供衬底，所述衬底包括器件区和外围区，所述器件区包括第一子区和第二子区，所述第二子区位于所述第一子区和所述外围区之间；所述器件区的衬底包括沿第一方向延伸的多个第一隔离结构和沿第二方向延伸的多个第二隔离结构，所述第一隔离结构和所述第二隔离结构共同隔离出多个有源柱；所述第一隔离结构包括位于所述第一子区的第一子隔离结构和位于所述第二子区的第二子隔离结构，所述第一子隔离结构包括填满第一子沟槽的第一介质层，所述第二子隔离结构包括依次覆盖第二子沟槽侧壁和底部的第一介质层、第一隔离层和填满第二子沟槽的第二介质层；其中，所述第一方向和所述第二方向均平行于所述衬底且所述第一方向和所述第二方向相交；

去除所述第一子沟槽内的部分第一介质层和所述第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出所述有源柱的至少部分侧壁和所述第一隔离层的至少部分侧壁；

去除所述第二子沟槽内暴露出的部分第一隔离层。

在一些实施例中，所述第二隔离结构包括位于所述第一子区的第三子隔离结构和位于所述第二子区的第四子隔离结构，所述第三子隔离结构包括填满第三子沟槽的第三介质层，所述第四子隔离结构包括依次覆盖第四子沟槽侧壁和底部的第三介质层、第二隔离层和填满第四子沟槽的第四介质层；

所述去除所述第一子沟槽内的部分第一介质层和所述第二子沟槽内的部分第一介质层和第二介质层之前，所述制造方法还包括：

形成第三隔离层，所述第三隔离层覆盖所述器件区的第一隔离结构和第二隔离结构；

去除部分所述第三隔离层，以保留覆盖所述第四子沟槽内第四介质层的第三隔离层。

在一些实施例中，所述去除所述第一子沟槽内的部分第一介质层和所述第二子沟槽内的部分第一介质层和第二介质层的同时，所述制造方法还包括：

去除所述第三子沟槽内的部分第三介质层和所述第四子沟槽内的部分第三介质层，以暴露出所述有源柱的至少部分侧壁和所述第二隔离层的至少部分侧壁。

在一些实施例中，所述去除所述第三子沟槽内的部分第三介质层和所述第四子沟槽内的部分第三介质层之后，所述制造方法还包括：

去除覆盖所述第四子沟槽内第四介质层的第三隔离层；

去除所述第四子沟槽内的部分第四介质层；其中，所述第四子沟槽内的第四介质层的表面高于所述第三介质层的表面。

在一些实施例中，所述去除所述第二子沟槽内暴露出的部分第一隔离层的同时，所述制造方法还包括：

去除所述第四子沟槽内暴露出的部分第二隔离层。

在一些实施例中，所述有源柱包括沿第三方向相对设置的第一端和第二端以及位于所述第一端和所述第二端之间的沟道区；所述第三方向垂直于所述衬底；

所述去除所述第二子沟槽内暴露出的部分第一隔离层之后，所述制造方法还包括：

形成沿所述第二方向延伸的多个字线结构；所述字线结构包覆位于同一行的所述有源柱的沟道区。

在一些实施例中，所述第一子沟槽和所述第二子沟槽共同形成第一沟槽，所述第三子沟槽和所述第四子沟槽共同形成第二沟槽；

所述形成沿所述第二方向延伸的多个字线结构，包括：

在所述第一沟槽和所述第二沟槽内形成至少包覆所述有源柱的沟道区的栅介质层；

在所述第一沟槽和所述第二沟槽内形成至少覆盖部分所述栅介质层的栅导电层；所述栅导电层包覆位于同一行的所述有源柱的沟道区，所述第一子沟槽和所述第二子沟槽内的栅导电层电连接；其中，所述栅介质层和所述栅导电层共同形成字线结构。

在一些实施例中，所述在所述第一沟槽和所述第二沟槽内形成至少覆盖部分所述栅介质层的栅导电层，包括：

形成导电材料层，所述导电材料层填满所述第一沟槽和所述第二沟槽；

去除覆盖所述有源柱的第二端的导电材料层；

形成第四隔离层，所述第四隔离层填满所述第一沟槽和所述第二沟槽；

依次对所述第二沟槽内的第四隔离层和导电材料层进行刻蚀，以形成字线隔槽和栅导电层；其中，所述字线隔槽沿所述第二方向延伸；所述第二子沟槽内的栅导电层和栅介质层直接接触，所述第四子沟槽内的栅导电层和第四介质层直接接触；

在所述字线隔槽中填充隔离材料，以形成字线隔离结构。

在一些实施例中，所述去除所述第二子沟槽内暴露出的部分第一隔离层之后，所述制造方法还包括：

形成沿所述第一方向延伸的多个位线结构；所述位线结构将位于同一列的所述有源柱的第一端依次连接；

形成多个存储电容；所述存储电容的第一电极和所述有源柱的第二端连接，所述存储电容的第二电极和公共端连接。

在一些实施例中，所述提供衬底，包括：

刻蚀所述衬底，以在所述器件区内形成第一沟槽且在所述外围区内形成第三沟槽；所述第一沟槽和所述第三沟槽均沿所述第一方向延伸；所述第一沟槽包括位于所述第一子区的第一子沟槽和位于所述第二子区的第二子沟槽；

形成第一介质层，所述第一介质层覆盖所述第二子沟槽和所述第三沟槽的侧壁和底部，且所述第一介质层填满所述第一子沟槽，以形成第一子隔离结构；

形成第一隔离层，所述第一隔离层覆盖所述第一介质层；

形成第二介质层，所述第二介质层填满所述第二子沟槽和所述第三沟槽，以分别形成第二子隔离结构和第三隔离结构。

在一些实施例中，所述提供衬底，还包括：

刻蚀所述衬底、所述第一介质层和所述第二介质层，以在所述器件区内形成第二沟槽，所述第二沟槽还延伸至所述外围区的第三沟槽内；所述第二沟槽沿所述第二方向延伸；所述第二沟槽包括位于所述第一子区的第三子沟槽和位于所述第二子区的第四子沟槽；

形成第三介质层，所述第三介质层覆盖所述第四子沟槽的侧壁和底部，且所述第三介质层填满所述第三子沟槽，以形成第三子隔离结构；

形成第二隔离层，所述第二隔离层覆盖所述第三介质层；

形成第四介质层，所述第四介质层填满所述第四子沟槽，以形成第四子隔离结构。

第二方面，本公开实施例提供一种半导体器件，所述半导体器件包括：

衬底；所述衬底包括器件区和外围区，所述器件区包括第一子区和第二子区，所述第二子区位于所述第一子区和所述外围区之间；

所述器件区的衬底包括沿第一方向延伸的多个第一沟槽和沿第二方向延伸的多个第二沟槽，所述第一沟槽和所述第二沟槽共同隔离出多个有源柱；所述有源柱包括沿第三方向相对设置的第一端和第二端以及位于所述第一端和所述第二端之间的沟道区；所述第一沟槽包括位于所述第一子区的第一子沟槽和位于所述第二子区的第二子沟槽；其中，所述第一方向和所述第二方向均平行于所述衬底且所述第一方向和所述第二方向相交，所述第三方向垂直于所述衬底；

沿所述第二方向延伸的多个字线结构，位于所述第一沟槽和所述第二沟槽内；所述字线结构包覆位于同一行的所述有源柱的沟道区；其中，所述第一子沟槽内的字线结构和所述第二子沟槽内的字线结构电连接。

在一些实施例中，所述半导体器件还包括：

沿所述第二方向延伸的第四隔离层，位于所述第一沟槽和所述第二沟槽内；所述第四隔离层包覆位于同一行的所述有源柱的第二端；

沿所述第二方向延伸的多个字线隔离结构，位于相邻所述字线结构和相邻所述第四隔离层之间。

在一些实施例中，所述字线结构包括：

栅介质层，至少包覆所述有源柱的沟道区；

栅导电层，位于所述栅介质层表面，且包覆位于同一行的所述有源柱的沟道区；其中，所述第一子沟槽和所述第二子沟槽内的栅导电层电连接，所述第二子沟槽内的栅导电层和栅介质层直接接触。

在一些实施例中，所述半导体器件还包括：

位于所述第一子沟槽和第二子沟槽内的第一介质层，所述第一介质层位于相邻所述有源柱的第一端之间且第一介质层覆盖第二子沟槽侧壁和底部；

覆盖所述第二子沟槽侧壁和底部的第一介质层的第一隔离层；

位于所述第二子沟槽内的第二介质层，且所述第二介质层位于所述栅导电层下方。

在一些实施例中，所述第二沟槽包括位于所述第一子区的第三子沟槽和位于所述第二子区的第四子沟槽；所述半导体器件还包括：

位于所述第三子沟槽和第四子沟槽内的第三介质层，所述第三介质层位于相邻所述有源柱的第一端之间且第三介质层覆盖第四子沟槽侧壁和底部；

覆盖所述第四子沟槽底部的第三介质层的第二隔离层；

位于所述第四子沟槽内的第四介质层，且所述第四介质层侧壁和所述栅导电层、第四隔离层直接接触。

在一些实施例中，所述半导体器件还包括：

位于所述外围区且沿所述第一方向延伸的第三隔离结构，所述第三隔离结构包括第一部分和第二部分，所述第二沟槽延伸至所述第三隔离结构内的部分为第二部分；

所述第一部分包括依次覆盖第三沟槽侧壁和底部的第一介质层、第一隔离层和覆盖所述第一隔离层的第二介质层；

所述第二部分包括依次覆盖所述第二沟槽延伸至所述第三隔离结构至少部分侧壁和底部的第三介质层和第二隔离层和填满所述第二沟槽延伸至所述第三隔离结构部分的第四介质层。

在一些实施例中，所述半导体器件还包括：

沿所述第一方向延伸多个位线结构，所述位线结构将位于同一列的所述有源柱的第一端依次连接；

多个存储电容；所述存储电容的第一电极和所述有源柱的第二端连接，所述存储电容的第二电极和公共端连接。

本公开实施例提供一种半导体器件及其制造方法。本公开实施例中，去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁；去除第二子沟槽内暴露出的部分第一隔离层；如此，在后续形成字线结构的过程中，第一子沟槽和第二子沟槽内的字线结构可以实现电连接，即，位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以实现电连接。

附图说明

图 1 为一些示例提供的半导体器件的俯视结构示意图；
图 2 为一些示例提供的半导体器件的剖视结构示意图；
图 3 为本公开实施例提供的半导体器件的制造方法的流程示意图；
5 图 4 为本公开实施例提供的半导体器件的俯视结构示意图；
图 5A 至图 5O 为本公开实施例提供的半导体器件的制造过程中的剖视结构示意图；
图 6 为本公开实施例提供的半导体器件的俯视结构示意图；
图 7 为本公开实施例提供的半导体器件的剖视结构示意图。

具体实施方式

10 下面将结合本公开实施方式及附图，对本公开实施方式中的技术方案进行清楚、完整地描述，显然，所描述的实施方式仅仅是本公开的一部分实施方式，而不是全部的实施方式。基于本公开中的实施方式，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施方式，都属于本公开保护的范围。

在下文的描述中，给出了大量具体的细节以便提供对本公开更为彻底的理解。然而，对于本领域技术人员而言显而易见的是，本公开可以无需一个或多个这些细节而得以实施。在其他的例子中，为了避免与本公开发生混淆，对于本领域公知的一些技术特征未进行描述；即，这里不描述实际实施例的全部特征，不详细描述公知的功能和结构。

在附图中，为了清楚，层、区、元件的尺寸以及其相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

20 应当明白，当元件或层被称为“在……上”、“与……相邻”、“连接到”或“耦合到”其它元件或层时，其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层，或者可以存在居间的元件或层。相反，当元件被称为“直接在……上”、“与……直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时，则不存在居间的元件或层。应当明白，尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分，这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此，在不脱离本公开教导之下，下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。而当讨论第二元件、部件、区、层或部分时，并不表明本公开必然存在第一元件、部件、区、层或部分。

30 空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

35 在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

40 为了彻底理解本公开，将在下列的描述中提出详细的步骤以及详细的结构，以便阐释本公开的技术方案。本公开的较佳实施例详细描述如下，然而除了这些详细描述外，本公开还可以具有其他实施方式。

45 在介绍本公开实施例之前，先定义本公开实施例可能用到的描述结构的三个方向，三个方向可以包括 X 方向、Y 方向和 Z 方向，X 方向和 Y 方向均平行于衬底且 X 方向和 Y 方向相交，Z 方向垂直于衬底。本公开实施例中，存储单元可以沿 X 方向和 Y 方向呈阵列排布，X 方向也可以称为行方向，Y 方向也可以称为列方向。

需要说明的是，可以定义第一方向、第二方向和第三方向。本公开实施例中，定义第一方向为 Y 方向，定义第二方向为 X 方向，定义第三方向为 Z 方向。

参考图 1 和图 2，图 1 为一些示例提供的半导体器件的俯视结构示意图，图 2 为一些示例提供的半导体器件的剖视结构示意图。如图 1 和图 2 所示，衬底 100 包括器件区 102 和外围区 104，外围区 104 可以围绕器件区 102 设置；其中，器件区 102 内设置有存储单元阵列，存储单元阵列包括沿 X 方向和 Y 方向呈阵列排布的多个存储单元；外围区 104 内设置有外围电路，外围电路可以用于对存储单元阵列进行控制。器件区 102 包括第一子区 106（如图 1 中点划线方框所示）和第二子区 108（如图 1 中虚线方框所示），第二子区 108 位于第一子区 106 和外围区 104 之间。更具体而言，第一子区 106 内设置有沿 X 方向和 Y 方向呈阵列排布的多个有源柱 110，有源柱包括沿 Z 方向相对设置的第一端和第二端以及位于第一端和第二端之间的沟道区，晶体管的漏极可以例如为有源柱的第一端，晶体管的源极可以例如为有源柱的第二端，晶体管的栅极可以围绕有源柱的沟道区。位于同一列（即，沿 Y 方向排列）的有源柱的第一端可以连接至同一位线（Bit Line, BL），位线可以由第一子区沿 Y 方向延伸至第二子区；位于同一行（即，沿 X 方向排列）的有源柱的沟道区外侧的栅极可以连接至同一字线（Word Line, WL），字线可以由第一子区沿 X 方向延伸至第二子区。换言之，第二子区 108 内未设置存储单元，第二子区 108 包括位线末端（Bit Line End）和字线末端（Word Line End）。

图 2 示意出沿图 1 中 a-a 方向、b-b 方向、c-c 方向、d-d 方向和 e-e 方向的剖视结构示意图，其中，沿 a-a 方向和 b-b 方向的剖视结构示意图均示意出器件区的第一子区和第二子区沿 Y 方向的结构示意图；沿 c-c 方向和 d-d 方向的剖视结构示意图均示意出器件区的第一子区和第二子区沿 X 方向的结构示意图；沿 e-e 方向的剖视结构示意图示意出外围区沿 X 方向的结构示意图。图 1 和图 2 示意出垂直沟道晶体管（Vertical Channel Transistor, VGT），且该垂直沟道晶体管为全环绕栅结构（Gate-All-Around, GAA）。

如图 2 中 c-c 方向剖视结构示意图所示，器件区 102 的衬底 100 包括沿 Y 方向延伸的第一沟槽 112，第一沟槽 112 包括位于第一子区 106 的第一子沟槽 114 和位于第二子区 108 的第二子沟槽 116；第一子沟槽 114 内的字线结构和第二子沟槽 116 内的字线结构之间可能被第一氮化硅柱 124（如图 2 中虚线圆框所示）隔离开，也就是说，位于第一子区 106 内用于连接同一行的存储单元栅极的字线结构和位于第二子区 108 内的字线结构末端可能无法实现电连接，存在字线结构末端高电阻（WL End High Resistance）以及字线结构断开的风险（Potential Risk of WL Open）。如图 2 中 a-a 方向剖视结构示意图所示，器件区 102 的衬底 100 还包括沿 X 方向延伸的第二沟槽 118，第二沟槽 118 包括位于第一子区 106 的第三子沟槽 120 和位于第二子区 108 的第四子沟槽 122；第四子沟槽 122 内的第二氮化硅柱 126（如图 2 中虚线圆框所示）可能对后续工艺形成的位线结构造成污染（SIN Pollution Risk）。

有鉴于此，本公开实施例提供一种半导体器件及其制造方法。

参考图 3，图 3 为本公开实施例提供的半导体器件的制造方法的流程示意图。如图 3 所示，本公开实施例提供一种半导体器件的制造方法，该制造方法包括：

步骤 S301：提供衬底，衬底包括器件区和外围区，器件区包括第一子区和第二子区，第二子区位于第一子区和外围区之间；器件区的衬底包括沿第一方向延伸的多个第一隔离结构和沿第二方向延伸的多个第二隔离结构，第一隔离结构和第二隔离结构共同隔离出多个有源柱；第一隔离结构包括位于第一子区的第一子隔离结构和位于第二子区的第二子隔离结构，第一子隔离结构包括填满第一子沟槽的第一介质层，第二子隔离结构包括依次覆盖第二子沟槽侧壁和底部的第一介质层、第一隔离层和填满第二子沟槽的第二介质层；其中，第一方向和第二方向均平行于衬底且第一方向和第二方向相交；

步骤 S302：去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁；

步骤 S303：去除第二子沟槽内暴露出的部分第一隔离层。

本公开实施例中，去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁；去除第二子沟槽内暴露出的部分第一隔离层；如此，在后续形成字线结构的过程中，第一子沟槽和第二子沟槽内的字线结构可以实现电连接，即，位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以实现电连接。

参考图 4 和图 5A 至图 5O，图 4 为本公开实施例提供的半导体器件的俯视结构示意图，图 5A 至图 5O 为本公开实施例提供的半导体器件的制造过程中的剖视结构示意图，详细地说明本公开实施例提供的半导体器件的制造方法。

需要说明的是，图 5A 至图 5O 均示意出沿图 4 中 a-a 方向、b-b 方向、c-c 方向、d-d 方向和 e-e 方向的剖视结构示意图，其中，沿 a-a 方向和 b-b 方向的剖视结构示意图均示意出器件区 202 的第一子区 206 和第二子区 208 沿 Y 方向的结构示意图；沿 c-c 方向和 d-d 方向的剖视结构示意图均示意出器件区 202 的第一子区 206 和第二子区 208 沿 X 方向的结构示意图；沿 e-e 方向的剖视结构示意图示意出外围区 204 沿 X 方向的结构示意图。

本公开实施例中，步骤 S301 包括：

刻蚀衬底 200，以在器件区 202 内形成第一沟槽 212 且在外围区 204 内形成第三沟槽 218；第一沟槽 212 和第三沟槽 218 均沿第一方向延伸；第一沟槽 212 包括位于第一子区 206 的第一子沟槽 214 和位于第二子区 208 的第二子沟槽 216；

形成第一介质层 220，第一介质层 220 覆盖第二子沟槽 216 和第三沟槽 218 的侧壁和底部，且第一介质层 220 填满第一子沟槽 214，以形成第一子隔离结构 228；

形成第一隔离层 222，第一隔离层 222 覆盖第一介质层 220；

形成第二介质层 224，第二介质层 224 填满第二子沟槽 216 和第三沟槽 218，以分别形成第二子隔离结构 230 和第三隔离结构 232。

如图 4 和图 5A 所示，衬底 200 包括器件区 (Core) 202 和外围区 (Periphery) 204，外围区 204 可以围绕器件区 202 设置；其中，器件区 202 包括第一子区 206 (如图 4 中点划线方框所示) 和第二子区 208 (如图 4 中虚线方框所示)，第二子区 208 位于第一子区 206 和外围区 204 之间。第一子区 206 包括存储单元阵列，即，沿 X 方向和 Y 方向呈阵列排布的多个存储单元；第二子区内未设置存储单元，第二子区 208 包括位线结构末端和字线结构末端；外围区 204 包括外围电路。这里，位线结构末端即为位线末端，字线结构末端即为字线末端。

在一些实施例中，衬底可以是半导体衬底；具体包括至少一个单质半导体材料 (例如为硅 (Si) 衬底、锗 (Ge) 衬底等)、至少一个 III-V 化合物半导体材料 (例如为氮化镓 (GaN) 衬底、砷化镓 (GaAs) 衬底、磷化铟 (InP) 衬底等)、至少一个 II-VI 化合物半导体材料、至少一个有机半导体材料或者在本领域已知的其他半导体材料，还可以包括其他含半导体材料的衬底，例如绝缘体上硅 (SOI) 衬底、绝缘体上锗 (GeOI) 衬底、绝缘层上的多晶半导体层、硅锗衬底等。本公开实施例对衬底的材料并无特殊的限定。

如图 5A 所示，刻蚀衬底 200，以在器件区 202 内形成第一沟槽 212 且在外围区 204 内形成第三沟槽 218；其中，第一沟槽 212 包括位于第一子区 206 的第一子沟槽 214 和位于第二子区 208 的第二子沟槽 216；第一子沟槽 214、第二子沟槽 216 和第三沟槽 218 均沿 Y 方向延伸。

这里，位于第一子区的第一子沟槽的数量可以例如为多个，第一子沟槽用于将位于不同列的有源柱隔离开；位于第二子区的第二子沟槽的数量可以例如为一个或者两个。在一具体示例中，位于第二子区的第二子沟槽可以在位于第一子区的第一子沟槽和位于外围区的第三沟槽之间，第二子沟槽可以位于第一子区的一侧，或者，第二子沟槽可以位于第一子区的相对设置的两侧。

这里，可以在同一刻蚀工艺中，同时在器件区内形成第一沟槽且在外围区内形成第三沟槽。第一子沟槽、第二子沟槽和第三沟槽沿 Z 方向上的高度基本相同。第一子沟槽沿 X 方向上的宽度小于第二子沟槽沿 X 方向上的宽度，第一子沟槽沿 X 方向上的宽度小于第三沟槽沿 X 方向上的宽度。

如图 5A 所示，在第一子沟槽 214、第二子沟槽 216 和第三沟槽 218 内形成第一介质层 220。这里，由于第一子沟槽 214、第二子沟槽 216 和第三沟槽 218 的尺寸不同，因此，第一介质层 220 可以填满第一子沟槽 214 以形成第一子隔离结构，而第一介质层 220 仅覆盖第二子沟槽 216 和第三沟槽 218 的侧壁和底部。

示例性地，在第一子沟槽内形成第一介质层的过程可以使用如下方法进行，例如，在第一子沟槽内形成第一介质材料层，第一介质材料层覆盖衬底表面；对第一介质材料层进行平坦化处理，去除部分第一介质材料层以暴露出衬底表面，使得剩余的第一介质材料层表面和衬底表面基本齐平，将剩余的第一介质材料层作为第一介质层。又例如，在第一子沟槽内形成第一介质层，第一介质层覆盖衬底表面。如此，可以在后续工艺过程中再去掉部分第一介质层以暴露出衬底表面。

在一具体示例中，平坦化处理包括但不限于化学机械研磨 (Chemical Mechanical Polishing, CMP) 工艺。

需要说明的是，基本齐平指的是衬底表面和第一介质层表面沿 Z 方向上的高度差小于预设值，即，衬底表面和第一介质层表面沿 Z 方向上的高度差满足工艺误差要求范围。在一具体示例中，衬底表面和第一介质层表面沿 Z 方向上的高度差为 0。

在一些实施例中，形成第一介质层的工艺包括但不限于化学气相沉积 (Chemical Vapor

Deposition, CVD)、物理气相沉积(Physical Vapor Deposition, PVD)以及原子层沉积(Atomic layer deposition, ALD)或其任意组合。

在一些实施例中,第一介质层的材料可以包括但不限于二氧化硅。

如图 5A 所示,在第二子沟槽 216 和第三沟槽 218 内形成第一隔离层 222,第一隔离层 222 覆盖第一介质层 220;在第二子沟槽 216 和第三沟槽 218 内形成第二介质层 224,第二介质层 224 填满第二子沟槽 216 和第三沟槽 218,以分别形成第二子隔离结构 230 和第三隔离结构 232;其中,第一子隔离结构 228 和第二子隔离结构 230 共同形成第一隔离结构 226。

在一些实施例中,形成第一隔离层和第二介质层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。

在一些实施例中,第一隔离层的材料可以包括但不限于氮化硅;第二介质层的材料可以包括但不限于二氧化硅。

本公开实施例中,步骤 S301 还包括:

刻蚀衬底 200、第一介质层 220 和第二介质层 224,以在器件区 202 内形成第二沟槽 234,第二沟槽 234 还延伸至外围区 204 的第三沟槽 218 内;第二沟槽 234 沿第二方向延伸;第二沟槽 234 包括位于第一子区 206 的第三子沟槽 236 和位于第二子区 208 的第四子沟槽 238;

形成第三介质层 240,第三介质层 240 覆盖第四子沟槽 238 的侧壁和底部,且第三介质层 240 填满第三子沟槽 236,以形成第三子隔离结构 248;

形成第二隔离层 242,第二隔离层 242 覆盖第三介质层 240;

形成第四介质层 244,第四介质层 244 填满第四子沟槽 238,以形成第四子隔离结构 250。

如图 5A 所示,刻蚀衬底 200、第一介质层 220 和第二介质层 224,以在器件区 202 内形成第二沟槽 234,第二沟槽 234 可能延伸至外围区 204 的第三沟槽 218 内;其中,第二沟槽 234 包括位于第一子区 206 内的第三子沟槽 236 和位于第二子区 208 内的第四子沟槽 238;第三子沟槽 236 和第四子沟槽 238 均沿 X 方向延伸。

这里,基于第三沟槽已经被填充形成第三隔离结构,第三隔离结构包括依次覆盖第三沟槽的侧壁和底部的第一介质层和第一隔离层以及填满第三沟槽的第二介质层。刻蚀形成第二沟槽的过程中,可能刻蚀去除第三沟槽内的部分第二介质层,即,第二沟槽可能延伸至第三沟槽内。第二沟槽所包括的第三子沟槽和第四子沟槽均可能沿 X 方向延伸至第三沟槽内。

这里,位于第一子区的第三子沟槽的数量可以例如为多个,第三子沟槽用于将位于不同行的有源柱隔离开;位于第二子区的第四子沟槽的数量可以例如为一个或者两个。在一具体示例中,位于第二子区的第四子沟槽可以在位于第一子区的第三子沟槽和位于外围区的第三沟槽之间,第四子沟槽可以位于第一子区的一侧,或者,第四子沟槽可以位于第一子区的相对设置的两侧。

这里,第三子沟槽和第四子沟槽沿 Z 方向上的高度基本相同,第三子沟槽沿 Y 方向上的宽度小于第四子沟槽沿 Y 方向上的宽度。在一具体示例中,第二沟槽沿 Z 方向上的高度小于第一沟槽沿 Z 方向上的高度。

如图 5B 所示,在第三子沟槽 236 和第四子沟槽 238 内形成第三介质层 240。这里,由于第三子沟槽 236 和第四子沟槽 238 的尺寸不同,因此,第三介质层 240 可以填满第三子沟槽 236 以形成第三子隔离结构 248,而第三介质层 240 仅覆盖第四子沟槽 238 的侧壁和底部。

示例性地,在第三子沟槽内形成第三介质层,第三介质层可以覆盖衬底表面。如此,可以在后续工艺过程中再去除部分第三介质层以暴露出衬底表面。

在一些实施例中,第三介质层的材料可以包括但不限于二氧化硅。

如图 5B 所示,形成第二隔离层 242,第二隔离层 242 可以覆盖位于衬底 200 表面的第三介质层 240 和位于第四子沟槽 238 内的第三介质层 240 的表面;在第四子沟槽 238 内形成第四介质层 244,第四介质层 244 可以覆盖位于衬底 200 表面的第二隔离层 242 和位于第四子沟槽 238 内的第二隔离层 242;其中,第四介质层 244 可以填满第四子沟槽 238。

这里,第二隔离层覆盖器件区和外围区,当然,第二隔离层覆盖位于第一子区的第一子沟槽内的第一介质层的表面、位于第二子区的第二子沟槽内的第二介质层的表面和位于外围区的第三沟槽内的第二介质层的表面。当然,第四介质层也会覆盖位于器件区和外围区的第二隔离层的表面。

在一些实施例中,形成第三介质层、第二隔离层和第四介质层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。

在一些实施例中,第二隔离层的材料可以包括但不限于氮化硅;第四介质层的材料可以包括但不限于二氧化硅。

在一些实施例中，第一隔离层和第二隔离层的材料可以相同或者不同。

在一些实施例中，第一介质层、第二介质层、第三介质层和第四介质层的材料可以相同或者不同。

如图 5B 和图 5C 所示，可以对第四介质层 244 进行平坦化处理，以暴露出位于器件区 202 和外围区 204 的第二隔离层 242 的表面；还可以对暴露出的第二隔离层 242 进行回刻处理（Etch Back），以暴露出第一子沟槽 214 内的第一介质层 220、第二子沟槽 216 内的第二介质层 224、第三子沟槽 236 内的第三介质层 240 和第四子沟槽 238 内的第四介质层 244。

这里，第二隔离结构包括第三子隔离结构和第四子隔离结构，第三子隔离结构包括填满第三子沟槽的第三介质层，第四子隔离结构包括依次覆盖第四子沟槽侧壁和底部的第三介质层、第二隔离层和填满第四子沟槽的第四介质层。

这里，沿 Y 方向延伸的第一子隔离结构和第二子隔离结构，以及沿 X 方向延伸的第三子隔离结构和第四子隔离结构将衬底的器件区隔离为沿 X 方向和 Y 方向呈阵列排布的多个有源柱。更具体而言，沿 Y 方向延伸的第一子隔离结构和沿 X 方向延伸的第三子隔离结构将衬底的第一子区隔离为呈阵列排布的多个有源柱。每个有源柱包括沿 Z 方向相对设置的第一端和第二端以及位于第一端和第二端之间的沟道区，晶体管的漏极可以例如为有源柱的第一端，晶体管的源极可以例如为有源柱的第二端，晶体管的栅极可以围绕有源柱的沟道区。位于同一列（即，沿 Y 方向排列）的多个晶体管的漏极可以连接至同一位线结构，位线结构末端位于第二子区内；位于同一行（即，沿 X 方向排列）的多个晶体管的栅极可以连接至同一字线结构，字线结构末端位于第二子区内。

这里，沿 Y 方向延伸的第三隔离结构将衬底的外围区隔离为多个有源区，后续可以用于形成外围电路的晶体管。

需要说明的是，覆盖第二子沟槽侧壁和底部的第一隔离层和覆盖第三子沟槽侧壁和底部的第一隔离层被第二介质层掩盖而未暴露出，覆盖第四子沟槽侧壁和底部的第二隔离层被第四介质层掩盖而未暴露出。因此，回刻处理难以去除这些被遮挡而未暴露出的第一隔离层或者第二隔离层。

本公开实施例中，在步骤 S302 之前，该制造方法还包括：

形成第三隔离层 252，第三隔离层 252 覆盖器件区 202 的第一隔离结构 226 和第二隔离结构 246；去除部分第三隔离层 252，以保留覆盖第四子沟槽 238 内第四介质层 244 的第三隔离层 252。

如图 5D 所示，形成第三隔离层 252，第三隔离层 252 覆盖器件区 202 和外围区 204；更具体而言，第三隔离层 252 覆盖位于器件区 202 的第一隔离结构 226（即，第一子隔离结构 228 和第二子隔离结构 230）的表面、第二隔离结构 246（即，第三子隔离结构 248 和第四子隔离结构 250）的表面以及位于外围区 204 的第三隔离结构 232 的表面。

在一些实施例中，形成第三隔离层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。

在一些实施例中，第三隔离层的材料包括但不限于氮化硅。

如图 5E 所示，在第三隔离层 252 上形成光刻胶层 254，光刻胶层 254 覆盖位于外围区 204 的第三隔离层 252 和位于第二子区 208 的第四子沟槽 238 内的第四介质层 244。也就是说，第三隔离结构 232 在 XY 平面上的正投影位于光刻胶层 254 在 XY 平面上的正投影的范围之内，且第四子隔离结构 250 的第四介质层 244 在 XY 平面上的正投影位于光刻胶层 254 在 XY 平面上的正投影的范围之内。

如图 5E 和图 5F 所示，以光刻胶层 254 作为掩膜，去除未被光刻胶层 254 覆盖的部分第三隔离层 252，以保留被光刻胶层 254 覆盖的部分第三隔离层 252；去除光刻胶层 254。

示例性地，可以使用灰化工艺去除光刻胶层。

这里，图 5F 示意出仍保留覆盖外围区 204 的第三隔离层 252 和覆盖第二子区 208 的第四子沟槽 238 内第四介质层 244 的第三隔离层 252。如此，在后续工艺过程中，第三隔离层可以起到保护作用，避免后续工艺损伤外围区的第三隔离结构以及第二子区的第四子沟槽内的第四介质层。

本公开实施例中，在步骤 S302 的同时，该制造方法还包括：

去除第三子沟槽 236 内的部分第三介质层 240 和第四子沟槽 238 内的部分第三介质层 240，以暴露出有源柱 210 的至少部分侧壁和第二隔离层 242 的至少部分侧壁。

如图 5G 所示，去除第一子沟槽 214 内的部分第一介质层 220 和第二子沟槽 216 内的部分第一介质层 220 和第二介质层 224 的同时，去除第三子沟槽 236 内的部分第三介质层 240 和第四子沟槽 238 内的部分第三介质层 240；其中，去除第一子沟槽 214 内的部分第一介质层 220 以暴露出有源柱 210 平行于 Y 方向的侧壁，去除第二子沟槽 216 内的部分第一介质层 220 和第二介质层 224 以暴露出有源柱 210 平行于 Y 方向的侧壁和第一隔离层 222 平行于 Y 方向的两个侧壁，去除第三子沟槽 236

内的部分第三介质层 240 以暴露出有源柱 210 平行于 X 方向的侧壁, 去除第四子沟槽 238 内的部分第三介质层 240 以暴露出有源柱 210 平行于 X 方向的侧壁和器件区 202 的第二隔离层 242 平行于 X 方向的一个侧壁。

这里, 有源柱沿 Z 方向延伸, 有源柱可以具有平行 X 方向的两个侧壁和平行 Y 方向的两个侧壁, 去除第一介质层、第二介质层和第三介质层, 可以暴露出有源柱的四个侧壁。当然, 也可以暴露出衬底表面, 即, 暴露出有源柱的顶表面。

需要说明的是, 暴露出的有源柱的侧壁沿 Z 方向上的高度 h_0 小于第一沟槽沿 Z 方向上的高度 h_1 , 且暴露出的有源柱的侧壁沿 Z 方向上的高度 h_0 小于第二沟槽沿 Z 方向上的高度 h_2 。有源柱平行于 Y 方向的部分侧壁仍被第一介质层覆盖, 有源柱平行于 X 方向的部分侧壁仍被第三介质层覆盖。如图 5G 中 c-c 方向的剖视结构示意图所示, 侧壁被第一介质层覆盖的部分有源柱沿 Z 方向上的高度为 (h_1-h_0) ; 如图 5G 中 a-a 方向的剖视结构示意图所示, 侧壁被第三介质层覆盖的部分有源柱沿 Z 方向上的高度为 (h_2-h_0) 。

需要说明的是, 暴露出的第一隔离层平行于 Y 方向的两个侧壁, 且未暴露出的第一隔离层平行于 Y 方向的两个侧壁分别和第一介质层、第二介质层直接接触。第二子沟槽内第一介质层和第二介质层的表面基本齐平, 即, 暴露出的第一隔离层的两个侧壁沿 Z 方向上的高度基本相同。当然, 暴露出的第一隔离层的侧壁沿 Z 方向上的高度 d_1 小于第二子沟槽沿 Z 方向上的高度 h_1 。更具体而言, 暴露出的第一隔离层的侧壁沿 Z 方向上的高度 d_1 和暴露出的有源柱的侧壁沿 Z 方向上的高度 h_0 基本相同。

需要说明的是, 基本相同指的是暴露出的第一隔离层的侧壁沿 Z 方向上的高度和暴露出的有源柱的侧壁沿 Z 方向上的高度之差小于预设值, 即, 暴露出的第一隔离层的侧壁沿 Z 方向上的高度和暴露出的有源柱的侧壁沿 Z 方向上的高度之差满足工艺误差要求范围。在一具体示例中, 暴露出的第一隔离层的侧壁沿 Z 方向上的高度和暴露出的有源柱的侧壁沿 Z 方向上的高度之差为 0。

本公开实施例中, 去除第三子沟槽 236 内的部分第三介质层 240 和第四子沟槽 238 内的部分第三介质层 240 之后, 该制造方法还包括:

去除覆盖第四子沟槽 238 内第四介质层 244 的第三隔离层 252;

去除第四子沟槽 238 内的部分第四介质层 244; 其中, 第四子沟槽 238 内的第四介质层 244 的表面高于第三介质层 240 的表面。

仍如图 5G 所示, 去除覆盖第四子沟槽 238 内第四介质层 244 的第三隔离层 252 的同时, 也去除覆盖外围区 204 的第三隔离层 252, 分别以暴露出第四子沟槽 238 内的第四介质层 244 和第三沟槽 218 内的第二介质层 224; 去除第四子沟槽 238 内的部分第四介质层 244, 以暴露出器件区 202 的第二隔离层 242 平行于 X 方向的另一个侧壁; 以及去除外围区 204 的部分第二介质层 224、部分第三介质层 240 和部分第四介质层 244, 以暴露出衬底 200 表面以及暴露出外围区 204 的第二隔离层 242 平行于 Y 方向的两个侧壁。

需要说明的是, 对于器件区的第二子区而言, 暴露出的第二隔离层平行于 X 方向的两个侧壁, 且未暴露出的第二隔离层平行于 X 方向的两个侧壁分别和第三介质层、第四介质层直接接触。当然, 暴露出的第二隔离层的侧壁沿 Z 方向上的高度小于第四子沟槽沿 Z 方向上的高度 h_2 。第四子沟槽内第四介质层表面高于第三介质层表面, 即, 暴露出第二隔离层的两个侧壁沿 Z 方向上的高度不同。更具体而言, 暴露出的第二隔离层的靠近第三介质层的侧壁沿 Z 方向上的高度 d_2 大于暴露出的第二隔离层的靠近第四介质层的侧壁沿 Z 方向上的高度 d_3 。也就是说, 第二子沟槽内的第一介质层、第二介质层和第四子沟槽内的第三介质层的表面基本齐平, 且第二子沟槽内的第一介质层、第二介质层和第四子沟槽内的第三介质层的表面低于第四子沟槽内的第四介质层的表面。在一具体示例中, 第四子沟槽内的第四介质层的表面和有源柱的顶表面基本齐平。

需要说明的是, 对于外围区而言, 暴露出的第二隔离层平行于 Y 方向的两个侧壁, 且未暴露出的第二隔离层平行于 Y 方向的两个侧壁分别和第三介质层、第四介质层直接接触。延伸至外围区的第三隔离结构内的第二沟槽内第三介质层和第四介质层的表面基本齐平, 即, 暴露出的第二隔离层的两个侧壁沿 Z 方向上的高度 d_4 基本相同。

本公开实施例中, 去除第二子沟槽 216 内暴露出的部分第一隔离层 222 的同时, 该制造方法还包括:

去除第四子沟槽 238 内暴露出的部分第二隔离层 242。

如图 5H 所示, 去除第二子沟槽 216 内暴露出的部分第一隔离层 222、去除第四子沟槽 238 内暴露出的部分第二隔离层 242 以及去除第三沟槽 218 内暴露出的部分第二隔离层 242。如此, 第二子

沟槽 216 内的第一介质层 220、第一隔离层 222 和第二介质层 224 的表面基本齐平；第四子沟槽 238 内剩余的第三隔离层 242 完全被第四介质层 244 覆盖；第二沟槽 234 延伸至第三沟槽 218 内的第三介质层 240、第二隔离层 242 和第四介质层 244 的表面基本齐平。

在一些实施例中，去除第一隔离层和第二隔离层的工艺包括干法刻蚀 (Dry Etch)、湿法刻蚀 (Wet Etch) 或其组合。本公开实施例对于去除第一隔离层和第二隔离层的工艺并无特殊的限定。

本公开实施例中，去除第二子沟槽 216 内暴露出的部分第一隔离层 222 之后，该制造方法还包括：

形成沿第二方向延伸的多个字线结构 272；字线结构 272 包覆位于同一行的有源柱 210 的沟道区 266。

本公开实施例中，第一子沟槽 214 和第二子沟槽 216 共同形成第一沟槽 212，第三子沟槽 236 和第四子沟槽 238 共同形成第二沟槽 234；

形成沿第二方向延伸的多个字线结构 272，包括：

在第一沟槽 212 和第二沟槽 234 内形成至少包覆有源柱 210 的沟道区 266 的栅介质层 256；

在第一沟槽 212 和第二沟槽 234 内形成至少覆盖部分栅介质层 256 的栅导电层 270；栅导电层 270 包覆位于同一行的有源柱 210 的沟道区 266，第一子沟槽 214 和第二子沟槽 216 内的栅导电层 270 电连接；其中，栅介质层 256 和栅导电层 270 共同形成字线结构 272。

如图 5I 所示，在第一沟槽 212 和第二沟槽 234 内形成覆盖有源柱 210 暴露出的四个侧壁的栅介质层 256，且栅介质层 256 还可以覆盖有源柱 210 的顶表面。

在一些实施例中，形成栅介质层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。在另一些实施例中，可以使用原位氧化工艺形成栅介质层，例如，对有源柱暴露出的侧壁和顶表面进行氧化处理，以形成栅介质层。

在一些实施例中，栅介质层的材料包括但不限于二氧化硅。

如图 5J 所示，形成导电材料层 258，导电材料层 258 覆盖器件区 202 和外围区 204。如前所述，第一介质层 220、第二介质层 224 和第三介质层 240 的表面基本齐平，且第一介质层 220、第二介质层 224 和第三介质层 240 的表面低于第四介质层 244 表面。因此，导电材料层 258 可以填满第一子沟槽 214、第三子沟槽 236 和第四子沟槽 238 且未填满第二子沟槽 216。

在一些实施例中，形成导电材料层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。

在一些实施例中，导电材料层的材料包括但不限于氮化钛或者金属材料，例如，金属钨。

本公开实施例中，在第一沟槽 212 和第二沟槽 234 内形成至少覆盖部分栅介质层 256 的栅导电层 270，包括：

形成导电材料层 258，导电材料层 258 填满第一沟槽 212 和第二沟槽 234；

去除覆盖有源柱的第二端 264 的导电材料层 258；

形成第四隔离层 268，第四隔离层 268 填满第一沟槽 212 和第二沟槽 234；

依次对第二沟槽 234 内的第四隔离层 268 和导电材料层 258 进行刻蚀，以形成字线隔槽和栅导电层 270；其中，字线隔槽沿第二方向延伸；第二子沟槽 216 内的栅导电层 270 和栅介质层 256 直接接触，第四子沟槽 238 内的栅导电层 270 和第四介质层 244 直接接触；

在字线隔槽中填充隔离材料，以形成字线隔离结构 274。

如图 5K 所示，形成绝缘层 260，绝缘层 260 覆盖器件区 202 和外围区 204。如前所述，导电材料层 258 填满第一子沟槽 214、第三子沟槽 236 和第四子沟槽 238 且未填满第二子沟槽 216。因此，绝缘层 260 可以填满第二子沟槽 216。

在一些实施例中，形成绝缘层的工艺包括但不限于 ALD。

在一些实施例中，绝缘层的材料包括但不限于二氧化硅。

如图 5L 所示，可以对绝缘层 260 进行平坦化处理，以暴露出导电材料层 258。

在一些实施例中，平坦化处理可以包括但不限于 CMP。

如图 5M 所示，刻蚀去除部分导电材料层 258，以暴露出有源柱的第二端 264，剩余的导电材料层 258 包覆有源柱的沟道区 266。这里，还可以去除位于有源柱 210 顶表面的栅介质层 256，仅保留覆盖有源柱 210 侧壁的栅介质层 256，即，栅介质层 256 可以覆盖有源柱 210 的沟道区 266 和第二端 264。

需要说明的是，第一子沟槽和第二子沟槽内剩余的导电材料层的表面基本齐平，且第二子沟槽内部分剩余的导电材料层上覆盖有绝缘层；第三子沟槽和第四子沟槽内剩余的导电材料层的表面基本齐平。

如图 5N 所示,在第一沟槽 212 和第二沟槽 234 内形成第四隔离层 268,第四隔离层 268 覆盖位于第一子沟槽 214、第二子沟槽 216、第三子沟槽 236 和第四子沟槽 238 内剩余的导电材料层 258 的表面;其中,第四隔离层 268 填满第一子沟槽 214、第二子沟槽 216、第三子沟槽 236 和第四子沟槽 238。

5 示例性地,在第一沟槽和第二沟槽内形成第四隔离材料层,第四隔离材料层可能覆盖有源柱的顶表面;对第四隔离材料层进行平坦化处理或者回刻处理,去除部分第四隔离材料层,以暴露出有源柱的顶表面,使得剩余的第四隔离材料层表面和有源柱顶表面基本齐平,将剩余的第四隔离材料层作为第四隔离层。

在一些实施例中,形成第四隔离层的工艺包括但不限于 CVD、PVD 以及 ALD 或其任意组合。

10 在一些实施例中,第四隔离层的材料包括但不限于氮化硅。

仍如图 5N 和图 5O 所示,还可以依次对第二沟槽 234 内的第四隔离层 268 和剩余的导电材料层 258 进行刻蚀,以形成字线隔槽和栅导电层 270;其中,字线隔槽沿 X 方向延伸;还可以在字线隔槽中填充隔离材料,以形成字线隔离结构 274。

这里,形成字线隔离结构的目的在于将不同的字线结构隔离开。

15 这里,字线结构的栅导电层可以为复合导电层,例如,栅导电层可以包括氮化钛和金属钨。本公开实施例对于栅导电层的层数和材料并无特殊的限定。

本公开实施例中,沿 X 方向延伸的字线结构包括栅介质层和栅导电层,栅介质层包覆位于同一行的有源柱的沟道区,栅导电层包覆位于同一行的有源柱的沟道区的栅介质层;其中,第二子沟槽内的栅导电层和栅介质层直接接触,即,第二子沟槽内的栅导电层未被第一隔离层隔离开;如此,20 第一子沟槽和第二子沟槽内的栅导电层电连接。换言之,第一子区内的字线结构和第二子区内的字线结构末端可以实现电连接,不存在字线结构断开的风险。

本公开实施例中,不同字线结构被字线隔离结构隔离开,第四子沟槽内的栅导电层和第四介质层直接接触,即,第四子沟槽内的栅导电层未和第二隔离层接触;如此,第四子沟槽内的第二隔离层被埋入第四介质层下方,可以避免第四子沟槽内暴露出的第二隔离层对后续形成的位线结构造成污染。

25 本公开实施例中,去除第二子沟槽 216 内暴露出的部分第一隔离层 222 之后,该制造方法还包括:

形成沿第一方向延伸的多个位线结构 276;位线结构 276 将位于同一列的有源柱 210 的第一端 262 依次连接;

30 形成多个存储电容;存储电容的第一电极和有源柱的第二端 264 连接,存储电容的第二电极和公共端连接。

这里,还可以形成沿 Y 方向延伸的位线结构,位线结构将位于同一列的有源柱的第一端依次连接;存储电容的第一电极和有源柱的第二端连接,存储电容的第二电极和公共端连接。

需要说明的是,本公开实施例中,有源柱的第一端可以例如为源极,有源柱的第二端可以例如为漏极;或者,有源柱的第一端可以例如为漏极,有源柱的第二端可以例如为源极。

35 本公开实施例中,去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层,以分别暴露出有源柱的至少部分侧壁和第一隔离层的部分侧壁;去除第二子沟槽内暴露出的部分第一隔离层;如此,在形成字线结构的过程中,第一子沟槽和第二子沟槽内的字线结构可以实现电连接,即,位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以实现电连接。进一步地,去除第二子沟槽内暴露出的部分第一隔离层的同时,40 还可以去除第四子沟槽内暴露出的部分第二隔离层,以避免暴露出的第二隔离层对后续形成的位线结构造成污染。

参考图 6 和图 7,图 6 为本公开实施例提供的半导体器件的俯视结构示意图,图 7 为本公开实施例提供的半导体器件的剖视结构示意图。如图 6 和图 7 所示,本公开实施例提供一种半导体器件,45 该半导体器件包括:

衬底 200;衬底 200 包括器件区 202 和外围区 204,器件区 202 包括第一子区 206 和第二子区 208,第二子区 208 位于第一子区 206 和外围区 204 之间;

50 器件区 202 的衬底 200 包括沿第一方向延伸的多个第一沟槽 212 和沿第二方向延伸的多个第二沟槽 234,第一沟槽 212 和第二沟槽 234 共同隔离出多个有源柱 210;有源柱 210 包括沿第三方向相对设置的第一端 262 和第二端 264 以及位于第一端 262 和第二端 264 之间的沟道区 266;第一沟槽 212 包括位于第一子区 206 的第一子沟槽 214 和位于第二子区 208 的第二子沟槽 216;其中,第一方

向和第二方向均平行于衬底 200 且第一方向和第二方向相交, 第三方向垂直于衬底 200;

沿第二方向延伸的多个字线结构 272, 位于第一沟槽 212 和第二沟槽 234 内; 字线结构 272 包覆位于同一行的有源柱的沟道区 266; 其中, 第一子沟槽 214 内的字线结构 272 和第二子沟槽 216 内的字线结构 272 电连接。

5 图 7 中 c-c 方向的剖面结构示意图中虚线方框示意出有源柱 210, 有源柱 210 包括沿 Z 方向相对设置的第一端 262 和第二端 264 以及位于第一端 262 和第二端 264 之间的沟道区 266。

本公开实施例中, 第一子沟槽和第二子沟槽内的字线结构可以电连接, 即, 位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以电连接。

本公开实施例中, 该半导体器件还包括:

10 沿第二方向延伸的第四隔离层 268, 位于第一沟槽 212 和第二沟槽 234 内; 第四隔离层 268 包覆位于同一行的有源柱 210 的第二端 264;

沿第二方向延伸的多个字线隔离结构 274, 位于相邻字线结构 272 和相邻第四隔离层 268 之间。

这里, 字线隔离结构 274 沿 X 方向延伸, 部分字线隔离结构 274 位于相邻字线结构 272 之间, 且部分字线隔离结构 274 位于相邻第四隔离层 268 之间。

15 本公开实施例中, 字线结构 272 包括: 栅介质层 256, 至少包覆有源柱 210 的沟道区 266;

栅导电层 270, 位于栅介质层 256 表面, 且包覆位于同一行的有源柱 210 的沟道区 266; 其中, 第一子沟槽 214 和第二子沟槽 216 内的栅导电层 270 电连接, 第二子沟槽 216 内的栅导电层 270 和栅介质层 256 直接接触。

本公开实施例中, 该半导体器件还包括:

20 位于第一子沟槽 214 和第二子沟槽 216 内的第一介质层 220, 第一介质层 220 位于相邻有源柱 210 的第一端 262 之间且第一介质层 220 覆盖第二子沟槽 216 侧壁和底部;

覆盖第二子沟槽 216 侧壁和底部的第一介质层 220 的第一隔离层 222;

位于第二子沟槽 216 内的第二介质层 224, 且第二介质层 224 位于栅导电层 270 下方。

25 这里, 第二子沟槽 216 内的第一介质层 220、第一隔离层 222 和第二介质层 224 的表面基本齐平; 其中, 第一介质层 220 覆盖第二子沟槽 216 的底部和部分侧壁, 第一隔离层 222 覆盖第一介质层 220, 第二介质层 224 覆盖第一隔离层 222; 第二子沟槽 216 内的栅导电层 270 位于第一介质层 220、第一隔离层 222 和第二介质层 224 的上方; 第二子沟槽 216 内还有第四隔离层 268 和绝缘层 260, 第四隔离层 268 和绝缘层 260 位于栅导电层 270 上方。

30 换言之, 第二介质层 224 的顶表面和栅导电层 270 直接接触。第二子沟槽 216 内的第一介质层 220、第一隔离层 222 和第二介质层 224 在 XY 平面上的正投影位于第二子沟槽 216 内的栅导电层在 XY 平面上的正投影范围之内。

本公开实施例中, 第二沟槽 234 包括位于第一子区 206 的第三子沟槽 236 和位于第二子区 208 的第四子沟槽 238; 该半导体器件还包括:

35 位于第三子沟槽 236 和第四子沟槽 238 内的第三介质层 240, 第三介质层 240 位于相邻有源柱 210 的第一端 262 之间且第三介质层 240 覆盖第四子沟槽 238 侧壁和底部;

覆盖第四子沟槽 238 底部的第三介质层 240 的第二隔离层 242;

位于第四子沟槽 238 内的第四介质层 244, 且第四介质层 244 侧壁和栅导电层 270、第四隔离层 268 直接接触。

40 这里, 第三介质层 240 覆盖第四子沟槽 238 的底部和部分侧壁, 第二隔离层 242 覆盖部分第三介质层 240, 第四介质层 244 覆盖第二隔离层 242, 即, 第二隔离层 242 在 XY 平面上的正投影位于第四介质层 244 在 XY 平面上的正投影范围之内。栅导电层 270 位于第三介质层 240 上方, 第四隔离层 268 位于栅导电层 270 上方; 其中, 第四隔离层 268 和第四介质层 244 的表面基本齐平。

45 换言之, 第四介质层 244 平行于 X 方向的侧壁和栅导电层 270 直接接触。第四子沟槽 238 内的第二隔离层 242 和第四介质层 244 在 XY 平面上的正投影位于第二子沟槽 216 内的栅导电层在 XY 平面上的正投影范围之外。

本公开实施例中, 该半导体器件还包括:

位于外围区 204 且沿第一方向延伸的第三隔离结构 232, 第三隔离结构 232 包括第一部分 278 和第二部分 280, 第二沟槽 234 延伸至第三隔离结构 232 内的部分为第二部分 280;

50 第一部分 278 (如图 7 中 e-e 方向的剖面结构示意图中虚线方框所示) 包括依次覆盖第三沟槽 218 侧壁和底部的第一介质层 220、第一隔离层 222 和覆盖第一隔离层 222 的第二介质层 224;

第二部分 280 (如图 7 中 e-e 方向的剖面结构示意图中虚线方框所示) 包括依次覆盖第二沟槽

234 延伸至第三隔离结构 232 至少部分侧壁和底部的第三介质层 240 和第二隔离层 242 和填满第二沟槽 234 延伸至第三隔离结构 232 部分的第四介质层 244。

本公开实施例中，该半导体器件还包括：

沿第一方向延伸多个位线结构 276，位线结构 276 将位于同一列的有源柱 210 的第一端 262 依次连接；

多个存储电容；存储电容的第一电极和有源柱 210 的第二端 264 连接，存储电容的第二电极和公共端连接。

本公开实施例提供一种半导体器件及其制造方法。本公开实施例中，去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁；去除第二子沟槽内暴露出的部分第一隔离层；如此，在后续形成字线结构的过程中，第一子沟槽和第二子沟槽内的字线结构可以实现电连接，即，位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以实现电连接。

应理解，说明书通篇中提到的“一个实施例”或“一实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一个实施例中”或“在一实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

以上所述仅为本公开的优选实施方式，并非因此限制本公开的专利范围，凡是在本公开的发明构思下，利用本公开说明书及附图内容所作的等效结构变换，或直接/间接运用在其他相关的技术领域均包括在本公开的专利保护范围内。

工业实用性

本公开实施例中，去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁；去除第二子沟槽内暴露出的部分第一隔离层；如此，在后续形成字线结构的过程中，第一子沟槽和第二子沟槽内的字线结构可以实现电连接，即，位于第一子区内用于连接同一行的存储单元栅极的字线结构和位于第二子区内的字线结构末端可以实现电连接。

权利要求书

1.一种半导体器件的制造方法，所述制造方法包括：

提供衬底（100），所述衬底（100）包括器件区（102）和外围区（104），所述器件区（102）包括第一子区（106）和第二子区（108），所述第二子区（108）位于所述第一子区（106）和所述外围区（104）之间；所述器件区（102）的衬底（100）包括沿第一方向延伸的多个第一隔离结构（226）和沿第二方向延伸的多个第二隔离结构（246），所述第一隔离结构（226）和所述第二隔离结构（246）共同隔离出多个有源柱（110）；所述第一隔离结构（226）包括位于所述第一子区（106）的第一子隔离结构（228）和位于所述第二子区（108）的第二子隔离结构（230），所述第一子隔离结构（228）包括填满第一子沟槽（214）的第一介质层（220），所述第二子隔离结构（230）包括依次覆盖第二子沟槽（216）侧壁和底部的第一介质层（220）、第一隔离层（222）和填满第二子沟槽（216）的第二介质层（224）；其中，所述第一方向和所述第二方向均平行于所述衬底（100）且所述第一方向和所述第二方向相交；

去除所述第一子沟槽（214）内的部分第一介质层（214）和所述第二子沟槽（216）内的部分第一介质层（214）和第二介质层（224），以分别暴露出所述有源柱（110）的至少部分侧壁和所述第一隔离层（222）的至少部分侧壁；

去除所述第二子沟槽（216）内暴露出的部分第一隔离层（222）。

2.根据权利要求1所述的半导体器件的制造方法，其中，所述第二隔离结构（246）包括位于所述第一子区（106）的第三子隔离结构（248）和位于所述第二子区（108）的第四子隔离结构（250），所述第三子隔离结构（248）包括填满第三子沟槽（236）的第三介质层（240），所述第四子隔离结构（250）包括依次覆盖第四子沟槽（238）侧壁和底部的第三介质层（240）、第二隔离层（242）和填满第四子沟槽（238）的第四介质层（244）；

所述去除所述第一子沟槽（214）内的部分第一介质层（220）和所述第二子沟槽（216）内的部分第一介质层（220）和第二介质层（224）之前，所述制造方法还包括：

形成第三隔离层（252），所述第三隔离层（252）覆盖所述器件区（102）的第一隔离结构（226）和第二隔离结构（246）；

去除部分所述第三隔离层（252），以保留覆盖所述第四子沟槽（238）内第四介质层（244）的第三隔离层（252）。

3.根据权利要求2所述的半导体器件的制造方法，其中，所述去除所述第一子沟槽（214）内的部分第一介质层（220）和所述第二子沟槽（216）内的部分第一介质层（220）和第二介质层（224）的同时，所述制造方法还包括：

去除所述第三子沟槽（236）内的部分第三介质层（240）和所述第四子沟槽（238）内的部分第三介质层（240），以暴露出所述有源柱（110）的至少部分侧壁和所述第二隔离层（242）的至少部分侧壁。

4.根据权利要求3所述的半导体器件的制造方法，其中，所述去除所述第三子沟槽（236）内的部分第三介质层（240）和所述第四子沟槽（238）内的部分第三介质层（240）之后，所述制造方法还包括：

去除覆盖所述第四子沟槽（238）内第四介质层（244）的第三隔离层（252）；

去除所述第四子沟槽（238）内的部分第四介质层（244）；其中，所述第四子沟槽（238）内的第四介质层（244）的表面高于所述第三介质层（240）的表面。

5.根据权利要求4所述的半导体器件的制造方法，其中，所述去除所述第二子沟槽（216）内暴露出的部分第一隔离层（222）的同时，所述制造方法还包括：

去除所述第四子沟槽（238）内暴露出的部分第二隔离层（242）。

6.根据权利要求5所述的半导体器件的制造方法，其中，所述有源柱（210）包括沿第三方向相对设置的第一端（262）和第二端（264）以及位于所述第一端（262）和所述第二端（264）之间的沟道区（266）；所述第三方向垂直于所述衬底（100）；

所述去除所述第二子沟槽（216）内暴露出的部分第一隔离层（222）之后，所述制造方法还包括：

形成沿所述第二方向延伸的多个字线结构（272）；所述字线结构（272）包覆位于同一行的所述有源柱（210）的沟道区（266）。

7.根据权利要求6所述的半导体器件的制造方法，其中，所述第一子沟槽（114）和所述第二子沟槽（116）共同形成第一沟槽（112），所述第三子沟槽（120）和所述第四子沟槽（122）共同形成第二沟槽（118）；

所述形成沿所述第二方向延伸的多个字线结构（272），包括：

在所述第一沟槽（112）和所述第二沟槽（118）内形成至少包覆所述有源柱（210）的沟道区（266）的栅介质层（256）；

在所述第一沟槽(112)和所述第二沟槽(118)内形成至少覆盖部分所述栅介质层(256)的栅导电层(270);所述栅导电层(270)包覆位于同一行的所述有源柱(210)的沟道区(266),所述第一子沟槽(114)和所述第二子沟槽(116)内的栅导电层电连接;其中,所述栅介质层(256)和所述栅导电层(270)共同形成字线结构(272)。

8.根据权利要求7所述的半导体器件的制造方法,其中,所述在所述第一沟槽(112)和所述第二沟槽(118)内形成至少覆盖部分所述栅介质层(256)的栅导电层(270),包括:

形成导电材料层(258),所述导电材料层(258)填满所述第一沟槽(112)和所述第二沟槽(118);

去除覆盖所述有源柱(210)的第二端(264)的导电材料层(258);

形成第四隔离层(268),所述第四隔离层(268)填满所述第一沟槽(112)和所述第二沟槽(118);

依次对所述第二沟槽(118)内的第四隔离层(268)和导电材料层(258)进行刻蚀,以形成字线隔槽和栅导电层(270);其中,所述字线隔槽沿所述第二方向延伸;所述第二子沟槽(116)内的栅导电层(270)和栅介质层(256)直接接触,所述第四子沟槽(118)内的栅导电层(270)和第四介质层(244)直接接触;

在所述字线隔槽中填充隔离材料,以形成字线隔离结构(274)。

9.根据权利要求6至8中任一项所述的半导体器件的制造方法,其中,所述去除所述第二子沟槽(116)内暴露出的部分第一隔离层(222)之后,所述制造方法还包括:

形成沿所述第一方向延伸的多个位线结构(276);所述位线结构(276)将位于同一列的所述有源柱(210)的第一端(262)依次连接;

形成多个存储电容;所述存储电容的第一电极和所述有源柱(210)的第二端(264)连接,所述存储电容的第二电极和公共端连接。

10.根据权利要求2至9中任一项所述的半导体器件的制造方法,其中,所述提供衬底(200),包括:

刻蚀所述衬底(200),以在所述器件区(202)内形成第一沟槽(212)且在所述外围区(204)内形成第三沟槽(218);所述第一沟槽(212)和所述第三沟槽(218)均沿所述第一方向延伸;所述第一沟槽(212)包括位于所述第一子区(206)的第一子沟槽(214)和位于所述第二子区(208)的第二子沟槽(216);

形成第一介质层(220),所述第一介质层(220)覆盖所述第二子沟槽(216)和所述第三沟槽(218)的侧壁和底部,且所述第一介质层(220)填满所述第一子沟槽(214),以形成第一子隔离结构(228);

形成第一隔离层(222),所述第一隔离层(222)覆盖所述第一介质层(220);

形成第二介质层(224),所述第二介质层(224)填满所述第二子沟槽(216)和所述第三沟槽(218),以分别形成第二子隔离结构(230)和第三隔离结构(232)。

11.根据权利要求10所述的半导体器件的制造方法,其中,所述提供衬底(200),还包括:

刻蚀所述衬底(200)、所述第一介质层(220)和所述第二介质层(224),以在所述器件区(202)内形成第二沟槽(234),所述第二沟槽(234)还延伸至所述外围区(204)的第三沟槽(218)内;所述第二沟槽(234)沿所述第二方向延伸;所述第二沟槽(234)包括位于所述第一子区(206)的第三子沟槽(236)和位于所述第二子区(208)的第四子沟槽(238);

形成第三介质层(240),所述第三介质层(240)覆盖所述第四子沟槽(238)的侧壁和底部,且所述第三介质层(240)填满所述第三子沟槽(236),以形成第三子隔离结构(248);

形成第二隔离层(242),所述第二隔离层(242)覆盖所述第三介质层(240);

形成第四介质层(244),所述第四介质层(244)填满所述第四子沟槽(238),以形成第四子隔离结构(250)。

12.一种半导体器件,所述半导体器件包括:

衬底(200);所述衬底(200)包括器件区(202)和外围区(204),所述器件区(202)包括第一子区(206)和第二子区(208),所述第二子区(208)位于所述第一子区(206)和所述外围区(204)之间;

所述器件区(202)的衬底(200)包括沿第一方向延伸的多个第一沟槽(212)和沿第二方向延伸的多个第二沟槽(234),所述第一沟槽(212)和所述第二沟槽(234)共同隔离出多个有源柱(210);所述有源柱(210)包括沿第三方向相对设置的第一端(262)和第二端(264)以及位于所述第一端(262)和所述第二端(264)之间的沟道区(266);所述第一沟槽(212)包括位于所述第一子区(206)的第一子沟槽(214)和位于所述第二子区(208)的第二子沟槽(216);其中,所述第一方向和所述第二方向均平行于所述衬底(200)且所述第一方向和所述第二方向相交,所述第三方向垂直于所述衬底(200);

沿所述第二方向延伸的多个字线结构(272),位于所述第一沟槽(212)和所述第二沟槽(234)内;所述字线结构(272)包覆位于同一行的所述有源柱(210)的沟道区(266);其中,所述第一子沟槽(214)

内的字线结构(272)和所述第二子沟槽(216)内的字线结构(272)电连接。

13.根据权利要求12所述的半导体器件,其中,所述半导体器件还包括:

沿所述第二方向延伸的第四隔离层(268),位于所述第一沟槽(212)和所述第二沟槽(234)内;
所述第四隔离层(268)包覆位于同一行的所述有源柱(210)的第二端(264);

5 沿所述第二方向延伸的多个字线隔离结构(274),位于相邻所述字线结构(272)和相邻所述第四隔离层(268)之间。

14.根据权利要求13所述的半导体器件,其中,所述字线结构(272)包括:

栅介质层(256),至少包覆所述有源柱(210)的沟道区(266);

10 栅导电层(270),位于所述栅介质层(256)表面,且包覆位于同一行的所述有源柱(210)的沟道区(266);其中,所述第一子沟槽(214)和所述第二子沟槽(216)内的栅导电层(270)电连接,所述第二子沟槽(216)内的栅导电层(270)和栅介质层(256)直接接触。

15.根据权利要求14所述的半导体器件,其中,所述半导体器件还包括:

15 位于所述第一子沟槽(214)和第二子沟槽(216)内的第一介质层(220),所述第一介质层(220)位于相邻所述有源柱(210)的第一端(262)之间且第一介质层(220)覆盖第二子沟槽(216)侧壁和底部;

覆盖所述第二子沟槽(216)侧壁和底部的第一介质层(220)的第一隔离层(222);

位于所述第二子沟槽(216)内的第二介质层(224),且所述第二介质层(224)位于所述栅导电层下方。

20 16.根据权利要求14或15所述的半导体器件,其中,所述第二沟槽(234)包括位于所述第一子区(206)的第三子沟槽(236)和位于所述第二子区(208)的第四子沟槽(238);所述半导体器件还包括:

位于所述第三子沟槽(236)和第四子沟槽(238)内的第三介质层(240),所述第三介质层(240)位于相邻所述有源柱(210)的第一端(262)之间且第三介质层(240)覆盖第四子沟槽(238)侧壁和底部;

覆盖所述第四子沟槽(238)底部的第三介质层(240)的第二隔离层(242);

25 位于所述第四子沟槽(238)内的第四介质层(244),且所述第四介质层(244)侧壁和所述栅导电层(270)、第四隔离层(268)直接接触。

17.根据权利要求16所述的半导体器件,其中,所述半导体器件还包括:

位于所述外围区(204)且沿所述第一方向延伸的第三隔离结构(232),所述第三隔离结构(232)包括第一部分和第二部分,所述第二沟槽(234)延伸至所述第三隔离结构(232)内的部分为第二部分;

30 所述第一部分包括依次覆盖第三沟槽(218)侧壁和底部的第一介质层(220)、第一隔离层(222)和覆盖所述第一隔离层(222)的第二介质层(224);

所述第二部分包括依次覆盖所述第二沟槽(234)延伸至所述第三隔离结构(232)至少部分侧壁和底部的第三介质层(240)和第二隔离层(242)和填满所述第二沟槽(234)延伸至所述第三隔离结构(232)部分的第四介质层(244)。

35 18.根据权利要求12至17中任一项所述的半导体器件,其中,所述半导体器件还包括:

沿所述第一方向延伸多个位线结构(276),所述位线结构(276)将位于同一列的所述有源柱(210)的第一端(262)依次连接;

多个存储电容;所述存储电容的第一电极和所述有源柱(210)的第二端(264)连接,所述存储电容的第二电极和公共端连接。

40

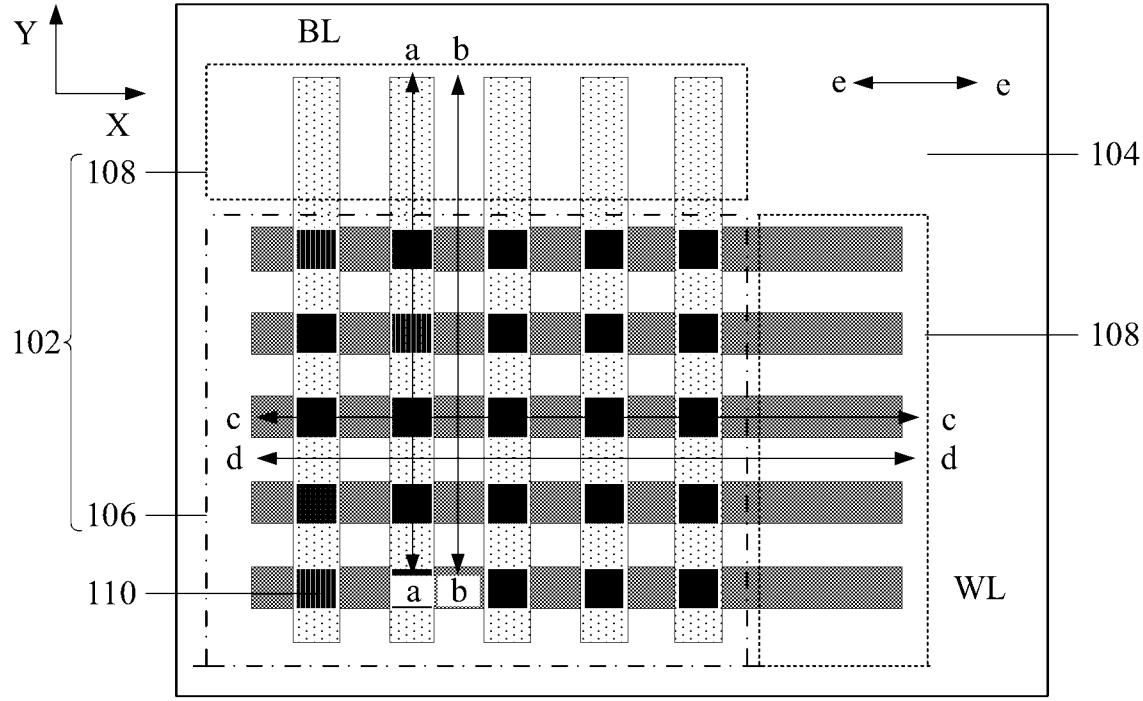


图 1

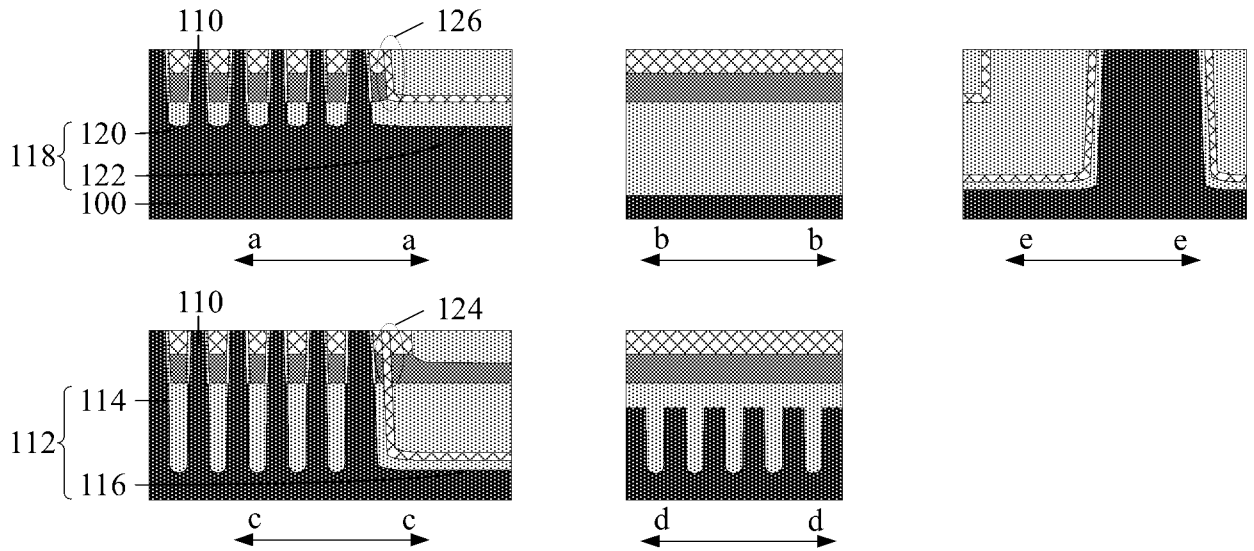


图 2

提供衬底，衬底包括器件区和外围区，器件区包括第一子区和第二子区，第二子区位于第一子区和外围区之间；器件区的衬底包括沿第一方向延伸的多个第一隔离结构和沿第二方向延伸的多个第二隔离结构，第一隔离结构和第二隔离结构共同隔离出多个有源柱；第一隔离结构包括位于第一子区的第一子隔离结构和位于第二子区的第二子隔离结构，第一子隔离结构包括填满第一子沟槽的第一介质层，第二子隔离结构包括依次覆盖第二子沟槽侧壁和底部的第一介质层、第一隔离层和填满第二子沟槽的第二介质层；其中，第一方向和第二方向均平行于衬底且第一方向和第二方向相交

S301

去除第一子沟槽内的部分第一介质层和第二子沟槽内的部分第一介质层和第二介质层，以分别暴露出有源柱的至少部分侧壁和第一隔离层的至少部分侧壁

S302

去除第二子沟槽内暴露出的部分第一隔离层

S303

图 3

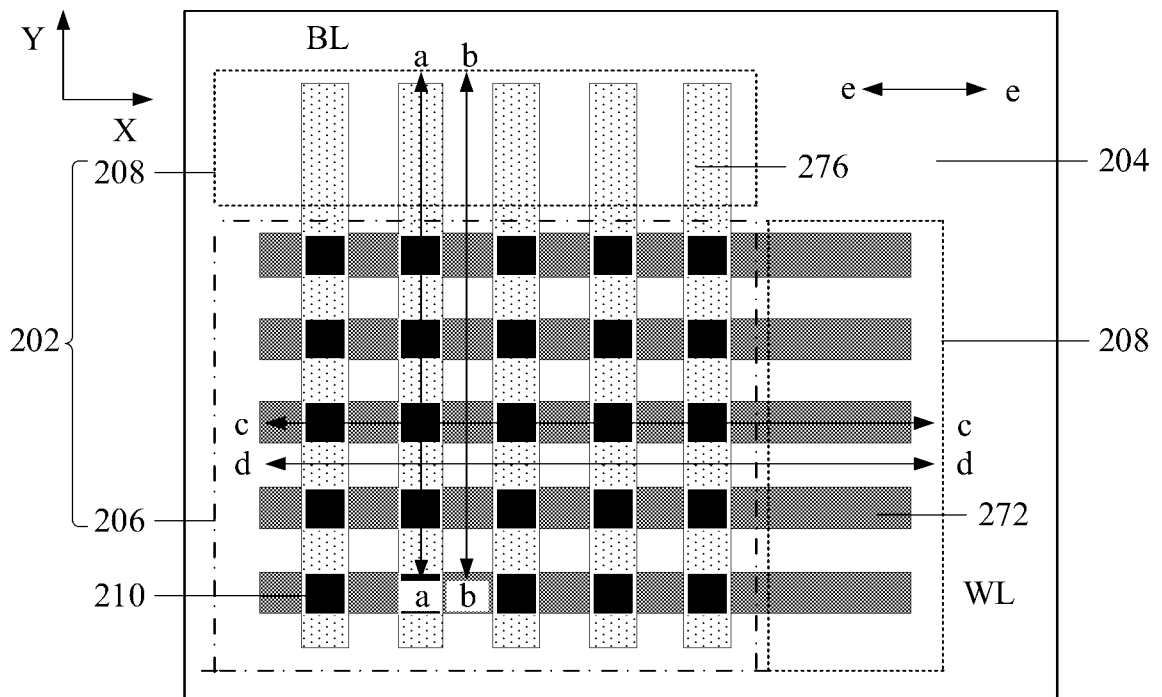


图 4

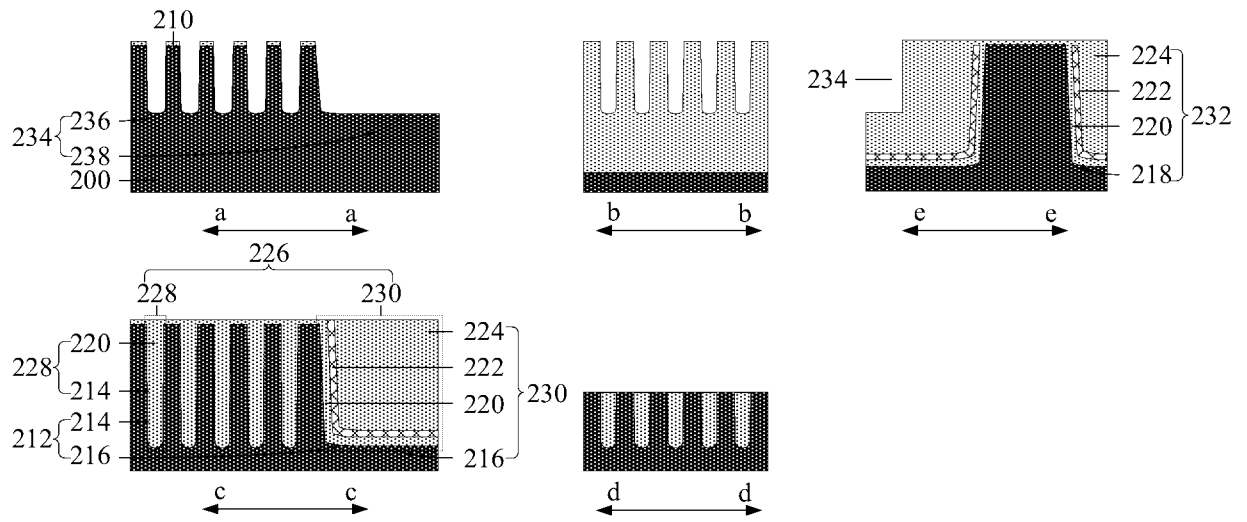


图 5A

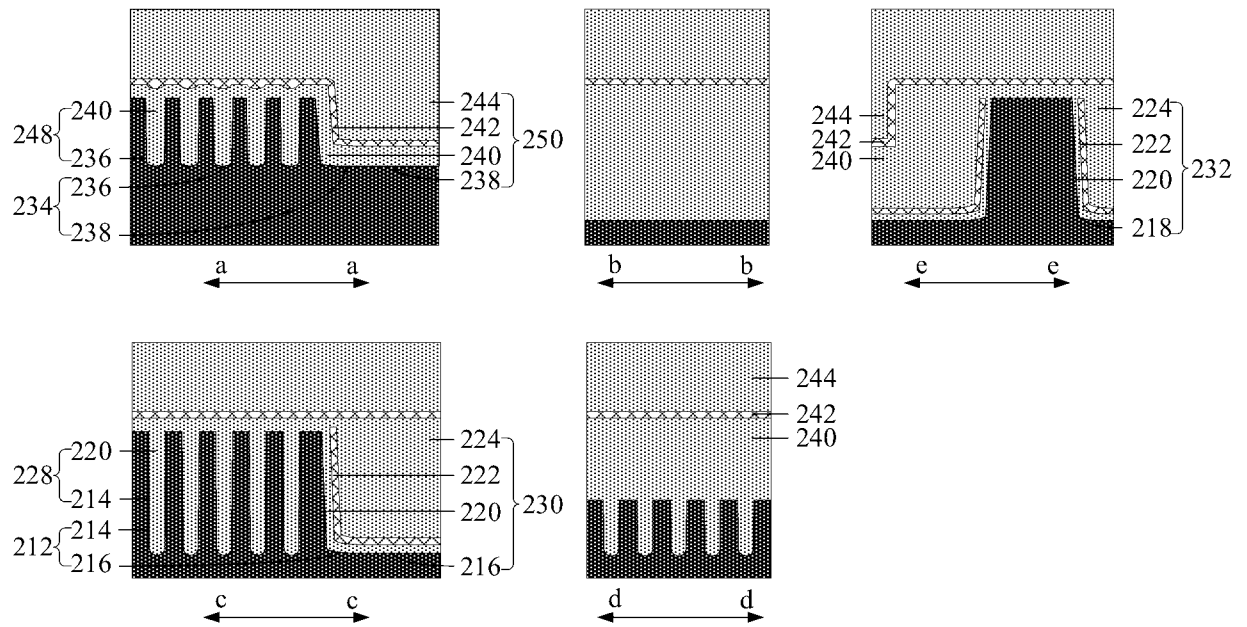


图 5B

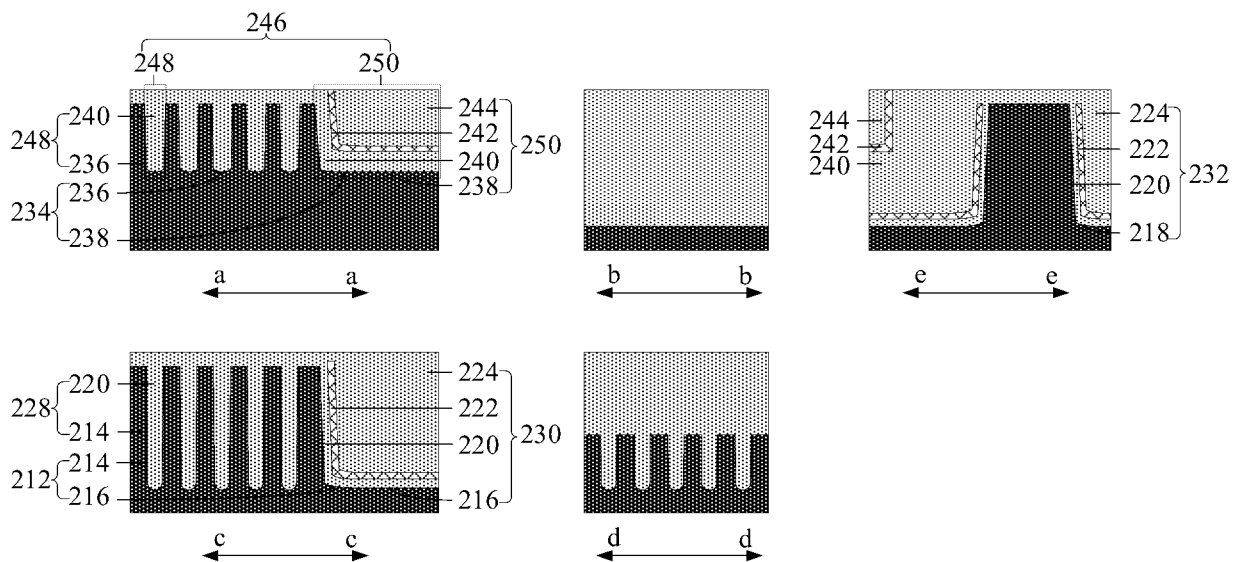


图 5C

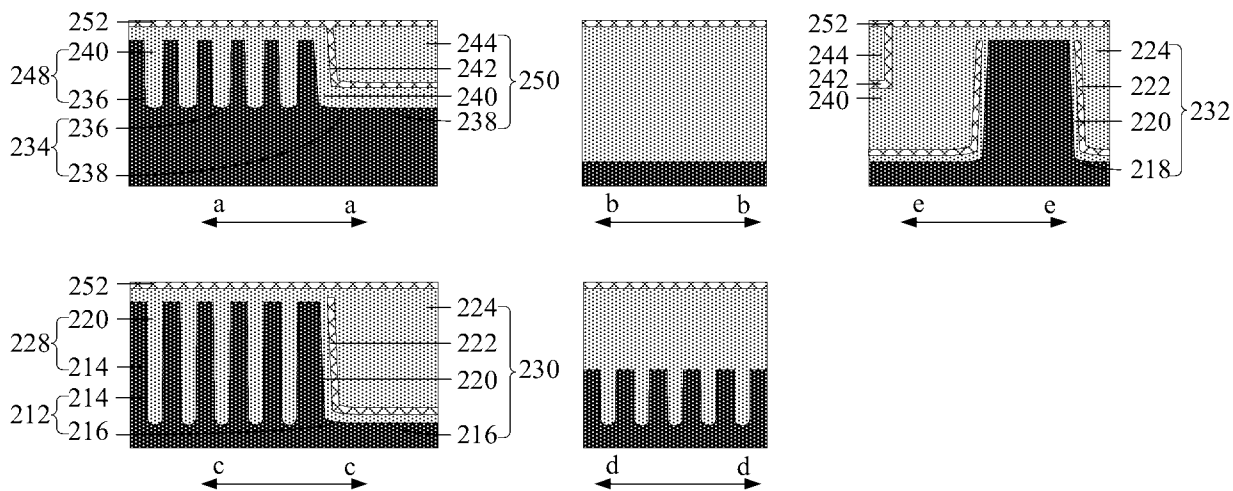


图 5D

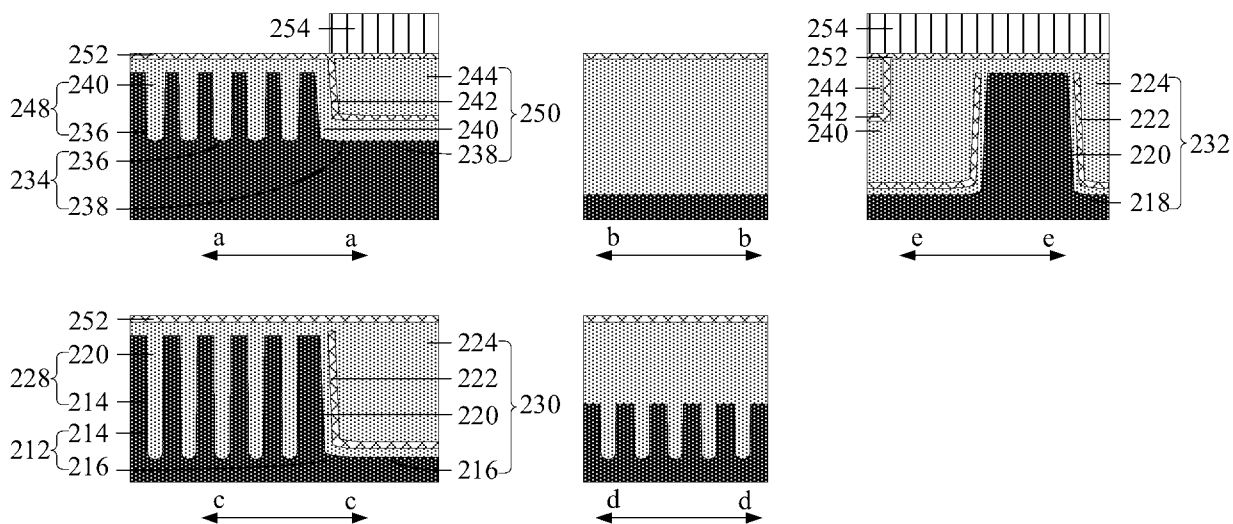


图 5E

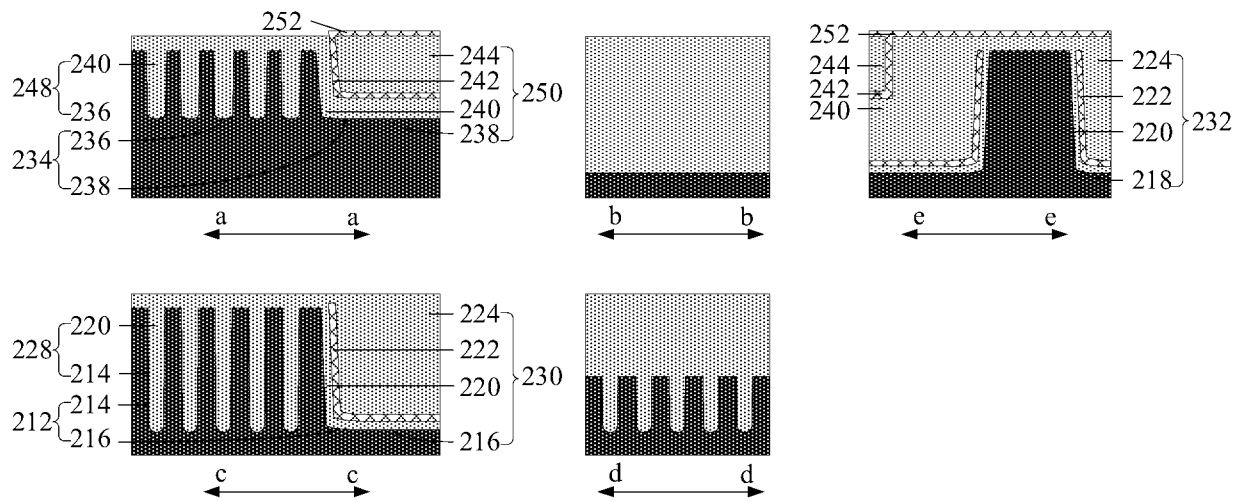


图 5F

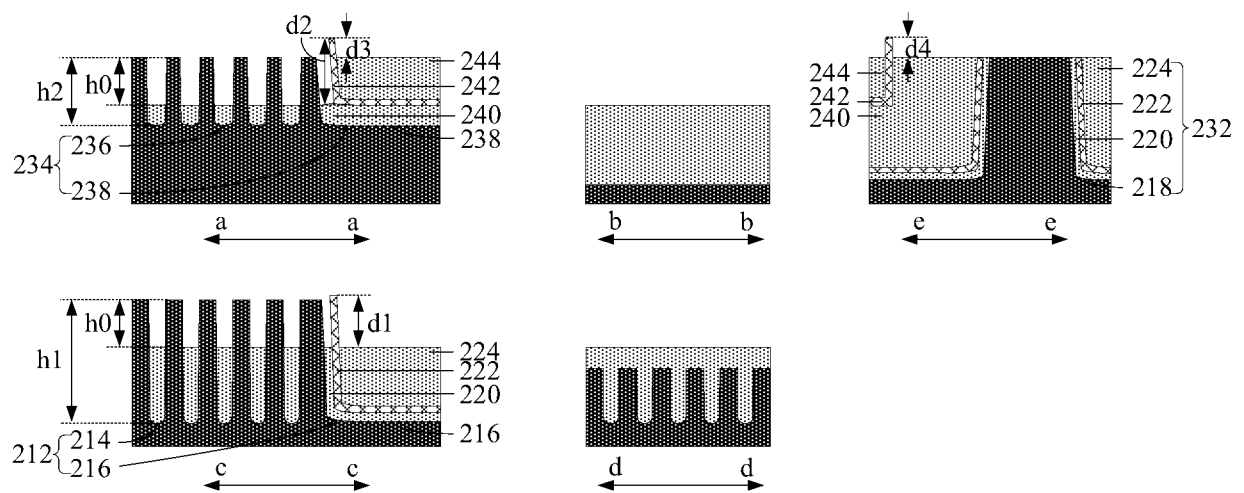


图 5G

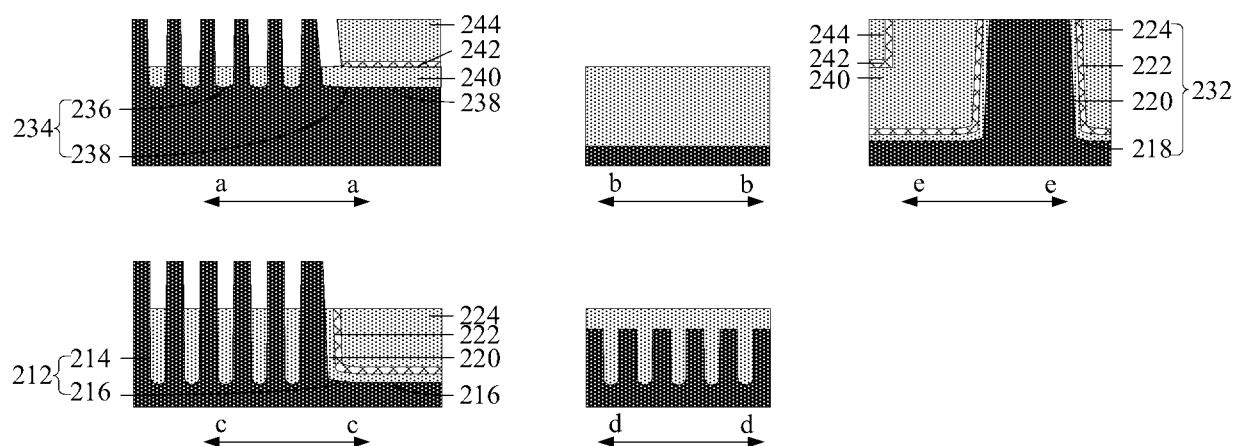


图 5H

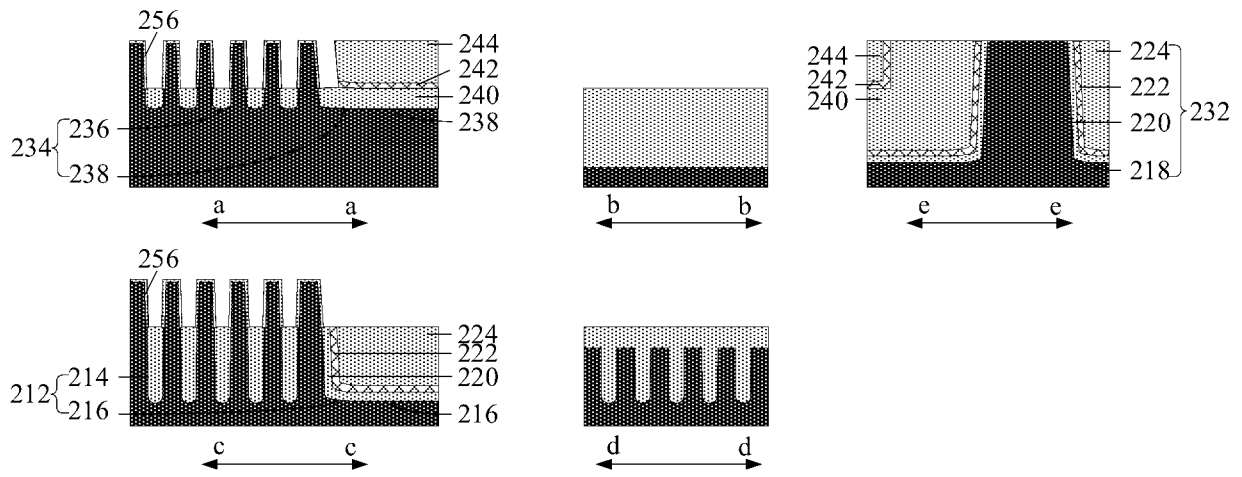


图 5I

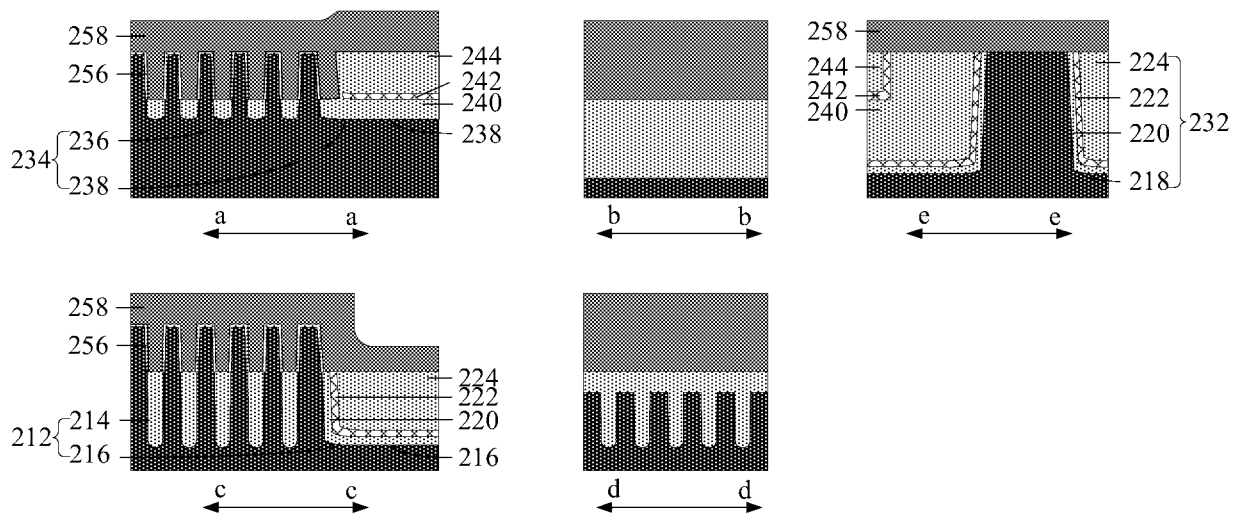


图 5J

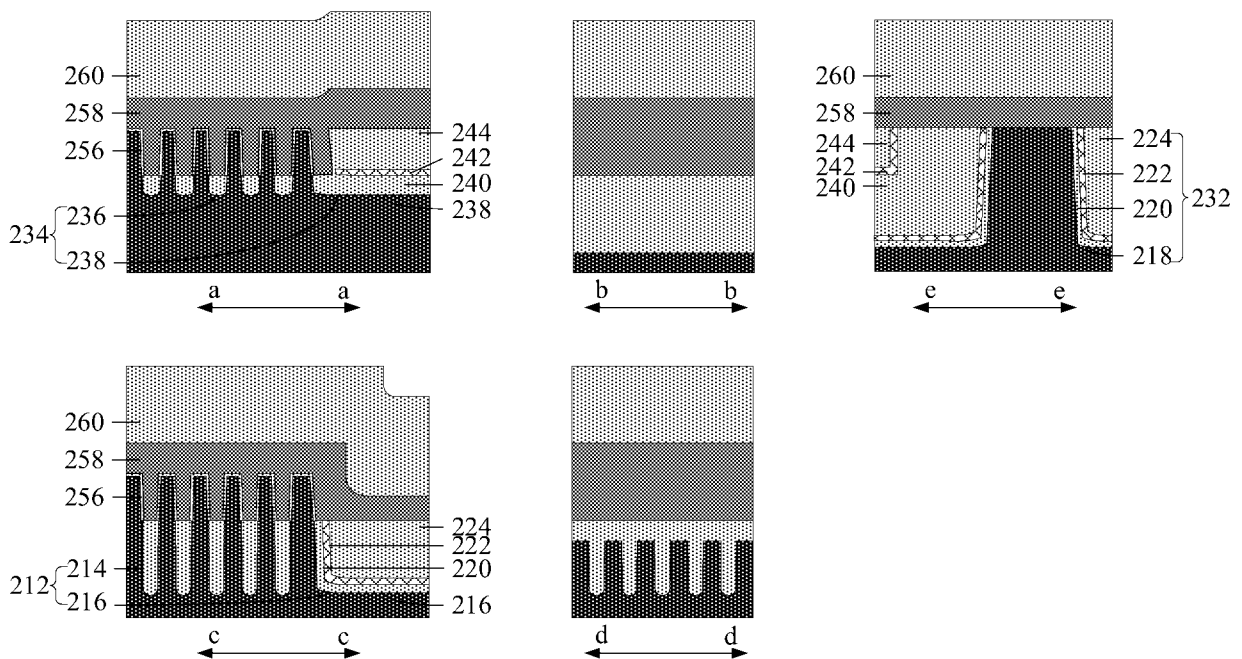


图 5K

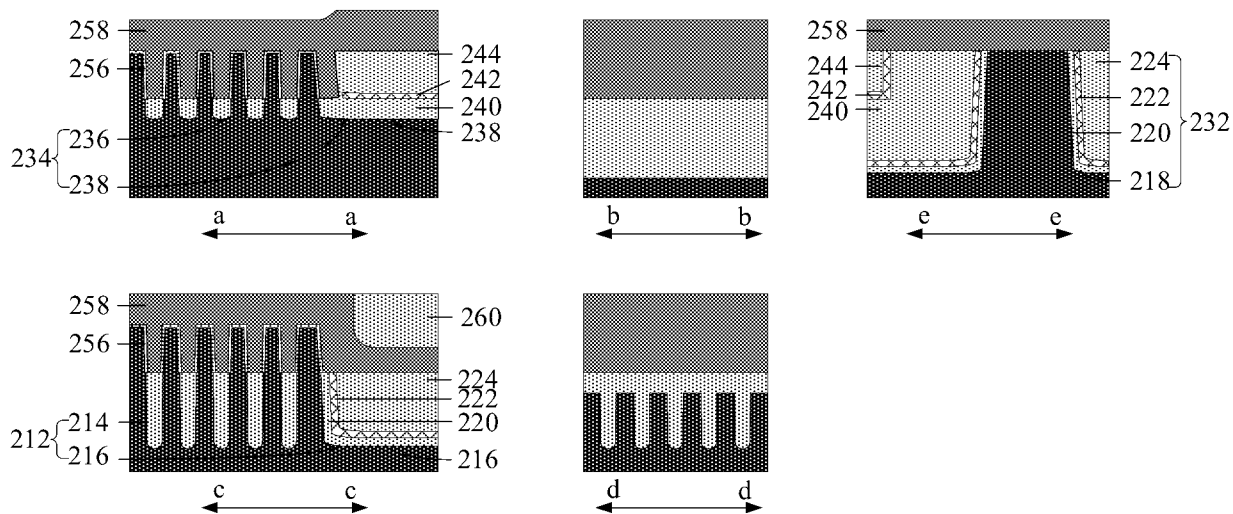


图 5L

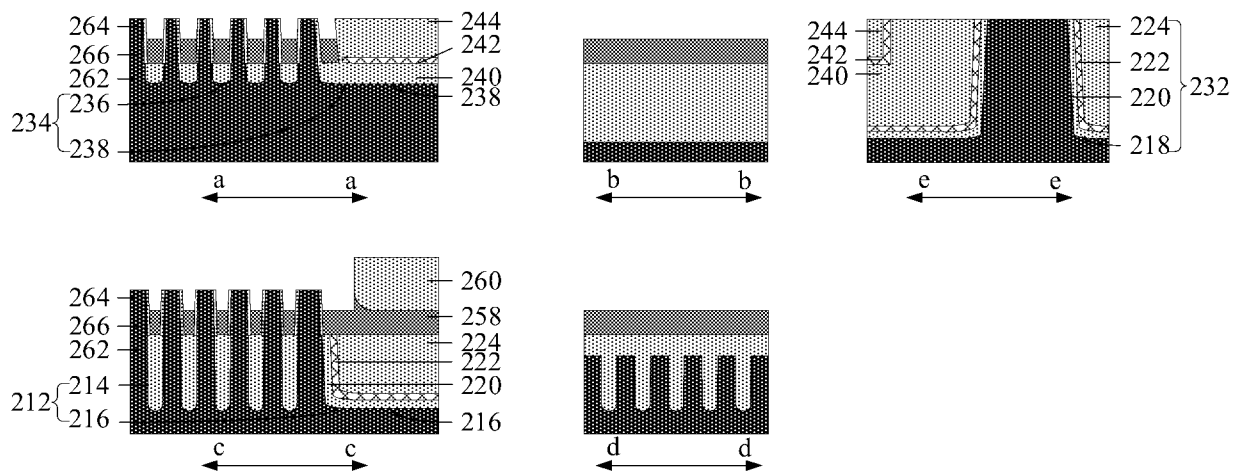


图 5M

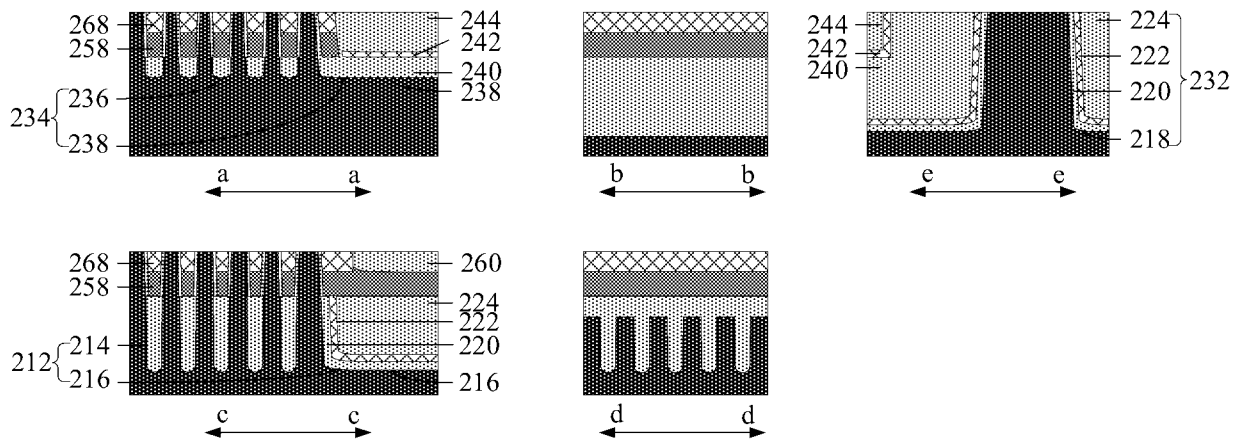


图 5N

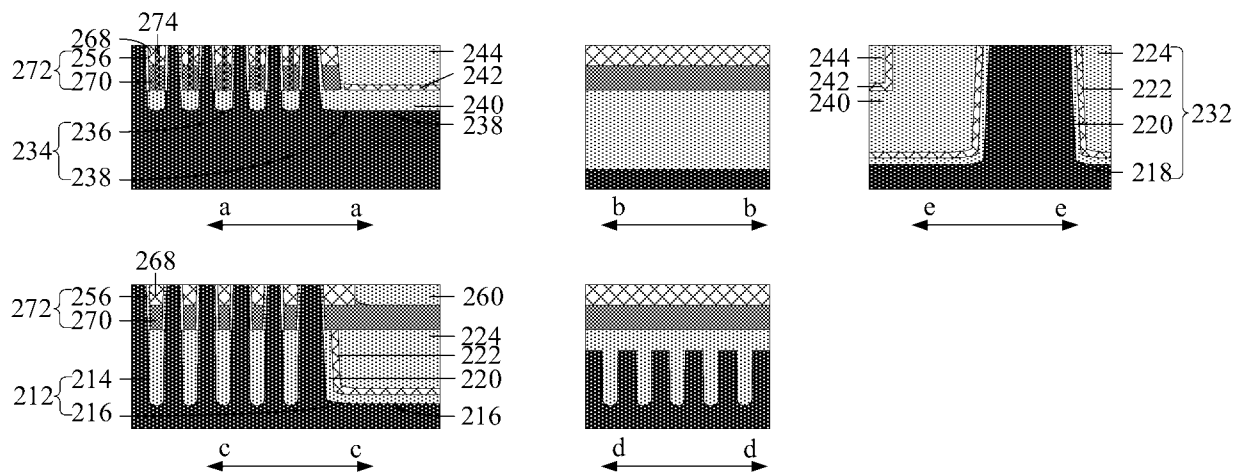


图 50

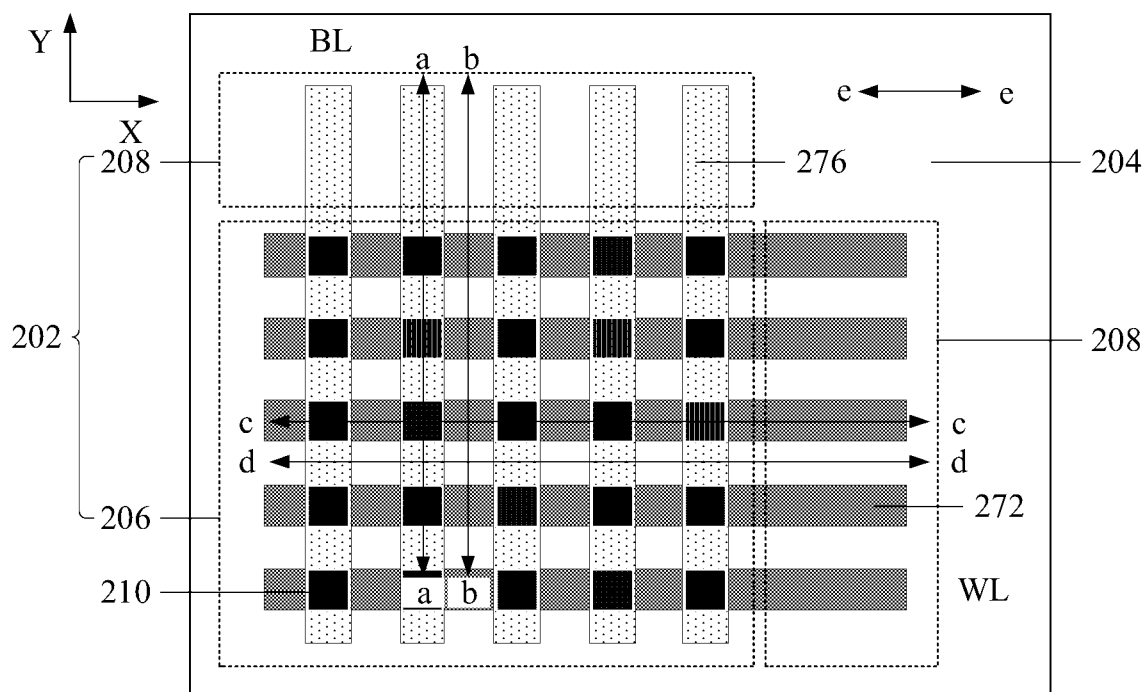


图 6

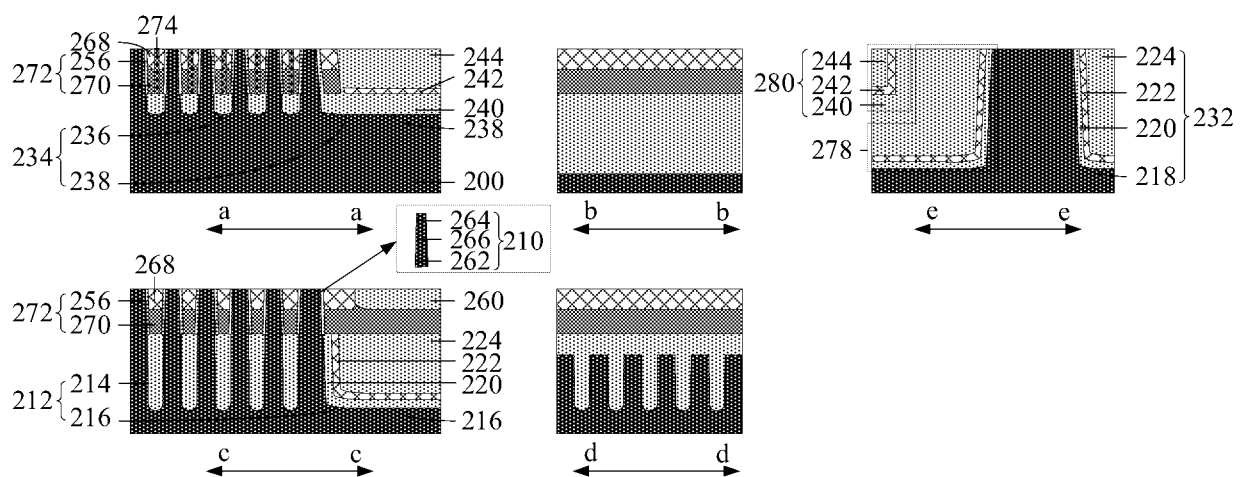


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/131516

A. CLASSIFICATION OF SUBJECT MATTER H10B 12/00(2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC																							
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC: H10B, H01L Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: DRAM, dynamic, memory, vertical, channel, transistor, FET, gate, around+, trench, isolat+, peripheral+, word, line, resistance, 动态, 随机, 存储器, 垂直, 沟道, 晶体管, 栅, 环, 围绕, 槽, 隔离, 外围, 字线, 电阻																							
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 115116931 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 September 2022 (2022-09-27) description, paragraphs [0096]-[0199], and figures 1-21</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 115955839 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 11 April 2023 (2023-04-11) entire document</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 116056450 A (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2023 (2023-05-02) entire document</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 115642129 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 24 January 2023 (2023-01-24) entire document</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>CN 115084218 A (MICRON TECHNOLOGY INC.) 20 September 2022 (2022-09-20) entire document</td> <td>1-18</td> </tr> <tr> <td>A</td> <td>JP 2015095495 A (MICRON TECHNOLOGY INC.) 18 May 2015 (2015-05-18) entire document</td> <td>1-18</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	A	CN 115116931 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 September 2022 (2022-09-27) description, paragraphs [0096]-[0199], and figures 1-21	1-18	A	CN 115955839 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 11 April 2023 (2023-04-11) entire document	1-18	A	CN 116056450 A (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2023 (2023-05-02) entire document	1-18	A	CN 115642129 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 24 January 2023 (2023-01-24) entire document	1-18	A	CN 115084218 A (MICRON TECHNOLOGY INC.) 20 September 2022 (2022-09-20) entire document	1-18	A	JP 2015095495 A (MICRON TECHNOLOGY INC.) 18 May 2015 (2015-05-18) entire document	1-18
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																					
A	CN 115116931 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 27 September 2022 (2022-09-27) description, paragraphs [0096]-[0199], and figures 1-21	1-18																					
A	CN 115955839 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 11 April 2023 (2023-04-11) entire document	1-18																					
A	CN 116056450 A (SAMSUNG ELECTRONICS CO., LTD.) 02 May 2023 (2023-05-02) entire document	1-18																					
A	CN 115642129 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 24 January 2023 (2023-01-24) entire document	1-18																					
A	CN 115084218 A (MICRON TECHNOLOGY INC.) 20 September 2022 (2022-09-20) entire document	1-18																					
A	JP 2015095495 A (MICRON TECHNOLOGY INC.) 18 May 2015 (2015-05-18) entire document	1-18																					
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.																							
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family																							
Date of the actual completion of the international search 25 January 2024		Date of mailing of the international search report 01 February 2024																					
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/ CN) China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088		Authorized officer Telephone No.																					

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/131516

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115116931	A	27 September 2022	US	2023010014	A1	12 January 2023
CN	115955839	A	11 April 2023	CN	115955839	B	02 June 2023
CN	116056450	A	02 May 2023	KR	20230061137	A	08 May 2023
				TW	202327029	A	01 July 2023
				US	2023137846	A1	04 May 2023
CN	115642129	A	24 January 2023	None			
CN	115084218	A	20 September 2022	US	2022293612	A1	15 September 2022
JP	2015095495	A	18 May 2015	None			

A. 主题的分类

H10B 12/00(2023.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H10B, H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: DRAM, dynamic, memory, vertical, channel, transistor, FET, gate, around +, trench, isolat+, peripheral+, word, line, resistance, 动态, 随机, 存储器, 垂直, 沟道, 晶体管, 栅, 环, 围绕, 槽, 隔离, 外围, 字线, 电阻

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 115116931 A (长鑫存储技术有限公司) 2022年9月27日 (2022 - 09 - 27) 说明书第[0096]-[0199]段、附图1-21	1-18
A	CN 115955839 A (长鑫存储技术有限公司) 2023年4月11日 (2023 - 04 - 11) 全文	1-18
A	CN 116056450 A (三星电子株式会社) 2023年5月2日 (2023 - 05 - 02) 全文	1-18
A	CN 115642129 A (长鑫存储技术有限公司) 2023年1月24日 (2023 - 01 - 24) 全文	1-18
A	CN 115084218 A (美光科技公司) 2022年9月20日 (2022 - 09 - 20) 全文	1-18
A	JP 2015095495 A (MICRON TECHNOLOGY INC.) 2015年5月18日 (2015 - 05 - 18) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

★ 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“p” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年1月25日

国际检索报告邮寄日期

2024年2月1日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

李元

电话号码 (+86) 010-53961205

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/131516

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115116931	A	2022年9月27日	US	2023010014	A1	2023年1月12日
CN	115955839	A	2023年4月11日	CN	115955839	B	2023年6月2日
CN	116056450	A	2023年5月2日	KR	20230061137	A	2023年5月8日
				TW	202327029	A	2023年7月1日
				US	2023137846	A1	2023年5月4日
CN	115642129	A	2023年1月24日	无			
CN	115084218	A	2022年9月20日	US	2022293612	A1	2022年9月15日
JP	2015095495	A	2015年5月18日	无			