

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6266892号
(P6266892)

(45) 発行日 平成30年1月24日 (2018. 1. 24)

(24) 登録日 平成30年1月5日 (2018. 1. 5)

(51) Int. Cl.

F I

G 0 6 F 3/041 (2006.01)

G O 6 F 3/041 5 1 2

G 0 6 F 3/044 (2006.01)

G O 6 F 3/044 1 2 O

G 0 9 G 3/20 (2006.01)

G O 9 G 3/20 6 1 1 A

G 0 9 G 3/36 (2006.01)

G O 9 G 3/20 6 2 1 A

G 0 9 F 9/00 (2006.01)

G O 9 G 3/20 6 3 1 B

請求項の数 16 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2013-75835 (P2013-75835)
 (22) 出願日 平成25年4月1日 (2013. 4. 1)
 (65) 公開番号 特開2014-203102 (P2014-203102A)
 (43) 公開日 平成26年10月27日 (2014. 10. 27)
 審査請求日 平成28年3月2日 (2016. 3. 2)

(73) 特許権者 308017571
 シナプティクス・ジャパン合同会社
 東京都中野区中野四丁目10番2号
 (74) 代理人 100205350
 弁理士 狩野 芳正
 (74) 代理人 100102864
 弁理士 工藤 実
 (74) 代理人 100117617
 弁理士 中尾 圭策
 (72) 発明者 棟近 功
 東京都小平市上水本町五丁目20番1号
 株式会社ルネサスエスピードライバ内

審査官 原 秀人

最終頁に続く

(54) 【発明の名称】 ドライバIC及び表示装置

(57) 【特許請求の範囲】

【請求項1】

表示パネルの駆動制御とタッチパネルの検出タイミング制御を行うドライバICであって、

表示駆動期間に前記表示パネルを駆動する駆動回路と、

前記駆動回路の動作を停止する非表示駆動期間に前記タッチパネルの検出タイミングを生成すると共に前記表示駆動期間と前記非表示駆動期間とを生成する制御回路と、

表示データを1表示フレームに満たない複数表示ライン分保持するデータRAMと、を有し、

前記制御回路は、1表示フレームの期間に、外部から供給される表示データを前記データRAMに書込むと共に書込まれた表示データを書込みよりも速い速度で前記データRAMから読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行い、

前記制御回路は前記ラップアラウンドに繰返すメモリアドレッシング操作のアドレッシング範囲を前記データRAMの最大記憶容量以下の表示ライン数相当のライン数の範囲で制御するタッチインターバル期間データを書き換え可能に保持するためのレジスタ回路を有し、

前記タッチインターバル期間データは、前後の前記非表示駆動期間の間に前記表示ライン数相当のライン数の範囲で可変期間を形成するために計数される表示ライン数を制御す

10

20

る制御データである、ドライバＩＣ。

【請求項２】

請求項１において、前記制御回路は、前記データＲＡＭの最大記憶容量以下の表示ライン数分のデータサイズを１ページとし、外部からの第１フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路と、表示動作のための第２フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止する、ドライバＩＣ。

10

【請求項３】

請求項２において、前記制御回路は、前記ページ書込みアドレス毎に前記データＲＡＭに表示データの書込みを開始するタイミングから所定時間遅延したタイミングで前記データＲＡＭから表示データの読出しを開始し、開始した読出しの終了は当該ページ書込みアドレス単位での書込みの終了後とする、ドライバＩＣ。

【請求項４】

請求項３において、前記レジスタ回路は更に、ページ内の先頭の書込みアドレスへの書込み開始からタッチ検出開始までの表示ライン数を制御するためのタッチ検出開始ライン数データ、及びタッチ検出開始ライン数データで決定される表示ライン数の位置からタッチ検出を行って表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データを書き換え可能に保持し、

20

前記所定時間は、前記タッチ検出開始ライン数データと表示リード開始ライン数データとの和で決まる期間である、ドライバＩＣ。

【請求項５】

請求項４において、前記制御回路は、表示フレーム単位で、先頭ページの先頭の書込みアドレスへの書込み開始から表示ライン周期毎に表示ラインのカウントを行うラインカウンタを有し、前記ラインカウンタのカウント値に基づいて前記タッチ検出開始ライン数データによるライン数と前記表示リード開始ライン数データによるライン数とを判別する、ドライバＩＣ。

30

【請求項６】

請求項３において、前記データＲＡＭに対する読み出し要求のデータアクセス単位は書込み要求のデータアクセス単位に比べて大きくされ、

前記制御回路は書込み要求と読出し要求が競合したとき書込み要求を優先させる調停回路を有する、ドライバＩＣ。

【請求項７】

請求項６において、前記読出し要求のアクセス単位は１表示ライン分の並列データ数を単位とし、前記書込み要求のアクセス単位はバスアクセスの並列データ数を単位とする、ドライバＩＣ。

【請求項８】

40

請求項１において、前記データＲＡＭは複数のメモリバンクを有し、

前記制御回路は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替える、ドライバＩＣ。

【請求項９】

請求項８において、前記制御回路は、表示フレーム単位で最初の非表示駆動期間に何れか一方のメモリバンクを書込み対象メモリバンクとし、最初の表示駆動期間に他方のメモリバンクを読出し対象メモリバンクとし、夫々のページ切替え毎に、書込み対象メモリバンクと読み出し対象メモリバンクの切替えを行う、ドライバＩＣ。

【請求項１０】

50

請求項 2 において、前記レジスタ回路は更に、駆動する表示ラインの切替え周期である表示パネルの表示ライン周期を制御するための表示ライン周期データ、及び駆動する表示パネルの表示ライン数を制御するための表示ライン数データを書き換え可能に保持する、ドライバ IC。

【請求項 1 1】

請求項 1 0 において、前記制御回路は、前記データ RAM の最大記憶容量以下の表示ライン数分のデータサイズを 1 ページとし、外部からの第 1 フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路と、表示動作のための第 2 フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止し、

10

前記レジスタ回路は更に、ページ内の先頭の書込みアドレスへの書込み開始からタッチ検出開始までの表示ライン数を制御するためのタッチ検出開始ライン数データ、及びタッチ検出開始ライン数データで決定される表示ライン数の位置からタッチ検出を行って表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データを書き換え可能に保持するドライバ IC。

【請求項 1 2】

20

請求項 1 0 において、前記データ RAM は複数のメモリバンクを有し、

前記制御回路は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替え、

前記レジスタ回路は更に、ページ内の先頭の書込みアドレスへの書込み開始からのオフセットを表示ライン数で制御するためのオフセットライン数データ、及びオフセットライン数データで決定される表示ライン数の位置から前記タッチインターバル期間データで指定される表示ライン数に達した表示ラインからタッチ検出を行って次の表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データを書き換え可能に保持する、ドライバ IC。

30

【請求項 1 3】

請求項 1 1 又は 1 2 において、前記制御回路は、表示フレーム単位で、先頭ページの先頭の書込みアドレスへの書込み開始から表示ライン周期毎に表示ラインのカウントを行うラインカウンタを有し、前記ラインカウンタのカウント値に基づいて前記タッチインターバル期間データによるタッチインターバル期間のライン数、前記タッチ検出開始ライン数データによるライン数、及び前記表示リード開始ライン数データによるライン数、を判別する、ドライバ IC。

【請求項 1 4】

表示パネルにタッチパネルが組み込まれたパネルモジュールと、

前記パネルモジュールに搭載され、前記表示パネルの駆動制御と前記タッチパネルの検出制御を行うドライバ IC とを有する表示装置であって、

40

前記ドライバ IC は、表示駆動期間に前記表示パネルを駆動する駆動回路と、

前記駆動回路の動作を停止する非表示駆動期間に前記タッチパネルの検出制御を行なうタッチパネルコントローラと、

表示データを 1 表示フレームに満たない複数表示ライン分保持するデータ RAM と、

1 表示フレームの期間に、外部から供給される表示データを前記データ RAM に書込むと共に書込まれた表示データを書込みよりも速い速度で前記データ RAM から読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う制御回路を有し、

50

前記制御回路は、前記データＲＡＭの最大記憶容量以下の表示ライン数相当のライン数の範囲で前記表示駆動期間及び前記非表示駆動期間が指定される制御回路とを有し、

タッチインターバル期間データは、前後の前記非表示駆動期間の間に前記表示ライン数相当のライン数の範囲で可変期間を形成するために計数される表示ライン数を制御する制御データである、表示装置。

【請求項１５】

請求項１４において、前記制御回路は、前記データＲＡＭの最大記憶容量以下の表示ライン数分のデータサイズを１ページとし、外部からの第１フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路と、表示動作のための第２フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止する、表示装置。

10

【請求項１６】

請求項１４において、前記データＲＡＭは複数のメモリバンクを有し、

前記制御回路は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替える、表示装置。

20

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、表示駆動期間と非表示駆動期間を交互に生成して表示パネルを駆動するドライバＩＣ関し、例えば表示パネルにタッチパネルを組み込んだパネルモジュールの駆動制御に適用して有効な技術に関する。

【背景技術】

【０００２】

表示パネルを駆動するドライバＩＣは１フレーム分の画像データを一時的に保持することが可能な表示のデータＲＡＭを搭載するものがある。静止画を表示する場合には既にデータＲＡＭに蓄積した１フレーム分の画像データを読出しながら表示することにより、ホストプロセッサによる画像データの逐次的な送信を停止することができ、表示パネルの低消費電力化並びに画像データの送信に要するホストプロセッサの負荷低減を実現することができる。

30

【０００３】

そのような考慮を全く必要としなければ、ドライバＩＣに占める面積の大きなデータＲＡＭを持たなくても済む。

【０００４】

また、データＲＡＭのチップ占有面積を減らしながら少しでもホストプロセッサの負担を低減しようとする場合には１フレームに満たない数表示ライン分の記憶容量しか持たない表示用のデータＲＡＭ（パーシャルＲＡＭ）を搭載し、更新頻度の高い表示領域の画像データについては常にホストプロセッサに表示データを送信させるが、更新頻度の低い表示領域の画像データはパーシャルＲＡＭのデータを読み出しながら表示させることが可能である。これにより、携帯電話等における受信状況、ステータス欄など表示の更新頻度が低い部分の表示に対してホストプロセッサのデータ送信量を低減することが可能になる。

40

【０００５】

このとき、表示パネルにタッチパネルを組み込んだパネルモジュールが多用されている現状に鑑みれば、表示駆動時に発生する動作ノイズがタッチ検出精度を低下させるため、タッチ検出は表示駆動を停止している期間に行うのが好ましい。

50

【 0 0 0 6 】

例えばこの観点に立った特許文献 1 においては、1 フレーム分のデータ R A M を持ち、画像表示を数ライン毎のブロック単位で断続的にいき、駆動回路からの表示駆動出力が停止している期間にタッチセンシングを行うことで高いタッチ検出精度を実現する。このように、表示パネルを複数のブロック単位で時分割して駆動するために、1 フレーム分のデータ R A M にブロック単位で画像データを格納する。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 1 2 - 5 9 2 6 5 号公報

10

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

本発明者は、パーシャル R A M のようなデータ R A M を備えたドライバ I C において、表示駆動期間に対する非表示駆動期間にタッチ検出を行ってタッチ検出精度を向上させることについて検討した。

【 0 0 0 9 】

これによれば、特許文献 1 では表示パネルを複数のブロック単位で時分割駆動するためにメモリにブロック単位で画像データを格納するとあるが、メモリは 1 フレーム分のメモリと考えられている。パーシャルメモリを用いる場合にはブロック単位でメモリアドレスをラップアラウンドに生成する制御などが必須でありこれについて全く考慮されていない。したがって、特許文 1 では 1 フレーム分のデータ R A M を用いて表示駆動と非表示駆動を行う域を脱しておらず、1 フレーム分のデータ R A M を搭載する必要からドライバ I C の回路規模若しくはチップサイズを低減することができない。

20

【 0 0 1 0 】

一方、表示用のデータ R A M を持たない場合には、ドライバ I C は、ホストプロセッサプロセッサに表示データを断続的に送信させて、表示駆動を行わない期間を生成し、この非表示駆動期間にタッチセンシングを行う。例えば、表示ライン周期毎にホストプロセッサからワード単位などで送信されてラインラッチにラッチされた表示データは直ちに次の表示ライン周期で駆動回路による駆動に用いられることになる。このように、非表示駆動期間を生成するには、ホストプロセッサに表示データを断続的に送信させる必要があり、そのようなタイミング制御の点で更にホストプロセッサへの負担が大きくなるので、そのような負担増を許容できない場合にはデータ R A M を持つことを考えなくてはならなくなる。結果として、チップサイズの小型化とホストプロセッサに対する負担軽減の双方を満足させることはできない。

30

【 0 0 1 1 】

本発明の目的は、チップサイズの小型化とホストプロセッサに対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることにある。

【 0 0 1 2 】

上記並びにその他の課題と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

40

【 課題を解決するための手段 】

【 0 0 1 3 】

本願において開示される実施の形態のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 4 】

すなわち、駆動回路の動作を停止する非表示駆動期間にタッチパネルによる検出タイミングを生成すると共に、前記駆動回路で前記表示パネルを駆動する表示駆動期間と前記非表示駆動期間とを生成する制御を行う制御回路と、表示データを 1 表示フレームに満たない複数表示ライン分保持するデータ R A M とを有する。前記制御回路は、1 表示フレーム

50

の期間に、外部から供給される表示データを前記データRAMに書込むと共に書込まれた表示データを書込みよりも速い速度で前記データRAMから読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う。

【0015】

これによれば、1フレーム分のデータRAMを搭載することを要しないからチップサイズが小さくなる。1表示フレームに満たない複数表示ライン分保持するデータRAMを搭載する表示駆動期間と非表示駆動期間においてホストプロセッサとの間で表示データの転送と転送停止との同期制御を行うことを要せず、ホストプロセッサの負担を軽減することができる。1表示フレームの期間に、データRAMへの表示データの書込みと書き込まれた表示データを読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すから、1表示フレームに満たないデータRAMを用いる場合でも表示駆動期間と非表示駆動期間とを交互に生成することができる。

10

【発明の効果】

【0016】

本願において開示される実施の形態のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0017】

すなわち、チップサイズの小型化とホストプロセッサに対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることができる。

20

【図面の簡単な説明】

【0018】

【図1】図1は表示ドライバの構成を例示するブロック図である。

【図2】図2はパネルモジュールとこれを駆動するドライバICを備えた表示装置を例示するブロック図である。

【図3】図3は図1の表示ドライバによる動作制御タイミングの前半を例示するタイミングチャートである。

【図4】図4は図1の表示ドライバによる動作制御タイミングの後半を例示するタイミングチャートである。

【図5】図5の(A)乃至(C)は図1の表示ドライバの構成及び機能を凝縮して示した説明図である。

30

【図6】図6の(A)乃至(C)は1フレーム分のRAMを用いて表示駆動期間と前記非表示駆動期間とを交互に生成する駆動形態を概略的に示した説明図である。

【図7】図7の(A)乃至(C)はRAMを搭載しない代わりにホストプロセッサとの間で表示データの転送と転送停止との同期制御を行うことによって表示駆動期間と前記非表示駆動期間とを交互に生成する駆動形態を概略的に示した説明図である。

【図8】図8は表示ドライバの別の例を示すブロック図である。

【図9】図9は図8の表示ドライバによる動作制御タイミングの前半を示すタイミングチャートである。

【図10】図10は図8の表示ドライバによる動作制御タイミングの後半を示すタイミングチャートである。

40

【図11】図11の(A)乃至(C)は図8の表示ドライバの構成及び機能を凝縮して示した説明図である。

【発明を実施するための形態】

【0019】

1. 実施の形態の概要

先ず、本願において開示される実施の形態について概要を説明する。実施の形態についての概要説明で括弧を付して参照する図面中の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【0020】

50

〔 1 〕 < 表示データを書込みよりも速く読出して表示駆動期間と非表示駆動期間を交互に生成 >

表示パネル (2) の駆動制御とタッチパネル (3) の検出タイミング制御を行うドライバ I C (4) は、表示駆動期間に前記表示パネルを駆動する駆動回路 (7 2) と、前記駆動回路の動作を停止する非表示駆動期間に前記タッチパネルの検出タイミングを生成すると共に前記表示駆動期間と前記非表示駆動期間とを生成する制御回路 (2 0 ~ 6 0 、 2 0 A ~ 5 0 A) と、表示データを 1 表示フレームに満たない複数表示ライン分保持するデータ R A M (7 0 , 7 0 A) と、を有する。前記制御回路は、 1 表示フレームの期間に、外部から供給される表示データを前記データ R A M に書込むと共に書込まれた表示データを書込みよりも速い速度で前記データ R A M から読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う。

10

【 0 0 2 1 】

これによれば、 1 フレーム分のデータ R A M を搭載することを要しないからチップサイズが小さくなる。 1 表示フレームに満たない複数表示ライン分保持するデータ R A M を搭載する表示駆動期間と非表示駆動期間においてホストプロセッサとの間で表示データの転送と転送停止との同期制御を行うことを要せず、ホストプロセッサの負担を軽減することができる。 1 表示フレームの期間に、データ R A M への表示データの書込みと書き込まれた表示データを読出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すから、 1 表示フレームに満たないデータ R A M を用いる場合でも表示駆動期間と非表示駆動期間とを交互に生成することができる。したがって、チップサイズの小型化とホストプロセッサに対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることができる。

20

【 0 0 2 2 】

〔 2 〕 < 前記表示駆動期間及び前記非表示駆動期間の指定 >

項 1 において、前記制御回路は前記ラップアラウンドに繰返すメモリアドレッシング操作のアドレッシング範囲を前記データ R A M の最大記憶容量以下の表示ライン数相当のライン数の範囲で制御するタッチインターバル期間データ (T P L I N E) を書き換え可能に保持するためのレジスタ回路 (2 0 , 2 0 A) を有する。

【 0 0 2 3 】

30

これによれば表示パネルの表示解像度及びタッチパネルの検出解像度の種々の構成に柔軟に対応することが可能になる。

【 0 0 2 4 】

〔 3 〕 < ページ単位で前記表示駆動期間と前記非表示駆動期間とを交互に生成 >

項 2 において、前記制御回路は、前記データ R A M の最大記憶容量以下の表示ライン数分のデータサイズを 1 ページとし、外部からの第 1 フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路 (4 0 , 4 0 A) と、表示動作のための第 2 フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路 (5 0 , 5 0 A) とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止する。

40

【 0 0 2 5 】

これによれば、 1 表示フレームの期間に、データ R A M への表示データの書込みと書き込まれた表示データを読出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返す構成を比較的簡単に実現する事ができる。

【 0 0 2 6 】

〔 4 〕 < 表示データの書込み開始から遅延させて読出し開始し、書込み終了後に読み出し終了 >

50

項 3 において、前記制御回路は、前記ページ書込みアドレス毎に前記データ R A M に表示データの書込みを開始するタイミングから所定時間 (T S _ O F S + T S _ P R D) 遅延したタイミングで前記データ R A M から表示データの読出しを開始し、開始した読出しの終了は当該ページ書込みアドレス単位での書込みの終了後とする。

【 0 0 2 7 】

これによれば、ページ毎にデータ R A M への書込みに対してアクセスアドレスが重なることなく円滑に読出しを行うことができる。

【 0 0 2 8 】

〔 5 〕 < タッチ検出開始ライン数データ (T S _ O F S) 、及び表示リード開始ライン数データ (T S _ P R D) >

10

項 4 において、前記レジスタ回路は更に、ページ内の先頭の書込みアドレスへの書込み開始からタッチ検出開始までの表示ライン数を制御するためのタッチ検出開始ライン数データ (T S _ O F S) 、及びタッチ検出開始ライン数データで決定される表示ライン数の位置からタッチ検出を行って表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データ (T S _ P R D) を書き換え可能に保持する。前記所定時間は、前記タッチ検出開始ライン数データと表示リード開始ライン数データとの和で決まる期間である。

【 0 0 2 9 】

これによれば、データ R A M に対するページ単位の書込み開始を基準にタッチ検出期間 (非表示駆動期間) 及び表示駆動期間を可変に定義することができる。

20

【 0 0 3 0 】

〔 6 〕 < 表示ラインのラインカウンタ >

項 5 において、前記制御回路は、表示フレーム単位で、先頭ページの先頭の書込みアドレスへの書込み開始から表示ライン周期毎に表示ラインのカウントを行うラインカウンタ (3 2) を有し、前記ラインカウンタのカウント値に基づいて前記タッチ検出ライン数データによるライン数と前記表示リード開始ライン数データによるライン数とを判別する。

【 0 0 3 1 】

これによれば、項 4 において説明したページ毎にデータ R A M への書込みと読み出しのアクセスアドレスが重ならないこと、項 5 で説明したデータ R A M に対するページ単位の書込み開始を基準にタッチ検出期間を可変に定義することを、ラインカウンタのカウント値を用いることによって比較的簡単に実現することができる。

30

【 0 0 3 2 】

〔 7 〕 < 書込み要求と読出し要求が競合するとき書込み要求を優先させる >

項 4 において、前記データ R A M に対する読み出し要求のデータアクセス単位は書込み要求のデータアクセス単位に比べて大きくされる。このとき、前記制御回路は書込み要求と読出し要求が競合したとき書込み要求を優先させる調停回路 (6 0) を有する。

【 0 0 3 3 】

これによれば、ホストプロセッサからの書込みを一時停止させたりするような同期制御を一切必要としない。データ R A M が完全なデュアルポートを持つ場合にはそのような調停は必要ないが、その場合にはデータ R A M の回路規模が倍増するので現実的ではない。

40

【 0 0 3 4 】

〔 8 〕 < 書込みと読出しのアクセス単位 >

項 7 において、前記読出し要求のアクセス単位は 1 表示ライン分の並列データ数を単位とし、前記書込み要求のアクセス単位はバスアクセスの並列データ数を単位とする。

【 0 0 3 5 】

これによれば、書込みと読出しが競合して書き込みが優先されても、バスアクセス単位の書き込みの後に表示ライン単位の読み出しが行われるので、ページ単位で既に書込まれた表示データの読み出しの虞は全くない。

【 0 0 3 6 】

〔 9 〕 < 複数のメモリバンクに対する表示データの書込みと読出しを交互に切替え >

50

項 2 において、前記データ RAM (7 0 A) は複数のメモリバンク (B A N K A , B A N K B) を有する。前記制御回路は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替える。

【 0 0 3 7 】

これによれば、書込みと読出しのメモリバンクの切り換えによって一つのメモリバンクに対する書き込みと読出しの競合を排除する事が容易である。

【 0 0 3 8 】

〔 1 0 〕 < 書込みと読出しの調停回路不要 >

項 9 において、前記制御回路 (2 0 A ~ 5 0 A) は、表示フレーム単位で最初の非表示駆動期間に何れか一方のメモリバンクを書込み対象メモリバンクとし、最初の表示駆動期間に他方のメモリバンクを読出し対象メモリバンクとし、夫々のページ切替え毎に、書込み対象メモリバンクと読み出し対象メモリバンクの切替えを行う。

【 0 0 3 9 】

これによれば、一つのメモリバンクに対して書き込みと読出しが競合することはないので、項 7 で説明したような調停回路を一切必要としない。

【 0 0 4 0 】

〔 1 1 〕 < 表示ライン周期データ (R T N) 、及び表示ライン数データ (N L) >

項 3 において、前記レジスタ回路は更に、駆動する表示ラインの切替え周期である表示パネルの表示ライン周期を制御するための表示ライン周期データ (R T N) 、及び駆動する表示パネルの表示ライン数を制御するための表示ライン数データ (N L) を書き換え可能に保持する。

【 0 0 4 1 】

これによれば、表示ライン周期及び表示ライン数の異なる種々の表示パネルに容易に対応することができる。

【 0 0 4 2 】

〔 1 2 〕 < ページ単位で表示駆動期間と前記非表示駆動期間とを交互に生成する場合におけるタッチ検出回路ライン数データ (T S _ O F S) 、及び表示リード開始ライン数データ (T S _ P R D) >

項 1 1 において、前記制御回路 (2 0 ~ 6 0) は、前記データ RAM の最大記憶容量以下の表示ライン数分のデータサイズを 1 ページとし、外部からの第 1 フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路 (4 0) と、表示動作のための第 2 フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路 (5 0) とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止する。前記レジスタ回路 (2 0) は更に、ページ内の先頭の書込みアドレスへの書込み開始からタッチ検出開始までの表示ライン数を制御するためのタッチ検出開始ライン数データ (T S _ O F S) 、及びタッチ検出開始ライン数データで決定される表示ライン数の位置からタッチ検出を行って表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データ (T S _ P R D) を書き換え可能に保持する。

【 0 0 4 3 】

これによれば、1 表示フレームの期間に、データ RAM への表示データの書込みと書き込まれた表示データを読出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返す構成を比較的簡単に実現する事ができる。そして、データ RAM に対するページ単位の書込み開始を基準にタッチ検出期間 (非表示駆動期間) 及び表示駆動期間を可変に定義することができる。

【 0 0 4 4 】

10

20

30

40

50

〔 1 3 〕 < 複数のメモリバンクを用いる場合におけるオフセットライン数データ (T S _ O F S) 、 及び表示リード開始ライン数データ (T S _ P R D) >

項 1 1 において、前記データ R A M (7 0 A) は複数のメモリバンク (B A N K A , B A N K B) を有する。前記制御回路 (2 0 A ~ 5 0 A) は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替える。このいとき、前記レジスタ回路 (2 0 A) は更に、ページ内の先頭の書込みアドレスへの書込み開始からのオフセットを表示ライン数で制御するためのオフセットライン数データ (T S _ O F S) 、 及びオフセットライン数データで決定される表示ライン数の位置から前記タッチインターバル期間データで指定される表示ライン数に達した表示ラインからタッチ検出を行って次の表示リードを開始するまでの表示ライン数を制御するための表示リード開始ライン数データ (T S _ P R D) を書き換え可能に保持する。

10

【 0 0 4 5 】

これによれば、書込みと読出しのメモリバンクの切り換えによって一つのメモリバンクに対する書き込みと読出しの競合が排除される。また、データ R A M に対するページ先頭の書込みを基準に非表示駆動期間 (タッチ検出期間) と表示駆動期間を可変に設定できる。

【 0 0 4 6 】

〔 1 4 〕 < 表示ラインのラインカウンタ >

項 1 2 又は 1 3 において、前記制御回路は、表示フレーム単位で、先頭ページの先頭の書込みアドレスへの書込み開始から表示ライン周期毎に表示ラインのカウンタを行うラインカウンタ (3 2) を有し、前記ラインカウンタのカウント値に基づいて前記タッチインターバル期間データによるタッチインターバル期間のライン数、前記タッチ検出ライン数データによるライン数、及び前記表示リード開始ライン数データによるライン数、を判別する。

20

【 0 0 4 7 】

これによれば、項 1 2 で説明したデータ R A M に対するページ単位の書込み開始を基準にタッチ検出期間を可変に定義すること、また、項 1 3 で説明したデータ R A M に対するページ先頭の書込みを基準に非表示駆動期間 (タッチ検出期間) を可変に設定でき、データ R A M に対するページ先頭の読出しを基準に表示駆動期間を可変に設定できることを、ラインカウンタのカウント値を用いることによって比較的簡単に実現することができる。

30

【 0 0 4 8 】

〔 1 5 〕 < 表示データを書込みよりも速く読出して表示駆動期間と非表示駆動期間を交互に生成 >

表示装置は表示パネル (2) にタッチパネル (3) が組み込まれたパネルモジュール (1) と、前記パネルモジュールに搭載され、前記表示パネルの駆動制御と前記タッチパネルの検出制御を行うドライバ I C (4) とを有する。前記ドライバ I C は、表示駆動期間に前記表示パネルを駆動する駆動回路 (7 2) と、前記駆動回路の動作を停止する非表示駆動期間に前記タッチパネルの検出制御を行なうタッチパネルコントローラ (1 1) と、表示データを 1 表示フレームに満たない複数表示ライン分保持するデータ R A M (7 0 , 7 0 A) と、 1 表示フレームの期間に、外部から供給される表示データを前記データ R A M に書込むと共に書込まれた表示データを書込みよりも速い速度で前記データ R A M から読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う制御回路 (2 0 ~ 6 0 、 2 0 A ~ 5 0 A) とを有する。

40

【 0 0 4 9 】

これによれば、 1 フレーム分のデータ R A M を搭載することを要しないからドライバ I C のチップサイズが小さくなり、パネルモジュールの小型化に寄与する。 1 表示フレームに満たない複数表示ライン分保持するデータ R A M を搭載する表示駆動期間と非表示駆動期間におじてホストプロセッサとの間で表示データの転送と転送停止との同期制御を行う

50

ことを要せず、ホストプロセッサの負担を軽減することができる。1表示フレームの期間に、データRAMへの表示データの書込みと書き込まれた表示データを読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すから、1表示フレームに満たないデータRAMを用いる場合でも表示駆動期間と非表示駆動期間とを交互に生成することができる。したがって、チップサイズの小型化とホストプロセッサに対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることができる。

【0050】

〔16〕＜ページ単位で前記表示駆動期間と前記非表示駆動期間とを交互に生成＞

項15において、前記制御回路は、前記データRAM(70, 70A)の最大記憶容量以下の表示ライン数分のデータサイズを1ページとし、外部からの第1フレーム同期信号の周期単位でページ単位のページ書込みアドレスを生成すると共にページ単位でページ内のライン書込みアドレスを生成する書込みアドレスカウンタ回路(40, 40A)と、表示動作のための第2フレーム同期信号の周期単位で前記ページ単位のページ読出しアドレスを生成すると共にページ単位でページ内のライン読出しアドレスを生成する読出しアドレスカウンタ回路(50, 50A)とを有し、ページ読出しアドレス毎に前記表示駆動期間と前記非表示駆動期間とを交互に生成し、表示駆動期間においてライン読出しアドレスを生成し、非表示駆動期間においてライン読出しアドレスの生成を停止する。

【0051】

これによれば、1表示フレームの期間に、データRAMへの表示データの書込みと書き込まれた表示データを読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返す構成を比較的簡単に実現する事ができる。

【0052】

〔17〕＜複数のメモリバンクに対する表示データの書込みと読出しを交互に切替え＞

項15において、前記データRAM(70A)は複数のメモリバンク(BANKA, BANKB)を有する。前記制御回路(20A~50A)は、相互にいずれか一方のメモリバンクに対する書込み中に他方のメモリバンクに対する読出しを行い、書込み対象とするメモリバンクと読出し対象とするメモリバンクを交互に切替える。

【0053】

これによれば、書込みと読出しのメモリバンクの切り換えによって一つのメモリバンクに対する書き込みと読出しの競合を排除する事が容易である。

【0054】

2. 実施の形態の詳細

実施の形態について更に詳述する。

【0055】

《表示装置》

図2にはパネルモジュール1とこれを駆動するドライバIC4を備えた表示装置が例示される。パネルモジュール1は表示パネル2にタッチパネル3が組み込まれた所謂インセル形態で構成され、例えばガラス基板上にTFTと画素電極をマトリクス状に配置したTFTアレイ基板を有し、その上に、液晶層、画素電極に対するコモン電極層、カラーフィルタ、及びタッチ検出容量、タッチ検出電極、及び表面ガラスなどが積層されて構成される。図2では便宜上、表示パネル2とタッチパネル3を左右に分離して図示しているが、実際には両者は重ねられている。

【0056】

図2に従えば、表示パネル2は、例えば、交差配置された走査電極GL1~GLmk(m, kは正の整数)と信号電極SL1~SLj(jは正の整数)の各交点にTFTと呼ばれる薄膜トランジスタTrが配置され、薄膜トランジスタTrのゲートに対応する走査電極GL1~GLmk、薄膜トランジスタTrのソースに対応する信号電極SL1~SLjが設けられ、そして薄膜トランジスタTrのドレインにはコモン電極VCOMとの間にサブピクセルとなる液晶素子及び蓄積コンデンサ(図では液晶素子及び蓄積コンデンサを1個のコンデンサCpxで代表する)が形成されて、各画素が形成される。走査電極GL1

～GLmkの夫々に沿った画素のラインを表示ラインと称する。表示制御では順次走査電極GL1～GLmkが駆動され、走査電極単位で薄膜トランジスタTrがオン状態にされることで、ソースとドレイン間に電流が流れ、そのとき信号電極SL1～SLjを介してソースに加えられている各々の信号電圧が液晶素子Cpxに印加されることによって液晶の状態が制御される。

【0057】

タッチパネル3は、静電容量方式とされ、例えば、交差配置された駆動電極TX1～TXmと検出電極RX1～RXnの交差位置に多数のタッチ検出容量Ctpがマトリクス状に形成されている。特に制限されないが、図2ではk本の表示ライン単位でコモン電極をm個に分割し、対応する駆動電極TX1～TXmと共通化して、パネルモジュール1の薄型化を図っている。駆動電極TX1～TXmを順次駆動したときタッチ検出容量Ctpを介して検出電極RX1～RXnに電位変化が現れ、この電位変化を検出電極RX1～RXn毎に積分することによって検出信号を形成することができる。検出容量の近傍に指があるとその浮遊容量によって検出容量Ctpとの合成容量値が小さくなり、この容量値の変化に応じた検出信号の相違によってタッチと非タッチを区別するようになっている。表示パネル2に重ねられたタッチパネル3を用いることによって、液晶パネル2の画面表示に応じてタッチパネル3で行われるタッチ操作によるタッチ座標からその操作を判別可能になる。

【0058】

ドライバIC4は、表示パネル2に対する駆動制御及びタッチパネル3に対する検出制御を行なうコントローラデバイスもしくはドライバデバイスとして機能される。このドライバIC4は上記パネルモジュールのTFT基板にCOG(Chip on Glass)などの形態で実装されている。ドライバIC4は、例えばパネルモジュール1をユーザインタフェースとして搭載するスマートフォンなどの情報端末装置のホストプロセッサ(HSTMCU)5に接続され、ホストプロセッサ5との間で、動作コマンド、表示データ、タッチ検出座標データなどの入出力が行なわれる。

【0059】

ドライバIC4は、特に制限されないが、表示ドライバ(LCDDRV)10、及びタッチパネルコントローラ(TPC)11を搭載して半導体集積回路化されている。半導体集積回路化されたドライバIC4は、例えば、CMOS集積回路製造技術などによって単結晶シリコンなどの半導体基板に形成されている。特に制限されないが、図2の例では、走査電極GL1～GLmkを駆動する回路はゲートドライバ(GDRV)6として液晶パネル2に搭載される。ドライバIC4は垂直同期信号などのフレーム同期信号に同期して信号電極SL1～SLjを駆動すると共に、ゲートドライバIC6に走査電極GL1～GLmkの駆動タイミングなどを与える。ゲートドライバIC6はドライバIC4から与えられたタイミングにしたがって走査電極GL1～GLmkの駆動を行う。

【0060】

表示ドライバ10は、一つの表示フレーム期間の中を、表示駆動期間及び非表示駆動期間に分けて表示パネル2を制御する。例えば走査電極GL1～GLmkをk×i(iは正の整数)本単位でm/i個のブロックに分割してm/i個の表示駆動期間に分割し、分割された表示駆動期間毎に対応するブロックのk×i本の走査電極を順番に駆動し、各走査電極の駆動タイミングに合わせて対応する表示ラインの表示データで信号電極SL1～SLjを駆動する。表示ドライバ10は表示駆動期間に対応するブロックの走査電極に対する駆動タイミングをゲートドライバ6に与える。また、表示ドライバ10は非表示駆動期間において信号電極SL1～SLjの駆動を停止し、タッチパネルコントローラ11にタッチ検出動作可能であることを通知する。タッチパネルコントローラ11は非表示駆動期間毎に、駆動電極TX1～TXmの内の所定範囲を順次駆動してタッチ検出容量Ctpを介して検出電極RX1～RXnに現れる電位変化を積分することによって検出信号を形成し、取得した検出信号をホストプロセッサ5に与える。

【0061】

ここで、表示ドライバ10は信号電極SL1～SLjの駆動に用いる表示データを一時的に保持するメモリとして1表示フレームに満たない記憶容量のRAMを利用し、1表示フレームの期間に、ホストプロセッサから供給される表示データをそのRAMに書込むと共に書込まれた表示データを書込みよりも速い速度でRAMから読み出すためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う。以下その制御機能の詳細について説明する。

【0062】

表示ドライバの第1の例

図1には表示ドライバ10の構成が例示される。表示ドライバ10は、レジスタ回路20、タイミングコントローラ30、RAMライト制御回路40、表示リード制御回路50、調停回路60、パーシャルRAM70、ラインラッチ71、ソース駆動回路72、及びゲートドライバIC6にゲート駆動タイミング信号などを供給するゲート駆動回路73を有する。

10

【0063】

パーシャルRAM70は表示データを1表示フレームに満たない複数表示ライン分保持するデータRAMの一例である。

【0064】

レジスタ回路20、タイミングコントローラ30、RAMライト制御回路40、表示リード制御回路50、及び調停回路60は、1表示フレームの期間に、ホストプロセッサ50から供給される表示データをパーシャルRAM70に書込むと共に書込まれた表示データを書込みよりも速い速度でパーシャルRAM70から読み出してソース駆動回路72に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、前記表示駆動期間と前記非表示駆動期間とを交互に生成する制御を行う制御回路の一例である。

20

【0065】

タッチパネルコントローラ11はタイミングコントローラ80、タッチ検出信号ドライバ81、タッチ状態検出回路82、及びメモリ83を有する。タッチ検出信号ドライバ81は駆動電極TX1～TXmを順次駆動する。タッチ状態検出回路82はタッチ検出信号ドライバ81で駆動電極TX1～TXmを順次駆動したときタッチ検出容量Ctpを介して検出電極RX1～RXnに現れる電位変化を検出電極RX1～RXn毎に積分して検出データを生成する回路である。メモリ83は前記検出データを蓄積し、蓄積した検出データはホストプロセッサ50によるタッチ座標の演算に供される。

30

【0066】

図3及び図4には表示ドライバによる動作制御タイミングが例示される。両図のタイミングは時刻T6-5の前後で接続するように部分的に重複するように作図されている。図3及び図4においてカウント値LINECNT及び表示リードアドレスに代表されるカウント値及びアドレス値は0から始まるデジタル値を想定してその値を図示してある。これに対し、転送データ及びドライバ出力に付された番号は1から始まる表示ラインを想定してその値を図示してある。

40

【0067】

図1、図3及び図4に基づいて表示ドライバ10を詳細に説明する。ここでは、表示ライン(単にラインとも記す)が32ラインの表示パネル2において、表示ドライバ10に8ライン分のパーシャルRAM70を搭載した場合を例に挙げて説明する。

【0068】

8ライン分のパーシャルRAM70に対する書込みと読出しは8ライン分のページ単位で行う。RAMライト制御回路40及び表示リード制御回路50はページ単位でパーシャルRAMのアクセスアドレスを生成する。

【0069】

RAMライト制御回路40はRAMライトタイミングコントローラ41、RAMライト

50

アドレスカウンタ42、PDバッファ43、及びRAMライトページカウンタ44を有する。RAMライトタイミングコントローラ41はホストプロセッサ5から垂直同期信号HOST_VSYNC、水平同期信号HOST_HSYNC、データネーブル信号HOST_DE、及び表示データHOST_PDを入力してパシシャルRAM70の書込み制御を行う。RAMライトアドレス(パシシャルRAM70のライトアクセスアドレス)の上位側アドレスはRAMライトページカウンタ44のカウンタ値(RAMライトページアドレス; ページ書込みアドレス)であり、その下位側アドレスはRAMライトアドレスカウンタ42のカウンタ値(RAMライトアドレス)である。

【0070】

表示リード制御回路50は表示リードタイミングコントローラ51、表示リードアドレスカウンタ52、表示リードページカウンタ53を有する。表示リードタイミングコントローラ51はタイミングコントローラ30から垂直同期信号DISP_VSYNC、水平同期信号DISP_HSYNC、ラインカウンタ値LINECNT、及び表示駆動期間信号DISP_PRDを入力してパシシャルRAM70の読み出し制御を行う。RAMリードアドレス(パシシャルRAM70のリードアクセスアドレス)の上位側アドレスは表示リードページカウンタ53のカウンタ値(表示リードページアドレス; ページ読み出しアドレス)であり、その下位側アドレスは表示リードアドレスカウンタ52のカウンタ値(表示リードアドレス)である。

【0071】

RAMライトと表示リードは非同期であり、調停回路60はパシシャルRAM70に対するライトアクセス要求とリードアクセス要求の競合を調停する。例えば、調停回路60はRAMライトタイミングコントローラ41からの書込み要求を、表示リードタイミングコントローラ51からの読み出し要求よりも優先して許可する。調停回路60によるタイミング調整は書き込み、読み出しの何れに対してもキャンセルするものではない。

【0072】

レジスタ回路20はタッチ検出開始ライン数データ(TS_OFS)、表示リード開始ライン数データ(TS_PRD)、表示ライン周期データ(RTN)、表示ライン数データ(NL)、及びタッチインターバル期間データ(TPLINE)を書換え可能に保持する。その書換えは例えばホストプロセッサ5によって行われる。

【0073】

タッチ検出開始ライン数データ(TS_OFS)はページ内の先頭の書込みアドレスへの書込み開始からタッチ検出開始までの表示ライン数を制御するための制御データである。表示リード開始ライン数データ(TS_PRD)はタッチ検出開始ライン数データで決定される表示ライン数の位置からタッチ検出を行って表示リードを開始するまでの表示ライン数を制御するための制御データである。図3及び図4から明らかなように、前記RAMライトページアドレス(ページ書込みアドレス)毎に前記パシシャルRAM70に表示データの書込みを開始するタイミングから所定時間(TS_OFS + TS_PRD)遅延したタイミングでパシシャルRAM70から表示データの読み出しを開始する。開始した読み出しの終了は当該ページ書込みアドレス単位での書込みの終了後とする。

【0074】

表示ライン周期データ(RTN)は駆動する表示ラインの切替え周期である表示パネルの表示ライン周期を制御するための制御データである。

【0075】

表示ライン数データ(NL)は駆動する表示パネルの表示ライン数を制御するための制御データである。

【0076】

タッチインターバル期間データ(TPLINE)は幾つの表示ライン毎にタッチ期間を挿入するかを制御するための制御データである。

【0077】

10

20

30

40

50

ページ数演算回路 22 は RAM ライトページ数 (= 表示リードページ数) $PAGEMAX$ を演算する。 $NL / TPLINE$ に余りがある場合、1 ページ追加して最終ページに余りを割り当てる。また、複数のページに数ラインずつ余りを割り当ててもよい。すなわち、 $PAGEMAX = (NL / TPLINE) + \{ (NL / TPLINE) \text{ に余りがあれば } + 1 \}$ とする。

【0078】

表示ライン数演算回路 21 は 1 フレームにおいて表示ライン周期カウンタ 32 でカウントする $LINECNT$ の最大カウント値 $LINECNTMAX$ を演算する。すなわち、 $LINECNTMAX = NL + (TS_OFFS + TS_PRD) \times PAGEMAX + TPLINE$ とする。

10

【0079】

表示ライン周期カウンタ 31 は周期データ (RTN) による周期の水平同期信号 $DISP_HSYNC$ を出力する。表示ラインカウンタ 32 は 1 フレーム単位でパースシャル RAM 70 の書き込み開始後に水平同期信号 $DISP_HSYNC$ のクロック数を $LINECNTMAX$ までカウントして表示ラインカウント値 $LINECNT$ を生成する。表示リード期間生成回路 33 は TS_OFFS , TS_PRD , $DISP_HSYNC$, $LINECNT$ に基づいて表示駆動期間信号 $DISP_PRD$ を生成する。

【0080】

表示リードタイミングコントローラ 51 は、パースシャル RAM 70 に保持したデータを、パースシャル RAM 70 の各ページの先頭ラインのデータ書き込みが始まってから、 $TS_OFFS + TS_PRD$ の後に表示出力開始し、 $TPLINE$ の期間だけ表示リードしてから再び $TS_OFFS + TS_PRD$ の期間だけ表示リードを停止する動作を $PAGEMAX$ による回数だけ繰り返す。この表示リードタイミングコントローラ 51 は、ホストプロセッサ 5 の表示データ書き込み速度より十分速い速度でパースシャル RAM 70 から表示データを読み出して表示駆動を可能にする。RAM ライト速度に対して表示リード速度が早ければ早いほど、タッチセンシング期間 TS_PRD を確保できるが、遅れてアドレスカウントされる表示リードアドレスは RAM ライトアドレスを追い越してはならない。表示データの読み出しは、図 3 及び図 4 に示す表示リードアドレスと表示ライトアドレスが交わらないように表示リード停止期間と表示リード期間を交互に繰り返しながら断続的に表示動作が行われる。

20

30

【0081】

表示データ書き込み、表示リードが可能な 1 フレームの画像サイズに満たないパースシャル RAM で、RAM ライト用のカウンタ 42, 44 と表示リード用のカウンタ 52, 53 により、1 フレーム内に複数回メモリ全面を書き込み、読み出しを行うことができる 1 ページで使用するパースシャル RAM 70 のライン数は $TGPLINE$ の設定値で調整することができる。

【0082】

図 3 及び図 4 において、ホストプロセッサ 5 から図の $T6 - 1 \sim T6 - 12$ の間に連続的に送信される表示データは、順に表示ドライバ 10 内のパースシャル RAM 70 に蓄積される。パースシャル RAM 70 の RAM ライトアドレスが 0 h から最大値の 7 h までインクリメントした後は、RAM ライトアドレスはリセットされ、再び 0 h からインクリメントされる。RAM ライト用のカウンタ 42, 44 は垂直同期信号 $HOST_VSYNC$ でリセットされる。パースシャル RAM 70 の書き込みは、 $PAGEMAX$ の最終頁におけるパースシャル RAM 70 のライン数 ($TPLINE$ が示すライン数に等しい) まで継続され、フレームを跨がずにさらに表示データ書き込みが発生した場合は、書き込みデータを無視する。

40

【0083】

図 3 及び図 4 において、1 フレームごとにパースシャル RAM 70 に対して複数回表示リード停止期間、表示リード期間の順に断続的なデータを読み出しが行われる。表示リード停止期間は、図 3 及び図 4 における時刻 $T6 - 1 \sim T6 - 2$, $T6 - 4 \sim T6 - 5$, T

50

6 - 7 ~ T 6 - 8 , T 6 - 10 ~ T 6 - 11 である。表示リード期間は、時刻 T 6 - 2 ~ T 6 - 4 , T 6 - 5 ~ T 6 - 7 , T 6 - 8 ~ T 6 - 10 , T 6 - 11 ~ T 6 - 13 である。表示リード停止期間は非表示駆動期間に対応される。すなわち、パーシャル R A M 70 から読み出された表示リードデータは 1 ラインだけラインラッチ 71 で同期を取った後にソース駆動回路 72 に供給されて表示パネル 2 を駆動する。パーシャル R A M 70 の読み出し開始からソース駆動回路 72 の駆動開始までに D I S P _ H S Y N C の 1 サイクル分の動作遅延がある。したがって、表示リード停止期間と非表示駆動期間との開始タイミングには D I S P _ H S Y N C の 1 サイクル分の動作遅延がある。ちなみに表示駆動期間は T P L I N E の期間に対応される。このようにして、表示ドライバ 10 は非表示駆動、表示駆動を交互に繰り返しながらソース駆動回路 72 で表示パネル 2 の信号電極 S L 1 ~ S L j を駆動し、信号電極 S L 1 ~ S L j の駆動、駆動停止に合わせてゲート駆動回路 73 にゲートドライバに対する動作、停止を交互に繰り返す。

10

【 0 0 8 4 】

表示ドライバ 10 は表示フレーム、表示ラインを示す D I S P _ V S Y N C , D I S P _ H S Y N C、表示期間を示す D I S P _ P R D、及びパーシャル R A M 70 の表示リードタイミングでトグルするタイミング信号 T E をホストプロセッサ 5 へ返す。ホストプロセッサ 5 はこれらの信号を必要に応じて参照することにより表示ドライバ 10 の表示リードタイミングを確認しながら表示データを送信することができる。

【 0 0 8 5 】

図 1 のドライバ I C 10 によれば以下の作用効果を得る。

20

【 0 0 8 6 】

(1) 1 表示フレームの期間に、表示データをパーシャル R A M 70 に書込むと共に書込まれた表示データを書込みよりも速い速度でパーシャル R A M 70 から読み出してソース駆動回路 72 に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰り返すことにより、表示駆動期間と前記非表示駆動期間とを交互に生成する。図 5 の (A) 乃至 (C) にはこの駆動形態を凝縮して示してある。

【 0 0 8 7 】

これにより、1 フレーム分の R A M を搭載することを要しないからチップサイズが小さくなる。図 6 の (A) 乃至 (C) には 1 フレーム分の R A M を用いて表示駆動期間と前記非表示駆動期間とを交互に生成する駆動形態を概略的に示してある。

30

【 0 0 8 8 】

1 表示フレームに満たない複数表示ライン分保持するパーシャル R A M 70 を搭載する表示駆動期間と非表示駆動期間においてホストプロセッサ 5 との間で表示データの転送と転送停止との同期制御を行うことを要せず、ホストプロセッサ 5 の負担を軽減することができる。図 7 の (A) 乃至 (C) には R A M を搭載しない代わりにホストプロセッサ 5 との間で表示データの転送と転送停止との同期制御を行うことによって表示駆動期間と前記非表示駆動期間とを交互に生成する駆動形態を概略的に示してある。

【 0 0 8 9 】

1 表示フレームの期間に、パーシャル R A M 70 への表示データの書込みと書き込まれた表示データを読み出してソース駆動回路 72 に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰り返すから、1 表示フレームに満たないパーシャル R A M 70 を用いる場合でも表示駆動期間と非表示駆動期間とを交互に生成することができる。したがって、チップサイズの小型化とホストプロセッサ 5 に対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることができる。

40

【 0 0 9 0 】

(2) 前記ラップアラウンドに繰り返すメモリアクセス操作のアドレッシング範囲をパーシャル R A M 70 の最大記憶容量以下の表示ライン数相当のライン数の範囲で制御する制御データ T G P L I N E の設定値で調整することができる。換言すれば、1 フレーム内に複数回メモリ全面を書き込み、読み出しを行うことができる 1 ページで使用するパーシャル R A M 70 のライン数は制御データ T G P L I N E の設定値で調整することができる。

50

したがって、表示パネルの表示解像度及びタッチパネルの検出解像度の種々の構成に柔軟に対応することが可能になる。

【 0 0 9 1 】

(3) R A M ライト用のアドレスカウンタ 4 2 , 4 4 と表示リード用のカウンタ 5 2 , 5 3 を用いて、ページ単位で前記表示駆動期間と前記非表示駆動期間とを交互に生成するから、1 表示フレームの期間に、データ R A M への表示データの書込みと書き込まれた表示データを読み出して駆動回路に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返す構成を比較的簡単に実現することができる。

【 0 0 9 2 】

(4) ページ書込みアドレス毎に前記パーシャル R A M 7 0 に表示データの書込みを開始するタイミングから所定時間 (T S _ O F S + T S _ P R D) 遅延したタイミングでパーシャル R A M 7 0 から表示データの読出しを開始し、開始した読出しの終了は当該ページ書込みアドレス単位での書込みの終了後とするから、ページ毎にパーシャル R A M 7 0 への書込みに対してアクセスアドレスが重なることなく円滑に読出しを行うことができる。上記所定期間は、夫々可変可能なタッチ検出開始ライン数データ (T S _ O F S) 、及び表示リード開始ライン数データ (T S _ P R D) によって決定するから、パーシャル R A M 7 0 に対するページ単位の書込み開始を基準にタッチ検出期間 (非表示駆動期間) 及び表示駆動期間を可変に定義することができる。

【 0 0 9 3 】

(5) パーシャル R A M 7 0 に対する書込み要求と読出し要求が競合するとき調停回路 6 0 によって書込み要求を優先させるから、ホストプロセッサ 5 からの書込みを一時停止させたりするような同期制御を一切必要としない。パーシャル R A M 7 0 が完全なデュアルポートを持つ場合にはそのような調停は必要ないが、その場合にはパーシャル R A M の回路規模が増加するので現実的ではない。

【 0 0 9 4 】

(6) パーシャル R A M 7 0 に対する読出し要求のアクセス単位を 1 表示ライン分の並列データ数を単位とし、書込み要求のアクセス単位をバスアクセスの並列データ数を単位とするから、書込み期間に比べて表示リード期間が短い上に書込みと読出しが競合したとき書き込みを優先させても、バスアクセス単位の書き込みの後に表示ライン単位の読み出しが行われるので、ページ単位で既に書込まれた表示データの読み出しの虞は全くない。

【 0 0 9 5 】

(7) 可変可能な表示ライン周期データ (R T N) 、及び表示ライン数データ (N L) によって表示ラインの切替え周期と表示パネルの表示ライン数を制御するから、表示ライン周期及び表示ライン数の異なる種々の表示パネルに容易に対応することができる。

【 0 0 9 6 】

《表示ドライバの第 2 の例》

図 8 には表示ドライバの別の例が示される。ここに示される表示ドライバ 1 0 A は、パーシャル R A M 7 0 A が第 1 のメモリバンク B A N K A と第 2 のメモリバンク B A N K B とを備え、ホストプロセッサ 5 からのデータ書き込み用と表示パネルへの読み出し用に第 1 のメモリバンク B A N K A と第 2 のメモリバンク B A N K B とを切替えて相互に書込みと読出しを排他的に行うように構成した点が図 1 の表示ドライバ 1 0 と相違される。図 9 及び図 1 0 には表示ドライバ 1 0 A による動作制御タイミングが例示される。両図のタイミングは時刻 T 8 - 7 の前後で接続するように部分的に重複するように作図されている。図 8 、図 9 及び図 1 0 に基づいて表示ドライバ 1 0 A が図 1 の表示ドライバと相違する点について詳細に説明する。ここでは、表示ラインが 3 2 ラインの表示パネル 2 において、表示ドライバ 1 0 に夫々 8 ライン分のメモリバンク B A N K A , B A N K B を持つパーシャル R A M 7 0 A を搭載した場合を例に挙げて説明する。

【 0 0 9 7 】

パーシャル R A M 7 0 A は 1 フレーム内に複数回メモリ全面を書き込み、読み出しすることができることは図 1 の場合と同様である。パーシャル R A M 7 0 A の第 1 のメモリバ

10

20

30

40

50

ンク B A N K A と第 2 のメモリバンク B A N K B はライトと表示リードを同時発生できないため、B A N K A と B A N K B において、書き込みアクセス期間と読み出しアクセス期間を交互に繰り返しながら書き込み、読み出しを行う。1 ページで使用するパシアル R A M のライン数、即ち各メモリバンク B A N K A , B A N K B のライン数は制御データ T P L I N E で調整することができる。

【 0 0 9 8 】

レジスタ回路 2 0 A はオフセットライン数データ (T S _ O F S) による制御の意義が異なる。即ち、オフセットライン数データ (T S _ O F S) はページ内の先頭の書き込みアドレスへの書き込み開始からのオフセットを表示ライン数で制御するための制御データである。表示リード開始ライン数データ (T S _ P R D) はオフセットライン数データで決定される表示ライン数の位置から前記タッチインターバル期間データで指定される表示ライン数に達した表示ラインからタッチ検出を行って次の表示リードを開始するまでの表示ライン数を制御するための制御データである。その他の制御データの意義は図 1 の場合と変わらない。これに伴って、1 フレームにおいて表示ライン周期カウンタ 3 2 でカウントする L I N E C N T の最大カウント値 L I N E C N T M A X の演算内容が、 $L I N E C N T M A X = T S _ O F S + (T P L I N E + T S _ P R D) \times P A G E M A X$ に変更される。

【 0 0 9 9 】

タイミングコントローラ 3 0 A はオフセットライン数データ (T S _ O F S) 及び表示リード開始ライン数データ (T S _ P R D) の意義の相違により、図 9 及び図 1 0 に例示されるように D I S P _ V S Y N C , D I S P _ P R D の生成タイミングが図 1 とは相違される。即ち、ページ書き込みが開始されると T S _ O F S + T P L I N E で指定されるライン数を経過するタイミングでタッチ検出が開始され、ページ読出しが開始されると T S _ O F S で指定されるライン数を経過するタイミングで表示駆動が開始される。

【 0 1 0 0 】

R A M ライト制御回路 4 0 A はライトバンク選択信号 W R B A N K S E L を生成し、R A M ライトページアドレスの初期値 0 h を基点に B A N K A を選択し、R A M ライトページアドレスの + 1 インクリメント毎にメモリバンクの選択を切替えていく。R A M リード制御回路 5 0 A はリードバンク選択信号 R D B A N K S E L を生成し、R A M リードページアドレスの初期値 0 h を基点に B A N K A を選択し、R A M リードページアドレスの + 1 インクリメント毎にメモリバンクの選択を切替えていく。R A M リード頁の切替えは R A M ライトページの切替えに対して 1 ページ分遅延される。即ち、信号 D I S P _ P R D の最初のイネーブルタイミングは先頭ページに対する R A M ライト期間経過後になる。したがって、書き込みと読出しに割り当てられるメモリバンクはページ毎に第 1 メモリバンク B A N K A と第 2 メモリバンク B A N K B との間で交互に切替えられる。R A M ライト制御回路 4 0 A 及び R A M リード制御回路 5 0 A のその他の構成は図 1 と同様である。

【 0 1 0 1 】

図 9 及び図 1 0 において、ホストプロセッサ 5 から図の T 8 - 1 ~ T 8 - 1 2 の間に連続的に送信される表示データを、順に表示ドライバ 1 0 A 内のパシアル R A M 7 0 A のメモリバンク B A N K A , B A N K B に蓄積する。メモリバンク B A N K A が書き込み状態のとき、メモリバンク B A N K B は読み出し可能な状態となり、メモリバンク B A N K B が書き込み状態のとき、メモリバンク B A N K A は読み出し可能な状態となる。パシアル R A M 7 0 A の R A M ライトアドレスが 0 h から最大の 7 h までインクリメントした後は、R A M ライトアドレスはリセットされ、再び 0 h からインクリメントする。このとき、ライトバンク選択信号 W R B A N K S E L の選択指示を B A N K A から B A N K B 、または B A N K B から B A N K A に切り替え、連続して同じメモリバンクに書き込みアクセスしないように制御される。

【 0 1 0 2 】

図 9 及び図 1 0 において、表示リード停止期間と表示リード期間が順に繰返される。表示リード停止期間は、図の時刻 T 8 - 1 ~ T 8 - 3 、 T 8 - 4 ~ T 8 - 6 、 T 8 - 8 ~ T

10

20

30

40

50

8 - 10で示され、表示リード期間は、図の時刻T 8 - 3 ~ T 8 - 4、T 8 - 6 ~ T 8 - 8、T 8 - 10 ~ T 8 - 11で示され、表示リード停止期間が非表示駆動期間に対応される。パーシャルRAM 70Aの表示リードアドレスが0hから最大値の7hまでインクリメントした後は、表示リードアドレスはリセットされ、再び0hからインクリメントする。このとき、リードバンク選択信号RDBANKSELの選択指示をBANK AからBANK B、またはBANK BからBANK Aに切り替え、連続して同じメモリバンクに読み出しアクセスしないように制御される。

【0103】

ラインラッチ71、ソース駆動回路72、ゲート駆動回路73は図1と同様である。ホストプロセッサ5が表示ドライバ10Aの表示リードタイミングを確認するため信号は図1のTEに対して、パーシャルRAM 70AのBANK Aの表示リードタイミングでトグルするTE__AとBANK Bの表示リードタイミングでトグルするTE__Bに分けた点が相違される。

【0104】

その他の構成については図1の場合と同様であるからそれと同一の参照符号を付してその詳細な説明を省略する。

【0105】

図9のドライバIC 10Aによれば以下の作用効果を得る。

【0106】

(1) 1表示フレームの期間に、表示データを2メモリバンク構成のパーシャルRAM 70Aに書込むと共に書込まれた表示データを書込みよりも速い速度でパーシャルRAM 70Aから読み出してソース駆動回路72に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すことにより、表示駆動期間と前記非表示駆動期間とを交互に生成する。図11の(A)乃至(C)にはこの駆動形態を凝縮して示してある。これにより図1と同様に、1フレーム分のRAMを搭載することを要しないからチップサイズが小さくなる。また、1表示フレームに満たない複数表示ライン分保持するパーシャルRAM 70を搭載する表示駆動期間と非表示駆動期間においてホストプロセッサ5との間で表示データの転送と転送停止との同期制御を行うことを要せず、ホストプロセッサ5の負担を軽減することができる。さらに、1表示フレームの期間に、パーシャルRAM 70Aへの表示データの書込みと書き込まれた表示データを読出してソース駆動回路72に与えるためのメモリアドレッシング操作をラップアラウンドに複数回繰返すから、1表示フレームに満たないパーシャルRAM 70Aを用いる場合でも表示駆動期間と非表示駆動期間とを交互に生成することができる。したがって、チップサイズの小型化とホストプロセッサ5に対する負担軽減との双方を満足させながら、タッチ検出精度を向上させることができる。

【0107】

(2) パーシャルRAM 70Aに複数のメモリバンクBANK A、BANK Bを用意し、双方に対する表示データの書込みと読出しを交互に切替えて行う。これによれば、書込みと読出しのメモリバンクの切り換えによって一つのメモリバンクに対する書き込みと読出しの競合を排除する事が容易である。したがって、一つのメモリバンクに対して書き込みと読出しが競合することはないので、図1の例のような調停回路60を一切必要としない。

【0108】

(3) 複数のメモリバンクBANK A、BANK Bを用いる場合においてオフセットライン数データ(TS__OFS)、表示リード開始ライン数データ(TS__PRD)、及びタッチインターバル期間データ(TPLINE)が可変可能であるから、パーシャルRAM 70Aに対するページ先頭の書込みを基準に非表示駆動期間(タッチ検出期間)と表示駆動期間を可変に設定できる。

【0109】

その他の主な作用効果は図1の場合と同様である

10

20

30

40

50

本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【 0 1 1 0 】

例えば、表示パネルは液晶を用いるものに限定されず、エレクトロルミネッセンスを応用した表示パネルなどの別の表示パネルであってよい。タッチパネルは相互容量検出方式に限定されず表示パネルの駆動ノイズを問題視する構造であれば何でも良い。また、パネルモジュールはインセル形態に限定されず表示パネルにタッチパネルを重ね構造など他の構造であってよい。

【 0 1 1 1 】

ドライバＩＣは図２で説明したように表示ドライバ（ＬＣＤＤＲＶ）、及びタッチパネルコントローラ（ＴＰＣ）から成る構成に限定されず、タッチ座標演算に特化してホストプロセッサの負担軽減に資するサブプロセッサなどのその他の回路モジュールを含んでも良い。また、タッチパネルコントローラを含まず、そのタイミング制御信号を外付けのタッチパネルコントローラに出力可能な構成であってもよい。また、ドライバＩＣを用いる表示装置は携帯型であるか非携帯型であるかを問わない。

10

【 0 1 1 2 】

データＲＡＭはシングルポートに限定されず、擬似マルチポート型であってもよい。

【 0 1 1 3 】

レジスタ回路は必ずしもホストプロセッサによって書き換え可能であることに限定されない。例えば不揮発性レジスタの場合には、テスト端子を介して書き換え可能であってもよい。

20

【 0 1 1 4 】

書込みアドレスカウンタ回路と、読出しアドレスカウンタ回路とはそれぞれページカウンタとアドレスカウンタを別々に持つことに限定されず、一つのカウンタの上位側と下位側で構成できることは言うまでもない。

【 0 1 1 5 】

パーシャルＲＡＭに対する読み出し単位はバスアクセスの並列データ数に限定されず、書込み要求のデータアクセス単位は１表示ライン分の並列データ数に限定されず、適宜変更可能である。

【 0 1 1 6 】

パーシャルＲＡＭのメモリバンクは２バンクに限定せず、それ以上であってもよい。

30

【符号の説明】

【 0 1 1 7 】

１ パネルモジュール

２ 表示パネル

３ タッチパネル

４ ドライバＩＣ

ＧＬ１～ＧＬｍｋ 走査電極

ＳＬ１～ＳＬｊ 信号電極

Ｔｒ 薄膜トランジスタ

Ｃｐｘ 画素コンデンサ

ＴＸ１～ＴＸｍ 駆動電極

ＲＸ１～ＲＸｎ 検出電極

５ ホストプロセッサ

６ ゲートドライバ

１０，１０Ａ 表示ドライバ（ＬＣＤＤＲＶ）

１１ タッチパネルコントローラ（ＴＰＣ）

２０，２０Ａ レジスタ回路

３０，３０Ａ タイミングコントローラ

４０，４０Ａ ＲＡＭライト制御回路

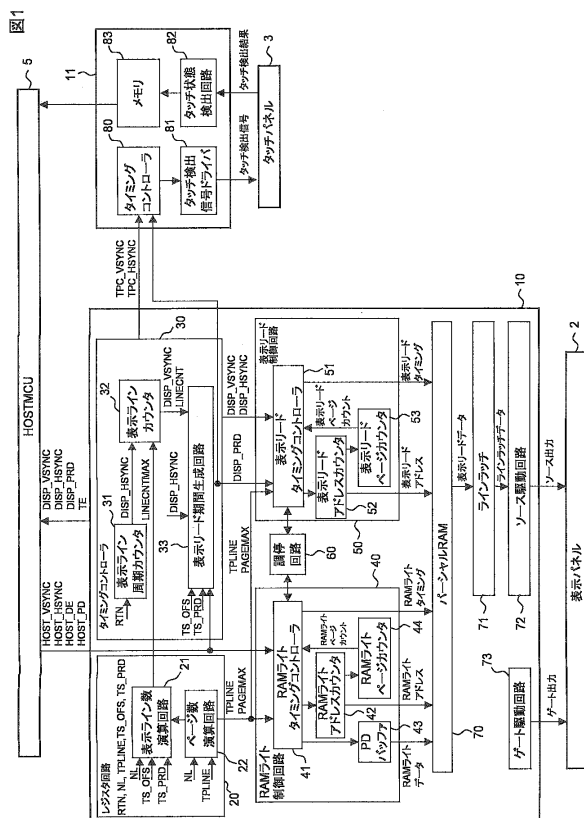
40

50

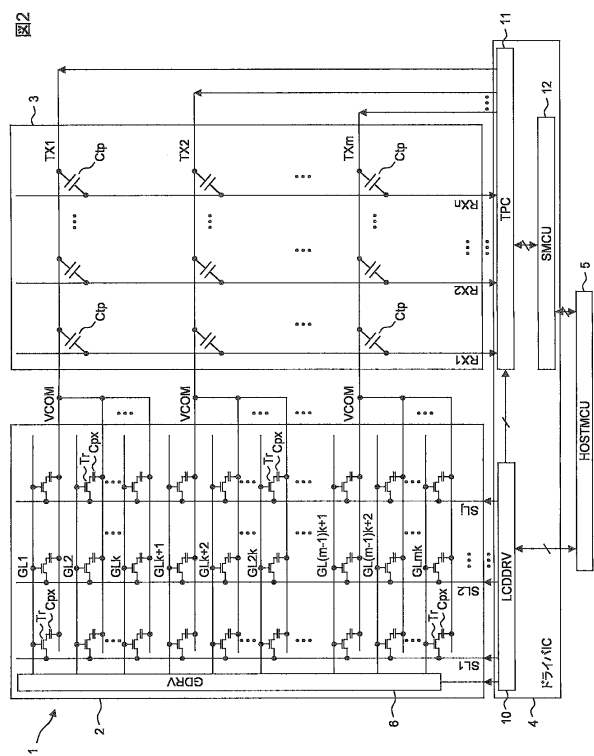
- | | |
|-----|---------------------|
| 4 1 | R A Mライトタイミングコントローラ |
| 4 2 | R A Mライトアドレスカウンタ |
| 4 3 | P Dバッファ |
| 4 4 | R A Mライトページカウンタ |
| 5 0 | , 5 0 A 表示リード制御回路 |
| 5 1 | 表示リードタイミングコントローラ |
| 5 2 | 表示リードアドレスカウンタ |
| 5 3 | 表示リードページカウンタ |
| 6 0 | 調停回路 |
| 7 0 | パースナル R A M 7 0 |
| 7 1 | ラインラッチ |
| 7 2 | ソース駆動回路 |
| 7 3 | ゲート駆動回路 |
| 8 0 | タイミングコントローラ |
| 8 1 | タッチ検出信号ドライバ |
| 8 2 | タッチ状態検出回路 |
| 8 3 | メモリ |

10

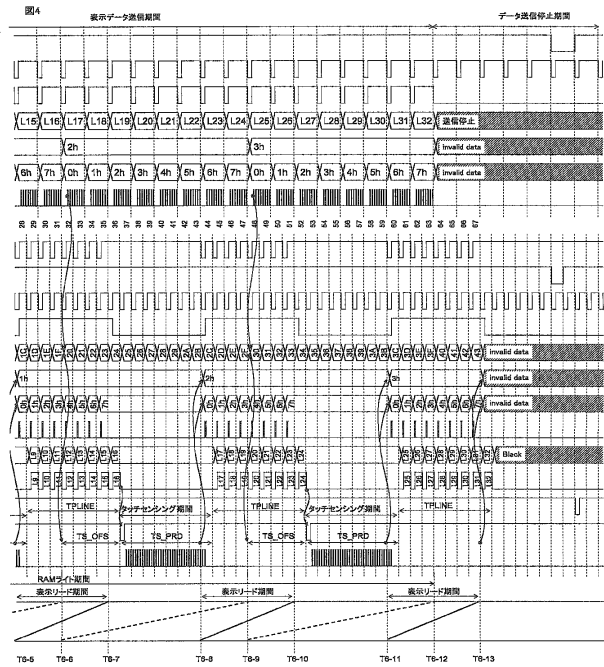
【 図 1 】



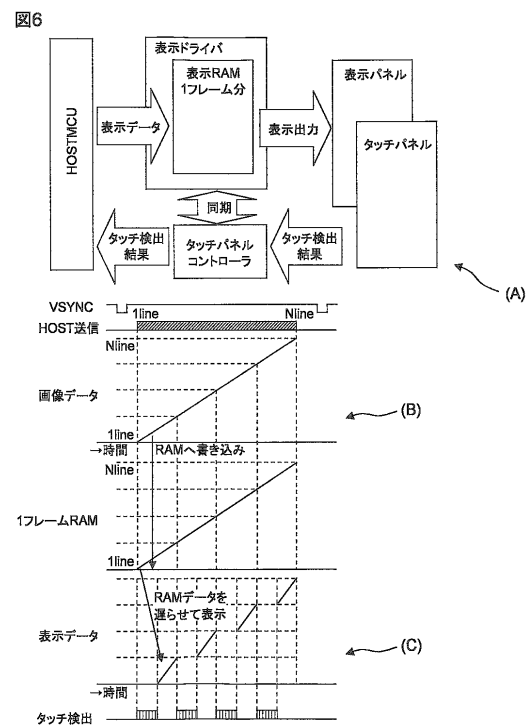
【 図 2 】



【 図 4 】

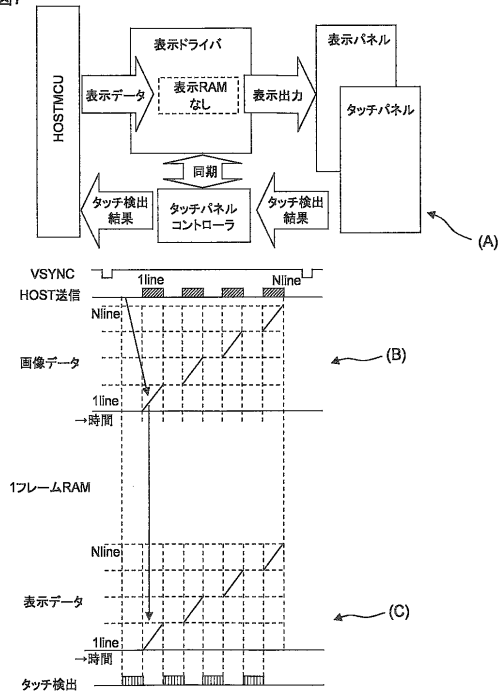


【 図 6 】



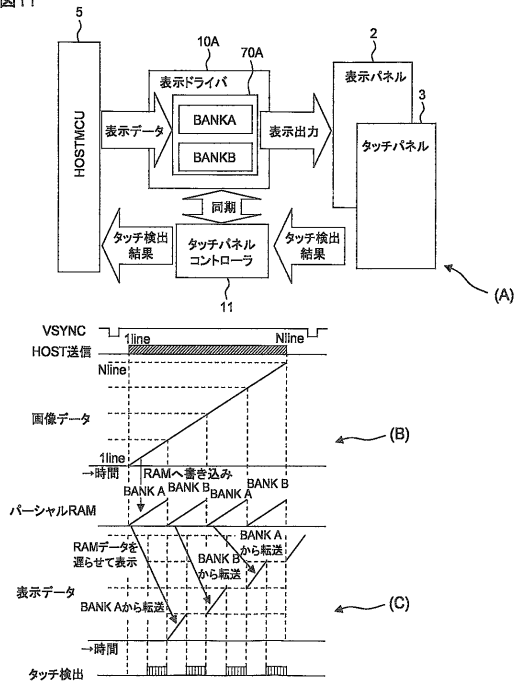
【 図 7 】

图7



【図 11】

図11



 フロントページの続き

(51)Int.Cl.			F I		
G 0 2 F	1/133	(2006.01)	G 0 9 G	3/20	6 5 0 J
			G 0 9 G	3/20	6 9 1 D
			G 0 9 G	3/36	
			G 0 9 G	3/20	6 3 1 R
			G 0 9 F	9/00	3 4 6 A
			G 0 9 F	9/00	3 6 6 A
			G 0 2 F	1/133	5 3 0
			G 0 2 F	1/133	5 5 0

(56)参考文献 特開平 0 9 - 0 7 3 3 6 7 (J P , A)
 特開 2 0 1 2 - 0 5 9 2 6 5 (J P , A)
 特開 2 0 1 3 - 0 7 6 7 9 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 6 F	3 / 0 4 1
G 0 6 F	3 / 0 4 4
G 0 2 F	1 / 1 3 3
G 0 9 F	9 / 0 0
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6