



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I593164 B

(45)公告日：中華民國 106 (2017) 年 07 月 21 日

(21)申請案號：102115830

(22)申請日：中華民國 102 (2013) 年 05 月 03 日

(51)Int. Cl. : **H01Q1/38 (2006.01)**

(30)優先權：2012/05/14 法國 1254368

(71)申請人：湯姆生特許公司 (法國) THOMSON LICENSING (FR)
法國

(72)發明人：羅罕同 多明尼克 LO HINE TONG, DOMINIQUE (FR)；梅納德 菲利普 MINARD, PHILIPPE (FR)；羅伯特 尚盧克 ROBERT, JEAN-LUC (FR)

(74)代理人：陳詩經

(56)參考文獻：

CN	101106214A	US	7872605B2
US	2003/0193427A1	US	2007/0222699A1
US	2009/0174617A1		

審查人員：程敦睿

申請專利範圍項數：11 項 圖式數：13 共 16 頁

(54)名稱

印刷電路多層基片中短路槽孔線之實施方法及其印刷電路

METHOD FOR CREATING A SLOT-LINE ON A MULTILAYER SUBSTRATE AND MULTILAYER PRINTED CIRCUIT COMPRISING AT LEAST ONE SLOT-LINE REALIZED ACCORDING TO SAID METHOD AND USED AS AN ISOLATING SLOT OR ANTENNA

(57)摘要

本發明係關於一種印刷電路多層基片中短路槽孔線之實施方法，此多層基片包括至少第一導電層、介質層和第二導電層，本方法包括如下步驟：在第一導電層中蝕刻槽孔線(2)，具有電長度 L ；在第一導電層中繞槽孔線蝕刻第一帶之第一部份(5a)，具有電長度 $L_1 \leq L$ ；在第一導電層中繞槽孔線蝕刻第一帶之第二部份(5b)，具有電長度 $L_2 \leq L$ ；在第二導電層中蝕刻第二帶(7)，呈環路形式，具有電長度 L_3 ；第二帶之一端(8a)係連接至第一帶之第一部份，而第二帶之另一端(8b)係連接至第一帶之第二部份，以形成導電環路。

本方法特別用於實施絕緣槽孔線和槽孔天線。

The present invention relates to a method for realizing a short-circuited slot-line on a multilayer substrate comprising at least a first conductive layer, a dielectric layer and a second conductive layer, the method comprising the following steps: - etching in the first conductive layer a slot-line (2) having an electrical length L , - etching in the first conductive layer, around the slot-line, a first portion (5a) of a first band having an electrical length $L_1 \leq L$, - etching in the first conductive layer, around the slot-line, a second portion (5b) of said first band, having an electrical length $L_2 \leq L$, - etching in the second conductive layer, a second band (7) in the form of a loop having an electrical length L_3 , - one end (8a) of the second band being connected to the first part of the first band and the other end (8b) of the second band being connected to the second part of the first band so as to form a conductive loop.

The method is used notably to realize isolating slot-lines and slot-antennae.

指定代表圖：

符號簡單說明：

- 1 . . . 基片
- 2 . . . 槽孔線
- 3 . . . 激磁點
- 4 . . . 槽孔
- 5a . . . 第一帶之第一部份
- 5b . . . 第一帶之第二部份
- 6a,6b . . . 第一帶兩端
- 7 . . . 第二導電層
- 8a,8b . . . 第二導電層兩端

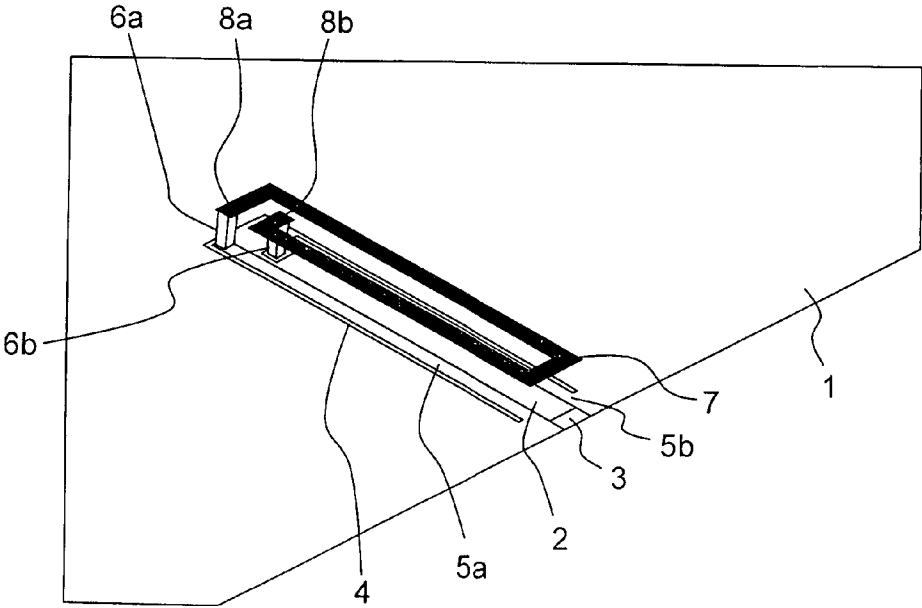


圖 4

公告本

發明摘要

※ 申請案號：102115830

※ 申請日：

102.5.3

※IPC 分類：H01Q 1/38 (2006.01)

【發明名稱】 印刷電路多層基片中短路槽孔線之實施方法及其印刷電路
METHOD FOR CREATING A SLOT-LINE ON A
MULTILAYER SUBSTRATE AND MULTILAYER
PRINTED CIRCUIT COMPRISING AT LEAST ONE
SLOT-LINE REALIZED ACCORDING TO SAID METHOD
AND USED AS AN ISOLATING SLOT OR ANTENNA

【中文】

本發明係關於一種印刷電路多層基片中短路槽孔線之實施方法，此多層基片包括至少第一導電層、介質層和第二導電層，本方法包括如下步驟：

在第一導電層中蝕刻槽孔線(2)，具有電長度 L；

在第一導電層中繞槽孔線蝕刻第一帶之第一部份(5a)，具有電長度 $L1 \leq L$ ；

在第一導電層中繞槽孔線蝕刻第一帶之第二部份(5b)，具有電長度 $L2 \leq L$ ；

在第二導電層中蝕刻第二帶(7)，呈環路形式，具有電長度 $L3$ ；

第二帶之一端(8a)係連接至第一帶之第一部份，而第二帶之另一端(8b)係連接至第一帶之第二部份，以形成導電環路。

本方法特別用於實施絕緣槽孔線和槽孔天線。

【英文】

The present invention relates to a method for realizing a short-circuited slot-line on a multilayer substrate comprising at least a first conductive layer, a dielectric layer and a second conductive layer, the method comprising the following steps:

- etching in the first conductive layer a slot-line (2) having an electrical length L,

- etching in the first conductive layer, around the slot-line, a first portion (5a) of a first band having an electrical length $L1 \leq L$,
- etching in the first conductive layer, around the slot-line, a second portion (5b) of said first band, having an electrical length $L2 \leq L$,
- etching in the second conductive layer, a second band (7) in the form of a loop having an electrical length $L3$,
- one end (8a) of the second band being connected to the first part of the first band and the other end (8b) of the second band being connected to the second part of the first band so as to form a conductive loop.

The method is used notably to realize isolating slot-lines and slot-antennae.

【代表圖】

【本案指定代表圖】：第（ 4 ）圖。

【本代表圖之符號簡單說明】：

1	基片	2	槽孔線
3	激磁點	4	槽孔
5a	第一帶之第一部份	5b	第一帶之第二部份
6a,6b	第一帶兩端	7	第二導電層
8a,8b	第二導電層兩端		

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 印刷電路多層基片中短路槽孔線之實施方法及其印刷電路
METHOD FOR CREATING A SLOT-LINE ON A
MULTILAYER SUBSTRATE AND MULTILAYER
PRINTED CIRCUIT COMPRISING AT LEAST ONE
SLOT-LINE REALIZED ACCORDING TO SAID METHOD
AND USED AS AN ISOLATING SLOT OR ANTENNA

【技術領域】

【0001】 本發明一般係關於無線系統所用印刷電路板。尤指多層基片中槽孔線之實施方法，以及包括按照該方法所實施至少一槽孔線之多層印刷電路，此槽孔線特別可用做絕緣槽孔或槽孔天線。

【先前技術】

【0002】 在無線通訊領域內，MIMO（多輸入輸出）電路使用日增，以增加傳輸通道容量，並改進全系統之操作。使用 MIMO 一般會導致增加同一板上實施之天線數。另方面，為方便電路整合，如今把天線直接到 PCB（印刷電路板）上。然而，應用物理學定律，天線長度和絕緣元件長度視波長而定。因此，當使用短路槽孔來減少二個 PIFA 型天線間之彼此耦合時，槽孔波長（必須實質上等於 $\lambda_g/4$ ，其中 λ_g 是在操作頻率之導波長）對於 2.4 GHz 頻帶的 WiFi 操作，賦予實體長度在 23 mm 左右。此長度對大量生產所用印刷電路板之成本和尺寸拘限，不可忽視。總之，印刷板最通常是由具有多層結構之基片所形成。

【發明內容】

【0003】 所以，本發明擬議使用印刷電路板之多層結構，以實現短路槽孔線，可用做絕緣線或槽孔天線，同時限制印刷電路板之尺寸。

【0004】 因此，本發明係關於印刷電路多層基片中短路槽孔線之實現方法，印刷電路多層基片包括至少第一導電層、介質層和第二導電層，本方法包括如下步驟：

在第一導電層中蝕刻槽孔線，具有電長度 L ；

在第一導電層中沿槽孔線第一側，蝕刻第一導電帶之第一部份，具有電長度 $L1 \leq L$ ；

在第一導電層中沿槽孔線第二側，蝕刻第一導電帶之第二部份，具有電長度 $L_2 \leq L$ ；

在第二導電層中蝕刻第二導電帶，呈環路形式，具有電長度 L_3 ；

第二導電帶之一端係連接至第一導電帶之第一部份，而第二導電帶之另一端係連接至第一導電帶之第二部份，以形成導電環路。

【0005】 按照本發明另一特徵，第一導電帶的第一和第二部份之電長度 L_1 和 L_2 一致。

【0006】 按照本發明另一特徵，電長度 L_3 實質上等於電長度 L_1 加 L_2 之和。

【0007】 按照特別具體例，槽孔線是電長度 $L < 90^\circ$ 之線，更好是槽孔線之電長度 $L = 45^\circ$ 。

【0008】 按照另一具體例，第一導電帶的第一和第二部份之電長度 L_1 和 L_2 ，等於 45° 。

【0009】 第一和第二導電帶之總共電長度等於 180° 。

【0010】 本發明又關於一種多層印刷電路，其特徵為，包括按上述實現之至少一槽孔線。

【0011】 按照一具體例，槽孔線為絕緣槽孔。

【0012】 按照另一具體例，槽孔線為槽孔天線。在此情況下，為改進槽孔天線之操作，決定第一帶第一和第二部份之槽孔，利用開路槽孔延長。

【0013】 本發明又涉及加設上述至少一印刷電路之終端機。

【圖式簡單說明】

【0014】

第 1A 和 1B 圖分別表示按照本發明實現方法實施絕緣槽孔之第一步驟，以及以該槽孔頻率為函數在輸入處賦有歸返的反射相位之曲線；

第 2A 圖表示按照本發明方法實施絕緣槽孔之第二步驟，而第 2B 圖表示以第 2A 圖的絕緣槽孔頻率為函數在輸入處賦有歸返的反射相位之曲線；

第 3A 和 3B 圖分別表示絕緣槽孔和第一導電帶之俯視圖，以及按照本發明方法實施的絕緣槽孔之俯視圖；

第 4 圖表示按照本發明方法實施的絕緣槽孔之透視圖；

第 5 圖是模擬諸如第 4 圖所示絕緣槽孔，以頻率為函數在輸入處賦有

歸返的反射相位之曲線；

第 6 圖為以先前技術絕緣槽孔為特點的印刷電路板之示意俯視平面圖；

第 7 圖為按照本發明方法所實施絕緣槽孔的印刷電路板和放大天線部份之示意俯視平面圖；

第 8A 和 8B 圖分別表示模擬按照第 6 圖先前技術絕緣槽孔或按照第 7 圖本發明絕緣槽孔所得絕緣和適配曲線；

第 9 圖為在第 6 圖絕緣槽孔和第 7 圖絕緣槽孔情況的二種天線間之絕緣曲線；

第 10 圖為按照本發明方法實施的槽孔天線之示意透視圖；

第 11、12 和 13 圖分別為第 10 圖所示天線以頻率、適配、產率和增益（以 dB 計）之曲線。

【實施方式】

【0015】 本發明其他特徵和優點，閱讀參照附圖所示不同具體例之說明即可明瞭。

【0016】 先參見第 1 至 5 圖，說明按照本發明方法，在多層印刷電路上實現絕緣槽孔。

【0017】 在此情況下，印刷電路之實施，是使用稱為 FR4 之基片，厚度為 1 mm。

【0018】 如第 1A 圖所示，在基片 1 邊緣，蝕刻短路槽孔線 2，包括激磁點 3。

【0019】 按照本發明，槽孔線 2 的電長度低於 90° ，最好是電長度選擇等於 45° 。在此特殊具體例中，槽孔線長度可藉槽孔反摺，一分為二，詳後。然而，亦可選擇其他電長度，視所要達成結果，或實施板之拘限而定。

【0020】 諸如第 1A 圖所示之槽孔線，係使用 HFSS 3D EM 模擬器加以模擬。為模擬起見，如上所述，基片為 FR4 基片，而槽孔線 2 寬度 1 mm，長度 10 mm。

【0021】 以上述參數，可得一曲線，以頻率為函數，在輸入 3 賦予所歸返之反射相位（以度計），如第 1B 圖所示。可見在此情況下，對於電長度在 45° 左右之槽孔，在頻率 2.45 GHz 所得相位接近 90° ，以 m1 點代表。

【0022】 在第二步驟，詳見第 2A 圖，為在槽孔線周圍實施第一導電

帶之第一和第二部份，在槽孔線 2 周圍蝕刻槽孔 4，圍繞槽孔線 2。在模擬具體例中，此槽孔 4 寬度 0.15 mm，位於距離槽孔線 2 邊緣 0.5 mm。在基片 1 之導電層或上地面蝕刻。在此情況下，如第 2B 圖所示，曲線上 m1 點之相位值，類似第 1B 圖所示，意指槽孔線 2 周圍蝕刻之槽孔 4，不會改變主槽孔之行為。

【0023】 在次一步驟，短路部份 2a 開啟，如第 2A 圖所示，實施二導電部份 5a 和 5b，分別形成具有電長度 L1 的第一導電帶之第一部份，和具有電長度 L2 的第一導電帶之第二部份，如第 3A 圖所示。

【0024】 接續步驟如第 3B 圖所示，在與印刷電路導電層 1 對立之第二導電層，實施第二導電帶 7，呈環路形式。導電層 7 兩端 8a 和 8b 係利用金屬化洞孔連接，或類似第一導電層所實施第一帶的第一和第二部份 5a,5b 之兩端 6a,6b。

【0025】 按照上述所述方法實施的絕緣槽孔線之完全透視圖，如第 4 圖所示，其中同樣參照號碼代表與參照第 3A 和 3B 圖所述元件之相同元件。

【0026】 第 4 圖所示絕緣槽孔，可得在輸入埠口 3 之歸返相位，接近 0° ，一如短路四分之一波線的情況，其電長度大致二分。對第 4 圖所示之絕緣槽孔線而言，結果如第 5 圖適配曲線 S11 所示。在此情況下，WiFi 帶的中心頻率在 2.4 GHz 時，m1 點表示模擬所得歸返相位接近 0° 。可解釋成事實上，在諸部份 5a,7,5b 形成的環路內，槽孔線周圍之表面電流，在回到輸入埠口之前，進行二個 s 電路，沿實質上等於 180° 之電長度行進。

【0027】 在此具體例中，實現電長度等於 45° 之槽孔線。另方面，第一帶的第一部份 5a 和第二部份 5b 之電長度 L1 和 L2，實際上一致，等於 45° ，而第二帶 7 之電長度 L3 實質上等於電長度 L1+L2 之和。然而亦可考慮 90° 以下之其他電長度。

【0028】 如第 6 至 9 圖所示，比較為 MIMO 電路實現並且分別利用標準絕緣槽孔線或按照本發明方法實施的絕緣槽孔線，加以絕緣的二天線 (ANT1,ANT2) 之絕緣所得結果。

【0029】 在第 6 圖中，二天線 ANT1 和 ANT2 是利用在單層基片的上層，於二天線間所蝕刻的短路槽孔線 10 加以絕緣。在此情況，槽孔線 10 長度等於 $\lambda/4$ ，其中 λ 為操作頻率之波長。

【0030】 在第 7 圖內表示按照本發明方法實現之絕緣槽孔線 20，如第 7 圖放大部份所示。此槽孔 20 與第 6 圖所示槽孔線 10 相較，尺寸減小。

【0031】 第 8A,8B 和 9 圖上曲線可使第 7 圖內的天線性能，與第 6 圖內電能進行比較。第 8A 圖表示適配曲線 S11 和 S22，以及第 6 圖所示電路之傳輸曲線 S21，而第 8B 圖賦予第 7 圖所示電路之響應 S11,S22,S21。此等曲線表示天線之響應 S11 和 S22 是同一位準，無論所用何種絕緣槽孔線，對於二種槽孔線而言，所得絕緣位準在 17 dB 左右。另方面，第 9 圖所示曲線賦予傳輸響應 S21，分別以第 6 圖電路和第 7 圖電路之頻率為函數，確認二種槽孔線之絕緣位準相似。

【0032】 茲參照第 10 至 13 圖說明使用本發明方法，實施槽孔天線。

【0033】 第 10 圖所示為按照上述本發明方法所得槽孔天線之透視圖。槽孔天線實施在形成印刷電路板一組件之多層基片上，在基片 100 的第一導電層上實施槽孔線 101，利用一部份 101a 延伸，以獲得天線利用電磁耦合饋電。在此情況下，如第 10 圖所示，在基片對立側實施微導波線 102，經金屬化洞孔 102a 與導電層互相連接。組件 102 和 101a 長度按已知方式決定，以獲得槽孔天線 101 之饋電。

【0034】 如第 10 圖所示，按照本發明方法，在槽孔線 101 各側實現第一導電帶之二部位 103a 和 103b，係繞槽孔線 101 蝕刻寬度狹窄的槽孔 104，並在饋電線 102 對立的槽孔線 101 末端，消除槽孔 104 和槽孔線 101 間之短路。另方面，在導電層對立層 100，實施第二導電帶 106，形成環路，如第 10 圖所示。結果，導電帶 106 兩端分別利用導電貫穿孔 108a,108b，連接至導電帶 103a,103b 之末端，以形成導電環路，總電長度 L' 。另方面，為改進第 10 圖所示天線之操作，在第一層 100，於槽孔 104 末端和該層 100 邊緣之間，實施開路槽孔 105。此槽孔 105 有利於槽孔天線操作帶之加寬，並提高其輻射效率。

【0035】 如第 6 圖所示，模擬天線以便在 DECT 帶(即包括 1880-1930 MHz 間之頻帶)內操作。為了模擬，使用尺寸 $230 \times 306 \text{ mm}^2$ 之板，在稱為 FR4 具有厚度 1.2 mm 之介質材料內實施。天線位於板之一邊緣。為了模擬，槽孔實體長度選擇在 21 mm 左右。

【0036】 所得結果列於第 11 至 13 圖，其中第 11 圖表示以 dB 計之

適配響應 S11，以頻率為函數，顯示在 DECT 帶內損失少於-12 dB。

【0037】 第 12 圖表示以頻率為函數之天線產率，顯示在 DECT 帶之產率大於 80%。

【0038】 第 13 圖表示以頻率為函數之峰值增益，以 dB 計，顯示在 DECT 帶之增益大於 6 dBi。

【0039】 如此結構與槽孔天線相較，可使地面所佔空間減少二倍。槽孔摺疊結果，釋出的空間可開拓供定置電子組件。其精巧性得以更容易置於電子板內，又能關注機械性和實施之拘限物，此外又能提供 MIMO 系統所需輻射形態。

【0040】 技術專家均知，上述具體例僅供舉例說明。

【符號說明】

【0041】			
1	基片	2	槽孔線
2a	短路部份	3	激磁點
4	槽孔	5a	第一帶之第一部份
5b	第一帶之第二部份	6a,6b	第一帶兩端
7	第二導電層	8a,8b	第二導電層兩端
10	短路槽孔線	20	絕緣槽孔
100	基片	101	槽孔線
101a	槽孔線一部份	102	饋電線
102a	金屬化洞孔	103a,103b	導電帶
104	槽孔	105	開路槽孔
106	導電帶	108a,108b	導電貫穿孔
ANT1,ANT2 天線			

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無。

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無。

【序列表】(請換頁單獨記載)

無。

申請專利範圍

1.一種印刷電路多層基片中短路槽孔線之實施方法，該多層基片包括至少第一導電層、介質層和第二導電層，該方法包括如下步驟：

在第一導電層中蝕刻槽孔線(2,101)，具有電長度 L ；

在第一導電層中沿槽孔線之一側，蝕刻第一導電帶之第一部份(5a,103a)，具有電長度 $L1 \leq L$ ；

在第一導電層中沿槽孔線之另一側，蝕刻第一導電帶之第二部份(5b,103b)，具有電長度 $L2 \leq L$ ；

在第二導電層中蝕刻第二導電帶(7,106)，呈環路形式，具有電長度 $L3$ ；

第二導電帶之一端(8a,108a)係連接至第一導電帶之第一部份，而第二導電帶之另一端(8b,108b)係連接至第一導電帶之第二部份，以形成導電環路者。

2.如申請專利範圍第 1 項之方法，其中槽孔線為電長度 $L < 90^\circ$ 之線者。

3.如申請專利範圍第 2 項之方法，其中槽孔線之電長度 $L = 45^\circ$ 者。

4.如前述申請專利範圍任一項之方法，其中第一導電帶的第一和第二部份之電長度 $L1$ 和 $L2$ 一致者。

5.如申請專利範圍第 4 項之方法，其中第一導電帶的第一和第二部份之電長度等於 45° 者。

6.如申請專利範圍第 1 項之方法，其中第二導電帶之電長度 $L3$ 實質上等於第一導電帶第一和第二部份的電長度 $L1$ 和 $L2$ 合計者。

7.如申請專利範圍第 1 項之方法，其中電長度 $L3 + L1 + L2$ 合計實質上等於 180° 者。

8.一種多層印刷電路，其特徵為，包括按照申請專利範圍第 1 項實施之至少一槽孔線者。

9.如申請專利範圍第 8 項之印刷電路，其中槽孔線為絕緣槽孔(20)者。

10.如申請專利範圍第 8 項之印刷電路，其中槽孔線形成槽孔天線(101)，槽孔線在利用終端為開路的槽孔線(105)饋電側之對立側延伸者。

11.一種終端器，加設如申請專利範圍第 8 至 10 項任一項之多層印刷電路者。

圖式

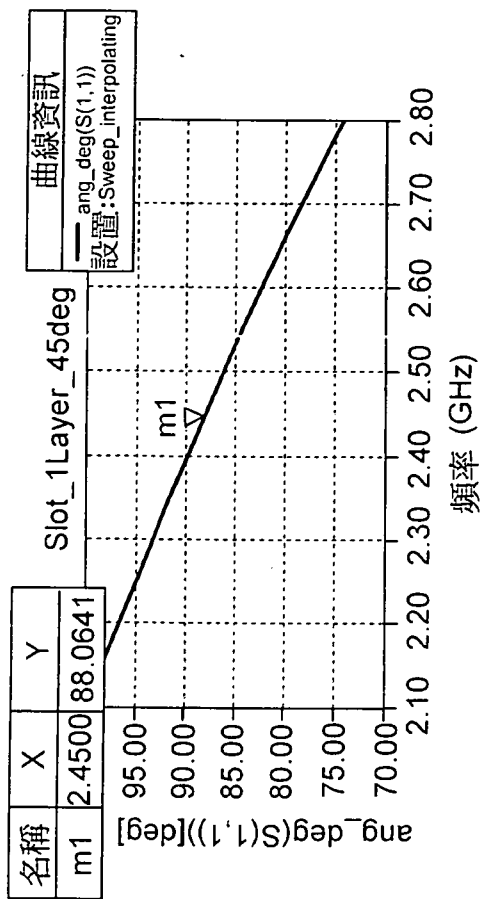


圖 1B

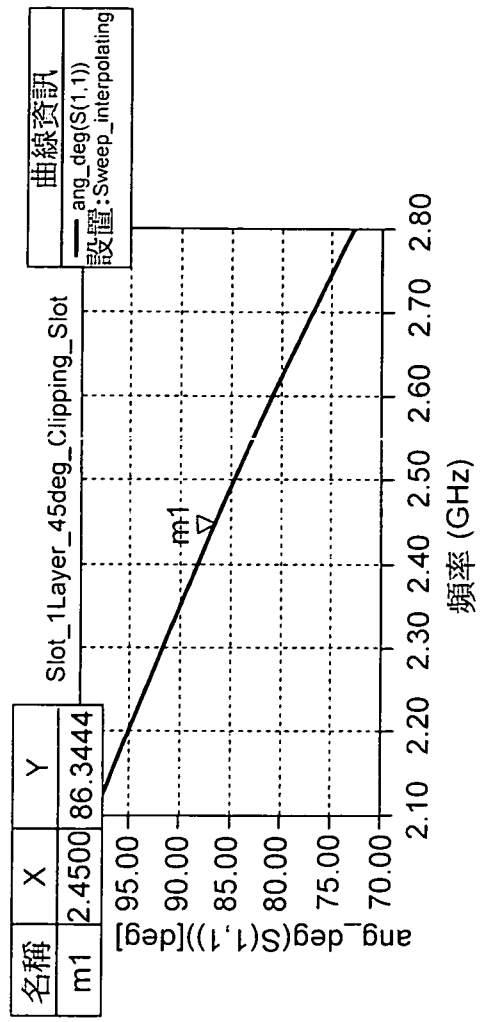


圖 2B

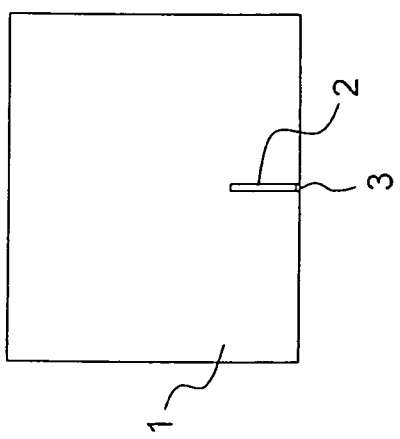


圖 1A

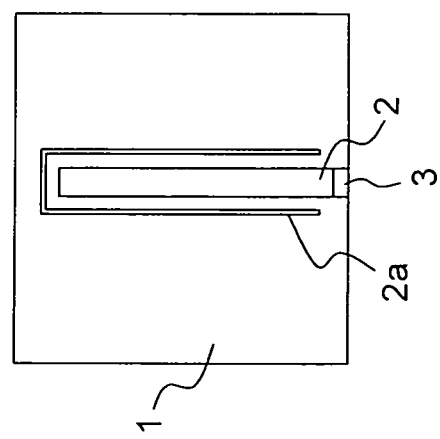


圖 2A

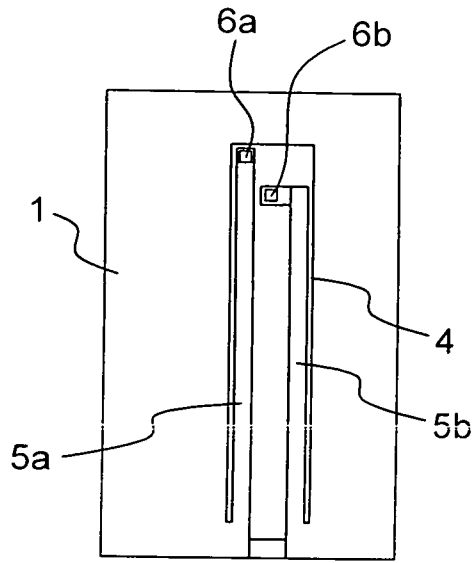


圖 3A

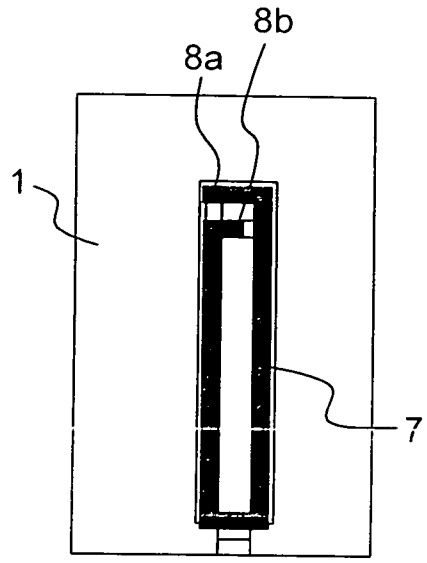


圖 3B

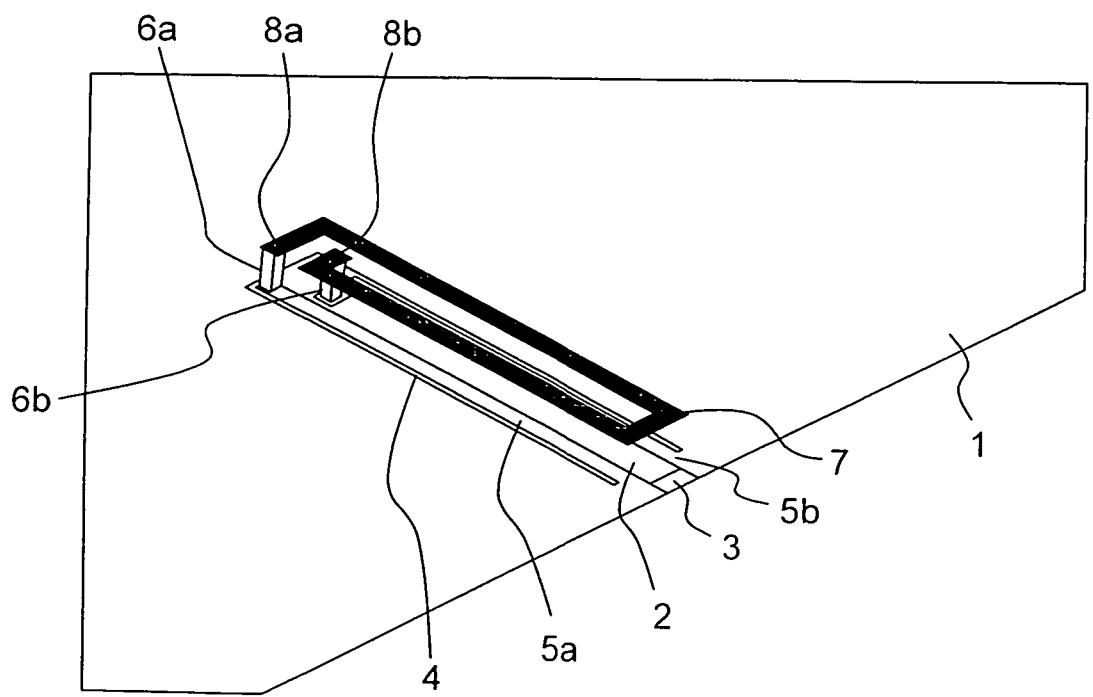


圖 4

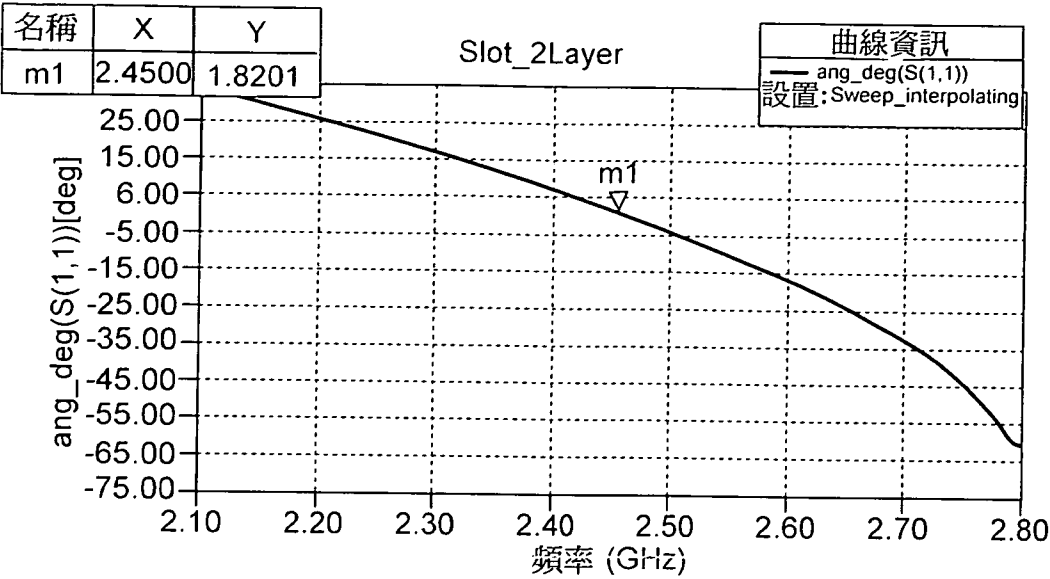


圖 5

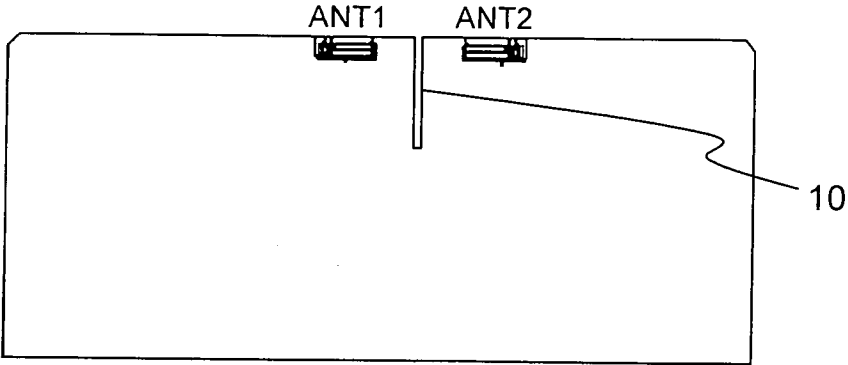


圖 6

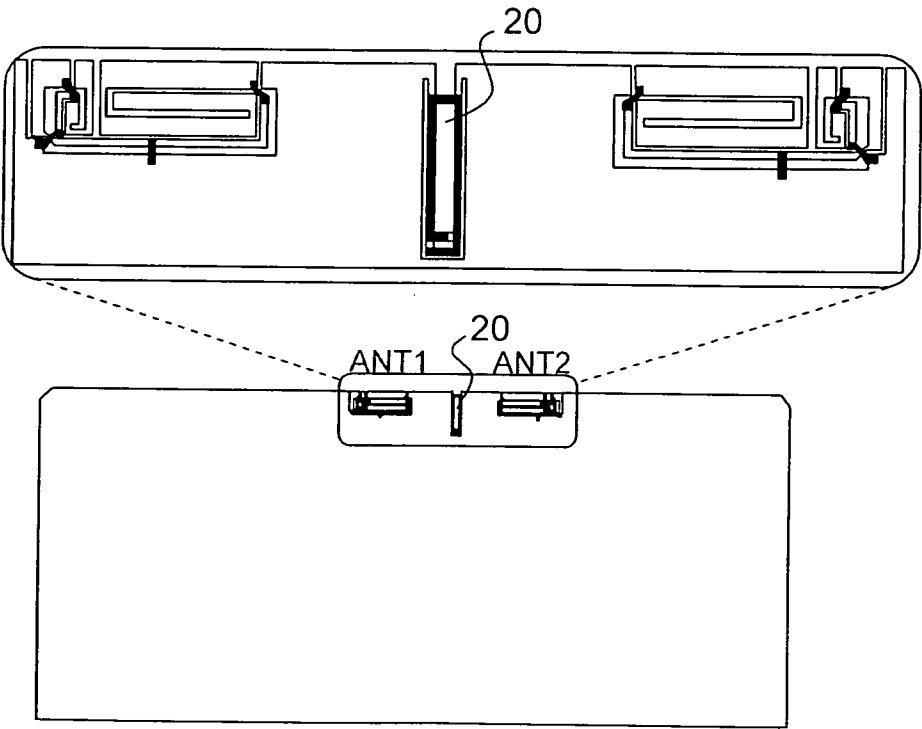


圖 7

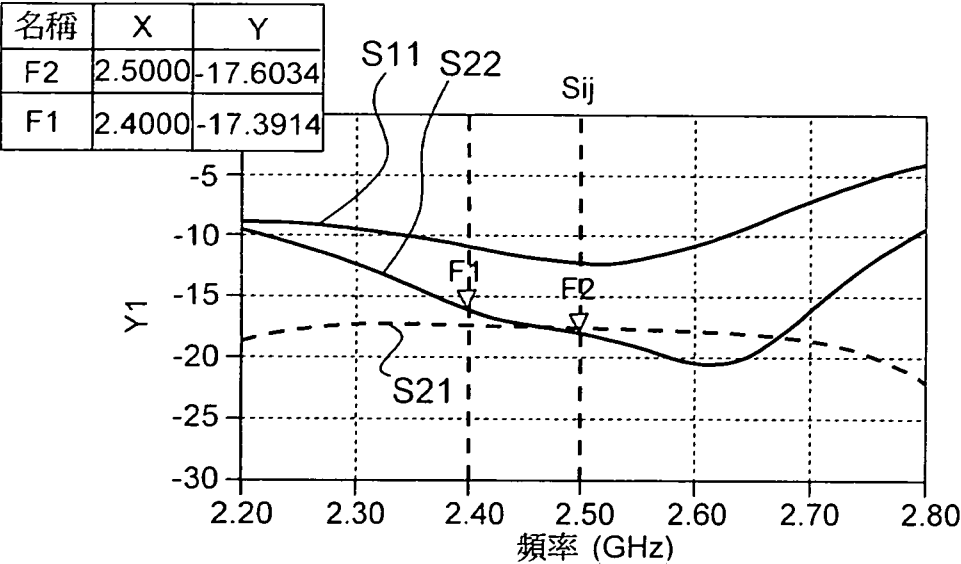


圖 8A

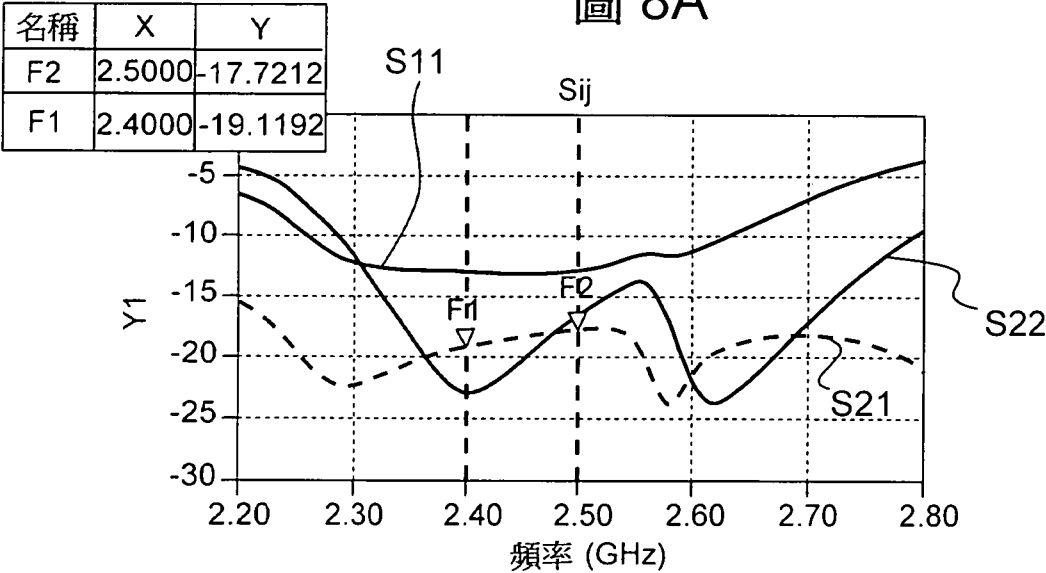


圖 8B

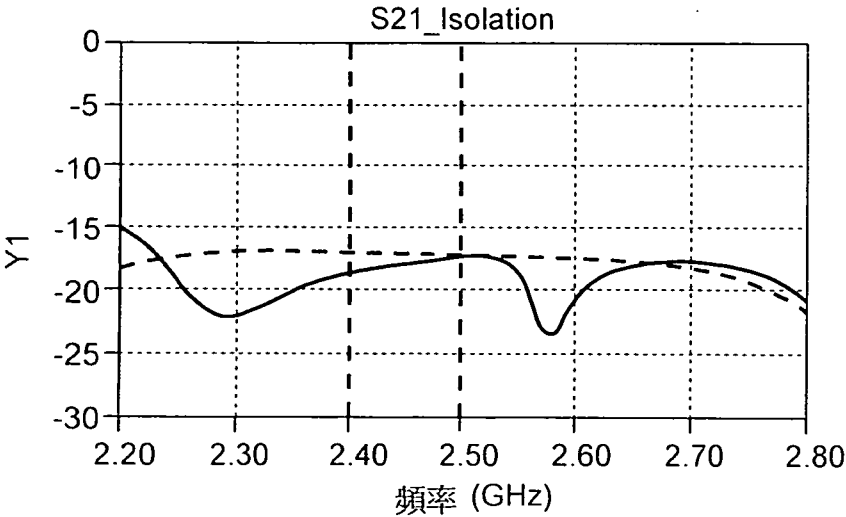


圖 9

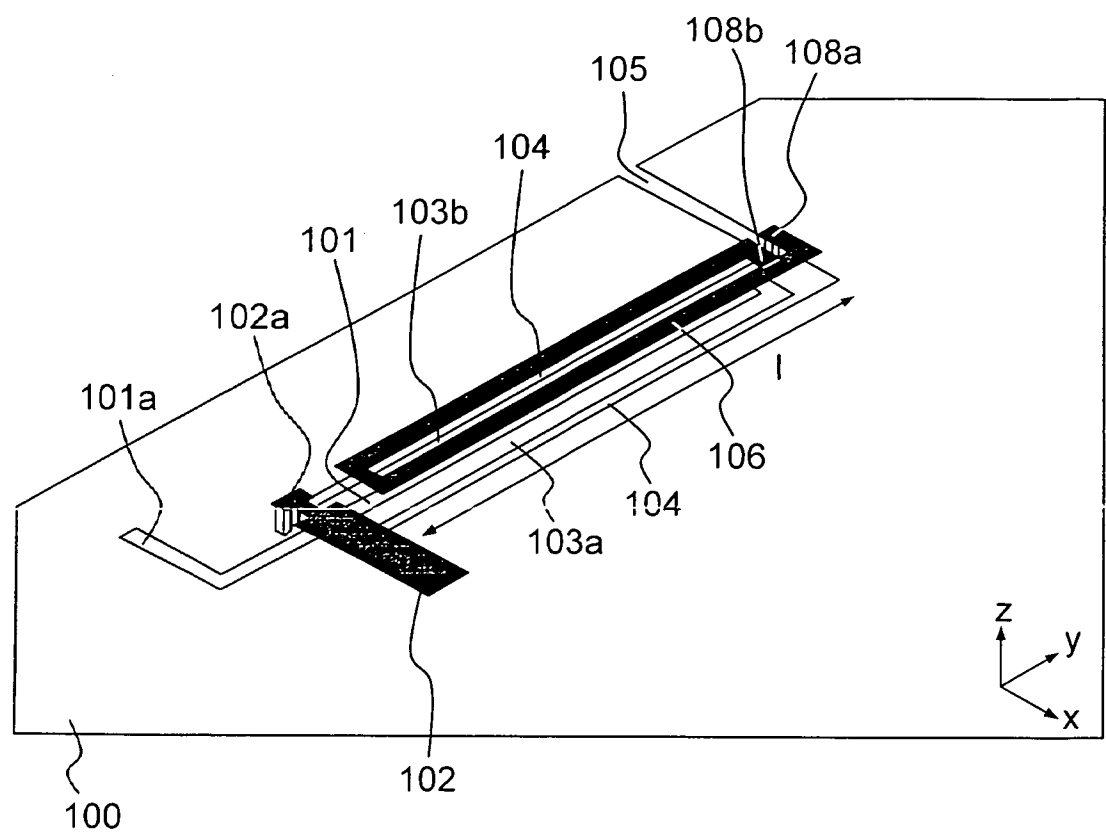


圖 10

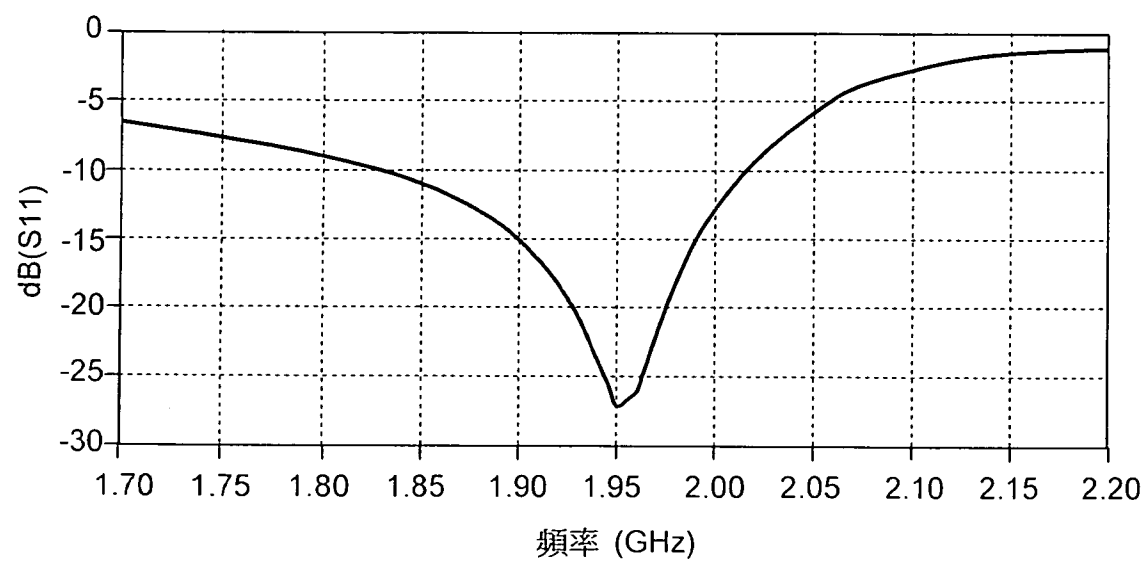


圖 11

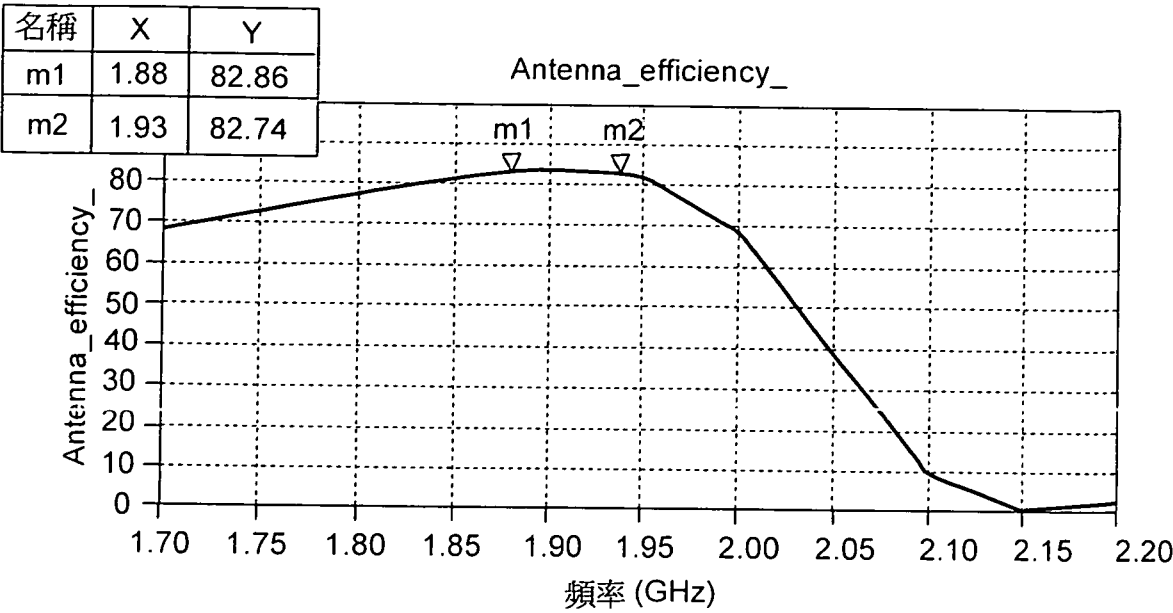


圖 12

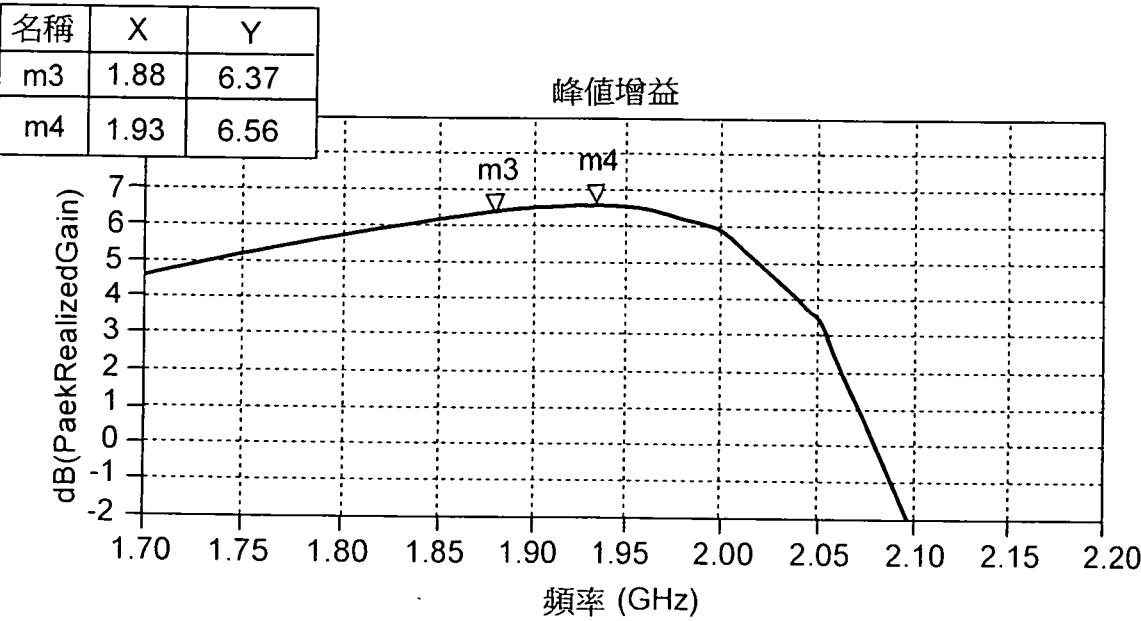


圖 13