

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5366420号
(P5366420)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl.

F I

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 622B

G09G 3/20 670J

G09G 3/20 622E

G09G 3/20 612E

G09G 3/36

請求項の数 4 (全 40 頁)

(21) 出願番号 特願2008-83125 (P2008-83125)
 (22) 出願日 平成20年3月27日(2008.3.27)
 (65) 公開番号 特開2009-75542 (P2009-75542A)
 (43) 公開日 平成21年4月9日(2009.4.9)
 審査請求日 平成23年2月24日(2011.2.24)
 (31) 優先権主張番号 特願2007-98950 (P2007-98950)
 (32) 優先日 平成19年4月5日(2007.4.5)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2007-226132 (P2007-226132)
 (32) 優先日 平成19年8月31日(2007.8.31)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 梅崎 敦司
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 田邊 英治

最終頁に続く

(54) 【発明の名称】 表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1の回路と、第2の回路と、第3の回路と、を有し、

前記第1の回路は、第1の薄膜トランジスタと、第2の薄膜トランジスタと、スイッチング素子と、を有し、

前記第1の回路は、配線に信号を出力することができる機能を有し、

前記第2の回路は、前記第3の回路を制御することができる機能を有し、

前記第3の回路は、前記スイッチング素子の第1の端子に第1の電位又は第2の電位を供給することができる機能を有し、

前記第3の回路は、前記第2の薄膜トランジスタのソース又はドレインの一方に前記第1の電位又は前記第2の電位を供給することができる機能を有し、

前記第1の薄膜トランジスタのソース又はドレインの一方は、前記配線と電氣的に接続され、

前記第1の薄膜トランジスタのソース又はドレインの他方は、前記第1の電位が供給されることができる機能を有し、

前記スイッチング素子の第2の端子は、前記第1の薄膜トランジスタのゲートと電氣的に接続され、

前記第2の薄膜トランジスタのソース又はドレインの他方は、前記第1の薄膜トランジスタのゲートと電氣的に接続され、

前記第2の電位は、前記第1の電位よりも低い値を有し、

10

20

前記第 1 の薄膜トランジスタのゲート絶縁膜は、酸化珪素よりも誘電率の高い膜を有することを特徴とする表示装置。

【請求項 2】

第 1 の回路と、第 2 の回路と、第 3 の回路と、を有し、

前記第 1 の回路は、第 1 の薄膜トランジスタと、第 2 の薄膜トランジスタと、第 3 の薄膜トランジスタと、を有し、

前記第 1 の回路は、配線に信号を出力することができる機能を有し、

前記第 2 の回路は、前記第 3 の回路を制御することができる機能を有し、

前記第 3 の回路は、前記第 2 の薄膜トランジスタのソース又はドレインの一方に第 1 の電位又は第 2 の電位を供給することができる機能を有し、

前記第 3 の回路は、前記第 3 の薄膜トランジスタのソース又はドレインの一方に前記第 1 の電位又は前記第 2 の電位を供給することができる機能を有し、

前記第 1 の薄膜トランジスタのソース又はドレインの一方は、前記配線と電氣的に接続され、

前記第 1 の薄膜トランジスタのソース又はドレインの他方は、前記第 1 の電位が供給されることができる機能を有し、

前記第 2 の薄膜トランジスタのソース又はドレインの他方は、前記第 1 の薄膜トランジスタのゲートと電氣的に接続され、

前記第 2 の薄膜トランジスタのゲートは、前記第 1 の電位が供給されることができる機能を有し、

前記第 3 の薄膜トランジスタのソース又はドレインの他方は、前記第 1 の薄膜トランジスタのゲートと電氣的に接続され、

前記第 2 の電位は、前記第 1 の電位よりも低い値を有し、

前記第 1 の薄膜トランジスタのゲート絶縁膜は、酸化珪素よりも誘電率の高い膜を有することを特徴とする表示装置。

【請求項 3】

請求項 1 又は請求項 2 において、

第 4 の薄膜トランジスタを有し、

前記第 3 の回路は、前記第 4 の薄膜トランジスタのソース又はドレインの一方に前記第 2 の電位又は第 3 の電位を供給することができる機能を有し、

前記第 4 の薄膜トランジスタのソース又はドレインの他方は、前記第 1 の薄膜トランジスタのゲートと電氣的に接続され、

前記第 1 の電位は、前記第 3 の電位よりも低い値を有し、

前記第 2 の電位は、前記第 3 の電位よりも低い値を有することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項に記載の表示装置と、

筐体、操作スイッチ又はバッテリーと、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタを用いた表示装置に関する。

【背景技術】

【0002】

安価なガラス基板を用いて形成される表示装置は、解像度が高くなるにつれて、実装に用いられる画素部周辺の領域（額縁領域）の基板に占める割合が増大し、小型化が妨げられる傾向がある。そのため、単結晶の半導体基板を用いて形成された駆動回路をガラス基板に実装する方式には限界があると考えられており、駆動回路を画素部と同じガラス基板上に一体形成する技術、所謂システムオンパネル化が重要視されている。システムオンパネルの実現により、駆動回路と画素部とを接続するためのピン数を削減し、半導体基板の駆動回路をガラス基板に実装する際に問題となっていた、駆動回路と画素部の接続不良に起

10

20

30

40

50

因する歩留まりの低下、ピンを用いた接続箇所における機械的強度の低さなどを、回避することが可能となる。さらに表示装置の小型化のみならず、組立工程や検査工程の削減によるコストダウンも、システムオンパネルの実現により可能になる。

【0003】

上記表示装置が有する駆動回路の代表的なものとして、走査線駆動回路と信号線駆動回路とがある。走査線駆動回路により、複数の画素が1ラインごと、場合によっては複数ラインごとに選択される。そして信号線駆動回路により、該選択されたラインが有する画素へのビデオ信号の入力が制御される。

【0004】

信号線駆動回路と走査線駆動回路のうち、走査線駆動回路は信号線駆動回路に比べると駆動周波数を低く抑えることができるため、比較的ガラス基板上に形成しやすいと言える。下記の非特許文献1には、アモルファスの半導体を用いたトランジスタで、走査線駆動回路と画素部とをガラス基板上に形成する技術について記載されている。

【非特許文献1】Yong Soon Lee、外7名、SID 06 DIGEST、16.2 (p. 1083 - p. 1086) (2006)

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、アモルファス半導体または多結晶半導体を用いた薄膜トランジスタ(TFT)は、電流の供給能力が単結晶のトランジスタに比べて低い。そのため、駆動回路に用いられるTFTのオン電流を高くするために、酸化珪素よりも誘電率の高い窒化珪素膜、窒化酸化珪素膜などの絶縁膜を、該TFTのゲート絶縁膜として採用することがある。

【0006】

しかし、窒素を含むゲート絶縁膜を用いた薄膜トランジスタは、ゲートに印加される電圧の絶対値が大きいほど、またオンの状態の時間(駆動時間)が長いほど、その閾値電圧が大きくシフトしやすい。これはゲートに電圧が印加されると、ゲート絶縁膜に電荷がトラップされるためである。特にアモルファス半導体を用いた薄膜トランジスタの場合、窒素を含む絶縁膜をゲート絶縁膜に用いる場合が多いため、電荷のトラップによる閾値電圧のシフトは大きな問題である。

【0007】

図18(A)に、走査線駆動回路に用いられる、走査線への電圧の入力を制御するための出力回路の一般的な構成を示す。図18(A)に示す出力回路は、直列に接続されたn型のトランジスタ3001及びn型のトランジスタ3002を有する。そしてトランジスタ3001のソースまたはドレインのいずれか一方にはクロック信号GCLKの電圧が与えられ、トランジスタ3002のソースには電源電圧VSSが与えられる。トランジスタ3001のゲートには電圧Vin1が、またトランジスタ3002のゲートには電圧Vin2が与えられる。また、トランジスタ3001のソースとドレインの他方と、トランジスタ3002のドレインとが接続されているノードの電圧Voutは、走査線に与えられる。

【0008】

図18(A)に示した出力回路において、入力される電圧及び出力される電圧のタイミングチャートを、図18(B)に示す。図18(B)に示すように、クロック信号GCLKが有するハイレベルのパルスの一つが出現する期間と、その前後においてのみ、電圧Vin1はハイレベルとなる。Vin1がハイレベルになるとトランジスタ3001はオンになり、それ以外のVin1がローレベルのときトランジスタ3001はオフになる。

【0009】

一方、クロック信号GCLKが有するハイレベルのパルスの一つが出現する期間と、その前後においてのみ、電圧Vin2はローレベルとなる。Vin2がローレベルになるとトランジスタ3002はオフになり、それ以外のVin2がハイレベルのときトランジスタ3002はオンになる。トランジスタ3001がオン、トランジスタ3002がオフの期

10

20

30

40

50

間において、クロック信号 G C L K が有するハイレベルのパルスがサンプリングされ、電圧 V o u t として出力される。そしてサンプリングされたパルスにより、走査線の選択が行われる。

【 0 0 1 0 】

上記構成を有する出力回路では、走査線が選択されていない期間においてトランジスタ 3 0 0 2 はオンの状態を維持している。しかるに走査線が選択されていない期間は、走査線が選択されている期間に比べて圧倒的に長い。そのため、トランジスタ 3 0 0 2 は、トランジスタ 3 0 0 1 に比べて駆動時間が長く、ゲート絶縁膜における電荷のトラップによりその閾値電圧がシフトしやすい。そして、閾値電圧が大きくシフトするとトランジスタ 3 0 0 2 は正常に動作しなくなるため、ゲート絶縁膜における電荷のトラップは走査線駆動回路の寿命を縮める一因となっている。

10

【 0 0 1 1 】

本発明は上記問題に鑑み、T F T の閾値電圧がシフトしても、駆動回路の高い信頼性を確保することができる表示装置の提供を課題とする。

【課題を解決するための手段】

【 0 0 1 2 】

本発明者らは、トランジスタのゲートに正の電圧を印加し続けると、該トランジスタの閾値電圧が正の方向にシフトし、逆に負の電圧を印加し続けると、該トランジスタの閾値電圧が負の方向にシフトすることに着目した。そして、出力回路のトランジスタの閾値電圧がシフトしても、逆の極性を有する電圧をゲートに印加することで、閾値電圧を逆の方向

20

【 0 0 1 3 】

本発明の表示装置は、出力回路が有するトランジスタのゲートに、該トランジスタのソースの電位を基準として、順方向バイアスの電圧または逆方向バイアスの電圧を与えることができる電源制御回路と、該トランジスタの閾値電圧を補正するべく、該トランジスタのゲートにソースの電位を基準として逆方向バイアスの電圧を与えるように電源制御回路を制御する閾値制御回路と、を有する。

【 0 0 1 4 】

閾値制御回路は、トランジスタの駆動時間に従って、該トランジスタのゲートに逆方向バイアスの電圧を印加する時間を制御することもできる。具体的に閾値制御回路は、トランジスタのゲートに順方向バイアスの電圧が印加された時間（駆動時間） t から、閾値電圧の変化量 ΔV_{th} を予測する。そして該変化量 ΔV_{th} から、閾値電圧を ΔV_{th} だけ逆方向に変化させるために必要な、逆方向バイアスの電圧をゲートに印加する時間 t' を算出する。そして算出された時間 t' だけ、トランジスタのゲートに逆方向バイアスの電圧が印加されるよう、電源制御回路を制御する。

30

【 0 0 1 5 】

そして、閾値制御回路における閾値電圧の変化量 ΔV_{th} の予測は、駆動時間 t に対する変化量 ΔV_{th} の推移のデータを予めメモリに記憶しておき、該データを参照することで行うことができる。また同様に、逆方向バイアスの電圧を印加する時間 t' の算出は、逆方向バイアスの電圧を印加する時間に対する閾値電圧の変化量 ΔV_{th} の推移のデータを

40

【 0 0 1 6 】

或いは、上記 2 つのデータから、駆動時間 t に対する逆方向バイアスの電圧を印加する時間 t' のデータを定め、予めメモリに記憶しておいても良い。

【 0 0 1 7 】

また、表示装置の電源を切ることで電力の供給が途絶えても、電源を再び入れたときに継続して駆動時間を計測できるように、計測された駆動時間をメモリに記憶しておいても良い。

【 0 0 1 8 】

また、出力回路を具備する走査線駆動回路は、表示装置の画素部に対して複数、具体的に

50

は画素を駆動するための走査線の両側にあたる２カ所に配置してもよい。そして一方の出力回路が画素に画像を表示するための動作を行い、他方の出力回路が逆方向バイアスの電圧が印加されるよう動作させることで、画素部での画像の表示を中断することなくトランジスタの閾値電圧の補正を行うことができる。

【００１９】

なお、逆方向バイアスの電圧による閾値電圧の補正は、画素部に画像を表示する期間以外であれば、いつでも行うことができる。例えば、表示装置の電源を投入した後、実際に画像を表示するまでの期間に行うこともできるし、画像を表示している途中でも適宜表示を一時中断して行うこともできる。

【発明の効果】

10

【００２０】

本発明では、駆動回路に用いられるトランジスタの閾値電圧がシフトしても、該トランジスタのゲートに逆方向バイアスの電圧を印加することで、シフトした閾値電圧を元に戻すことができる。よって駆動回路、延いては表示装置の信頼性を高めることができる。特にアモルファス半導体膜を用いた薄膜トランジスタでは、オン電流を確保するために、ゲート絶縁膜に誘電率が酸化珪素より高い窒化珪素または窒化酸化珪素を用いる場合が多い。誘電率が高い窒化珪素または窒化酸化珪素を用いると電荷がトラップされやすく、そのことが閾値電圧のシフトにつながっていたが、本発明の構成により薄膜トランジスタの閾値電圧を補正し、表示装置の信頼性を高めることができる。

【００２１】

20

また本発明では、出力回路を具備する走査線駆動回路を表示装置の画素部に対して複数、具体的には画素を駆動する走査線の両側にあたる２カ所に配置することにより、画素部での画像の表示を中断することなくトランジスタの閾値電圧を補正し、表示装置の信頼性を高めることができる。

【発明を実施するための最良の形態】

【００２２】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

30

（実施の形態１）

【００２３】

図１を用いて、本発明の表示装置の構成について説明する。図１（Ａ）は本発明の表示装置のブロック図である。本発明の表示装置は、閾値制御回路１０１と、電源制御回路１０２と、出力回路１０３とを有している。図１（Ａ）に示す本発明の表示装置は、さらに出力回路１０３を有するシフトレジスタ１０４、シフトレジスタ１０４を有する走査線駆動回路１０５、画素部１０６が示されている。上記構成に加え、本発明の表示装置は、信号線駆動回路を有していても良い。

【００２４】

画素部１０６には複数の画素が設けられており、走査線駆動回路１０５によって該画素がラインごとに選択される。信号線駆動回路は、走査線駆動回路１０５によって選択されたラインの画素への、ビデオ信号の入力を制御する。

40

【００２５】

シフトレジスタ１０４は入力されたクロック信号ＧＣＬＫ、スタートパルス信号ＧＳＰを用いて、ラインの選択を行う。具体的にはクロック信号ＧＣＬＫ及びスタートパルス信号ＧＳＰに従って出力回路１０３のスイッチングを制御することで、クロック信号ＧＣＬＫのパルスをサンプリングし、走査線に供給する。

【００２６】

画素において、ｎ型のトランジスタがスイッチング素子として用いられている場合は、パルスが有するハイレベルの電圧ＶＤＤが走査線に供給されると、該トランジスタがオンに

50

なり、該走査線を有するラインの画素が選択の状態となる。またローレベルの電圧 V_{SS} が走査線に供給されると該トランジスタがオフになり、該走査線を有するラインの画素は非選択の状態となる。

【0027】

逆に画素において、p型のトランジスタがスイッチング素子として用いられている場合は、パルスが有するローレベルの電圧 V_{SS} が走査線に供給されると該トランジスタがオンになり、該走査線を有するラインの画素が選択の状態となる。またハイレベルの電圧 V_{DD} が走査線に供給されると該トランジスタがオフになり、該走査線を有するラインの画素は非選択の状態となる。

【0028】

次に、画素においてn型のトランジスタがスイッチング素子として用いられている場合を例に挙げ、閾値制御回路101、電源制御回路102、出力回路103、シフトレジスタ104の構成及びその動作について、図1(B)に示すブロック図を用いて説明する。

【0029】

出力回路103は少なくとも2つのスイッチング素子を有する。具体的に図1(B)に示す出力回路103は、n型のトランジスタ107と、n型のトランジスタ108とをスイッチング素子として用いる。なお図1(B)ではトランジスタ107及びトランジスタ108が共にn型である場合を例示しているが、本発明はこの構成に限定されない。トランジスタ107及びトランジスタ108が共にp型であっても良い。

【0030】

トランジスタ107とトランジスタ108は直列に接続されている。そして画素部106に画像を表示する期間では、トランジスタ107のソースまたはドレインのいずれか一方にはクロック信号 G_{CLK} の電圧が与えられ、他方は走査線に接続されている。またトランジスタ108のソースには電圧 V_{SS} が与えられ、ドレインは走査線に接続されている。従って、トランジスタ107によりクロック信号 G_{CLK} のサンプリングが行われ、トランジスタ108により電圧 V_{SS} の走査線への供給が制御される。

【0031】

電源制御回路102は、ハイレベルの電圧 V_{CC} と、ローレベルの電圧 V_{EE} のいずれかを、シフトレジスタ104に与えることが出来る。閾値制御回路101は、電圧 V_{CC} と電圧 V_{EE} のどちらかを選択し、選択した電圧がシフトレジスタ104に与えられるよう電源制御回路102を制御する。

【0032】

画素部106に画像を表示する期間では、閾値制御回路101は、電圧 V_{CC} がシフトレジスタ104に与えられるよう電源制御回路102を制御する。なお電圧 V_{CC} は電圧 V_{DD} よりも低いものとする。そしてトランジスタ108は、順方向バイアスの電圧である電圧 V_{CC} がゲートに与えられることで、オンになる。トランジスタ108がオンになると、走査線に電圧 V_{SS} が与えられ、画素のスイッチング素子として機能するトランジスタがオフになり、該走査線を有するラインの画素は非選択の状態になる。一方、画素部106に画像を表示する期間では、トランジスタ107は、電圧 V_{DD} がゲートに与えられるとオン、電圧 V_{SS} がゲートに与えられるとオフ、というようにスイッチングを行う。そしてトランジスタ107がオンの時はトランジスタ108をオフ、トランジスタ107がオフの時はトランジスタ108をオンとする。

【0033】

なおトランジスタ108は、そのゲートにハイレベルの電圧 V_{CC} が与えられる期間が長くなると、閾値電圧が正の方向にシフトする。よって本発明の表示装置では、トランジスタ108の閾値電圧を補正する期間を設ける。

【0034】

トランジスタ108の閾値電圧を補正する期間では、閾値制御回路101は、逆方向バイアスの電圧 V_{EE} がシフトレジスタ104に与えられるよう電源制御回路102を制御する。電圧 V_{EE} は電圧 V_{SS} よりも低いものとする。そしてトランジスタ108は、逆方

10

20

30

40

50

向バイアスの電圧である電圧 V_{EE} がゲートに与えられることで、閾値電圧が負の方向にシフトする。負の方向において閾値電圧をどの程度変化させるのかは、画像を表示する期間における正の方向の閾値電圧の変化量に従って決めればよい。

【0035】

正の方向における閾値電圧の変化量は、トランジスタ108のゲートに順方向バイアスの電圧 V_{CC} が与えられる時間（駆動時間）で予測することが出来る。また負の方向における閾値電圧の変化量は、トランジスタ108のゲートに逆方向バイアスの電圧 V_{EE} が与えられる時間で予測することが出来る。よって、トランジスタ108のゲートに順方向バイアスの電圧 V_{CC} が与えられる時間に従って、トランジスタ108のゲートに逆方向バイアスの電圧 V_{EE} を与える時間を決めることが出来る。

10

【0036】

閾値電圧の補正は、画素部106に画像を表示する期間以外であれば、いつでも行うことができる。例えば、表示装置の電源を投入した後、実際に画像を表示するまでの期間に行うこともできるし、画像を表示している途中でも適宜表示を一時中断して、上記補正を行うこともできる。

【0037】

走査線が選択されていない期間は選択されている期間に比べて圧倒的に長いため、トランジスタ107の駆動時間よりもトランジスタ108の駆動時間の方が圧倒的に長くなり、その閾値電圧の変化量は大きくなる。しかし本発明では、トランジスタ108のゲートに逆方向バイアスの電圧を与えることで、その閾値電圧を補正することが出来る。よって走査線駆動回路105、延いては表示装置の信頼性を高めることができる。特にアモルファス半導体膜を用いた薄膜トランジスタでは、オン電流を確保するために、ゲート絶縁膜に誘電率が酸化珪素より高い窒化珪素または窒化酸化珪素を用いる場合が多い。誘電率が高い窒化珪素または窒化酸化珪素を用いると電荷がトラップされやすく、そのことが閾値電圧のシフトにつながっていたが、本発明の構成によりトランジスタ108の閾値電圧を補正し、表示装置の信頼性を高めることができる。

20

【0038】

本実施の形態では、 n 型のトランジスタが画素及び出力回路103のスイッチング素子として用いられている場合を例示して説明し、トランジスタ108の閾値電圧を補正する構成について説明した。逆に、 p 型のトランジスタが画素及び出力回路103のスイッチング素子として用いられている場合について考察する。この場合、トランジスタ107のソースまたはドレインのいずれか一方にクロック信号 G_{CLK} の電圧が与えられ、他方は走査線に接続される。またトランジスタ108のソースには電圧 V_{DD} が与えられ、ドレインは走査線に接続される。従って、トランジスタ108により電圧 V_{DD} の走査線への供給が制御され、トランジスタ107によりクロック信号 G_{CLK} のサンプリングが行われる。そして画素のトランジスタをオフにするには、出力回路103においてトランジスタ108をオンにして、ハイレベルの電圧 V_{DD} を走査線に与えなくてはならない。よって、トランジスタ108の方がトランジスタ107よりも圧倒的に駆動時間が長くなるため、トランジスタ108の閾値電圧を補正すべく、トランジスタ108のゲートにハイレベルの逆方向バイアスの電圧を与えるようにする。

30

40

【0039】

また本実施の形態では、トランジスタ107及びトランジスタ108が同じ極性を有する出力回路103の構成について説明しているが、本発明はこの構成に限定されない。トランジスタ107及びトランジスタ108が異なる極性を有していても良い。この場合、 p 型ならソースに電圧 V_{DD} 、 n 型ならソースに電圧 V_{SS} が与えられるのが望ましいので、トランジスタ107を p 型、トランジスタ108を n 型にすると良い。

【0040】

また本実施の形態では、トランジスタ107、トランジスタ108が、それぞれゲートを1つ有するシングルゲート構造である場合について示したが、本発明はこの構成に限定されない。互いに電氣的に接続された複数のゲートを有するマルチゲート構造のトランジス

50

タであっても良い。

【0041】

(実施の形態2)

本実施の形態では、本発明の表示装置が有する、閾値制御回路のより具体的な構成の一例について説明する。図2に示す閾値制御回路200は、コントローラ201と、演算回路202と、計測回路203と、メモリ204と、メモリ205とを有している。

【0042】

またシフトレジスタ220が有する出力回路221は、直列に接続されているトランジスタ223と、トランジスタ224とを有している。そして画素部に画像を表示する期間では、トランジスタ223のソースまたはドレインのいずれか一方にはクロック信号GCLKの電圧が与えられ、他方は走査線に接続されている。またトランジスタ224のソースには電圧VSSが与えられ、ドレインは走査線に接続されている。従って、トランジスタ223によりクロック信号GCLKのサンプリングが行われ、トランジスタ224により電圧VSSの走査線への供給が制御される。

【0043】

次に本実施の形態の、表示装置の動作について説明する。まず画素部に画像を表示する期間において、コントローラ201は、出力回路221に順方向バイアスの電圧(ここでは電圧VCC)を与えるように、電源制御回路210を制御する。画像を表示する期間は、コントローラ201に入力される水平同期信号(Hsync)と、垂直同期信号(Vsync)によって判別することが可能である。順方向バイアスの電圧VCCがゲートに与えられると、トランジスタ224はオンになり、電圧VSSが走査線に与えられる。そして、時間の経過と共に、トランジスタ224の閾値電圧は、正の方向にシフトする。

【0044】

なお画像を表示する期間では、トランジスタ224のゲートに順方向バイアスの電圧VCCが印加される時間tを計測するよう、コントローラ201が計測回路203を制御する。計測回路203は、カウンタなどの計数回路を用いて形成することが出来る。そして計測された時間tは、メモリ204に記憶される。メモリ204は不揮発性メモリを用いるのが望ましい。ただし、電源用の電圧をメモリ204に常に供給することでデータを保存することが出来るのであれば、揮発性メモリであっても良い。メモリ204として、例えばSRAM、DRAM、フラッシュメモリ、EEPROM、FeRAMなどを用いることができる。メモリ204に順方向バイアスの電圧が印加される時間tを記憶しておくことで、表示装置の電源を切ってから電源を再投入した後において、電源を切る前の時間tに、電源投入後の時間を加算することができる。

【0045】

次に、トランジスタ224の閾値電圧を補正する期間において、コントローラ201は、出力回路221に逆方向バイアスの電圧(ここでは電圧VEE)を与えるように、電源制御回路210を制御する。電圧VEEがゲートに与えられると、トランジスタ224はオフになり、時間の経過と共にその閾値電圧が負の方向にシフトする。

【0046】

なおメモリ205には、時間tから、トランジスタ224の閾値電圧を補正するための時間t'を一意的に算出するためのデータが記憶されている。本実施の形態では、時間tに対する、トランジスタ224の閾値電圧の値もしくは変化量を示す第1のデータと、時間t'に対する、トランジスタ224の閾値電圧の値もしくは変化量を示す第2のデータとが記憶されている場合を例に挙げて説明する。

【0047】

図3(A)は、順方向バイアスの電圧をゲートに印加する時間tに対する、閾値電圧Vthの値を示す第1のデータの一例である。図3(A)において、順方向バイアスの電圧を印加する前、すなわち時間0のときの閾値電圧は、Vth(0)である。また図3(A)において、時間t=t_aとなったときの閾値電圧は、Vth(t_a)である。

【0048】

また図3(B)は、逆方向バイアスの電圧をゲートに印加する時間 t' に対する、閾値電圧 V_{th} の値を示す第2のデータの一例である。図3(B)では、時間 t_b のときに閾値電圧が $V_{th}(t_a)$ であり、時間 t_c のときに閾値電圧が $V_{th}(0)$ である。よって、閾値電圧を $V_{th}(t_a)$ から $V_{th}(0)$ に戻すには、逆方向バイアスの電圧を時間 $t' = t_c - t_b$ だけ印加すれば良いことが分かる。

【0049】

コントローラ201は、上述した逆方向バイアスの電圧を印加する時間 t' の計算を、メモリ205に記憶された第1のデータまたは第2のデータと、計測回路203において計測された時間 t とを用いて行うよう、演算回路202を制御する。そして演算回路202において算出された時間 $t' = t_c - t_b$ に従って、逆方向バイアスの電圧 V_{EE} を出力回路221に与えるように、電源制御回路210を制御する。

10

【0050】

なお本実施の形態では、メモリ205は不揮発性メモリを用いるのが望ましい。ただし、電源用の電圧をメモリ205に常に供給することでデータを保存することが出来るのであれば、揮発性メモリであっても良い。メモリ205として、例えばSRAM、DRAM、フラッシュメモリ、EEPROM、FeRAMなどを用いることができる。また本実施の形態では、第1のデータと第2のデータとを同じメモリ205に記憶させている例について示しているが、本発明はこの構成に限定されない。第1のデータと第2のデータとを異なるメモリに記憶させるようにしても良い。

【0051】

20

また本実施の形態では、上記第1のデータと第2のデータとを用いて、逆方向バイアスの電圧を印加する時間 t' の計算を行う場合を例示しているが、本発明はこの構成に限定されない。例えば、上記第1のデータと第2のデータを用いて、駆動時間 t から時間 t' が直接的に求められるデータを作成しておき、メモリに記憶して用いても良い。

【0052】

また本実施の形態では、順方向バイアスの電圧がトランジスタのゲートに与えられる時間 t を計測回路203において計測しているが、本発明はこの構成に限定されない。順方向バイアスの電圧をトランジスタのゲートに与える時間 t を直接計測せずとも、時間 t が間接的に予測できるようなものを計測すれば良い。例えば、閾値制御回路200において順方向バイアスの電圧を選択する期間と、実際に順方向バイアスの電圧がトランジスタのゲートに与えられる時間 t とは異なる。しかし、閾値制御回路200において順方向バイアスの電圧が選択される期間から、順方向バイアスの電圧がトランジスタのゲートに実際に与えられる時間 t を間接的に予測することは可能である。よって、閾値制御回路200において順方向バイアスの電圧が選択される期間を計測することで、逆方向バイアスの電圧を印加する時間 t' を算出することが出来る。

30

【0053】

なお本実施の形態では、閾値電圧の値もしくは変化量が、時間 t もしくは時間 t' に対して連続的に変化するデータを用いているが、本発明はこの構成に限定されない。閾値電圧の値もしくは変化量が、時間 t もしくは時間 t' に対して断続的に変化するデータを用いても良い。

40

【0054】

本発明では、出力回路221内のトランジスタ224のゲートに、駆動時間に従って定められる時間だけ逆方向バイアスの電圧を印加することで、その閾値電圧を補正する。そのため、ゲート絶縁膜において電荷がトラップされることで、当該トランジスタ224の閾値電圧 V_{th} がシフトしても、走査線駆動回路、延いては表示装置の高い信頼性を確保することが出来る。特にアモルファス半導体膜を用いた薄膜トランジスタでは、オン電流を確保するために、ゲート絶縁膜に誘電率が酸化珪素より高い窒化珪素または窒化酸化珪素を用いる場合が多い。誘電率が高い窒化珪素または窒化酸化珪素を用いると電荷がトラップされやすく、そのことが閾値電圧のシフトにつながっていたが、本発明の構成により閾値電圧のシフトを補正して表示装置の信頼性を高めることができる。

50

【 0 0 5 5 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

【 0 0 5 6 】

(実施の形態 3)

本実施の形態では、本発明の半導体装置が有する走査線駆動回路の、より詳しい構成とその動作について説明する。

【 0 0 5 7 】

図 4 (A) に、本実施の形態の走査線駆動回路の構成を示す。図 4 (A) に示す走査線駆動回路は、複数のパルス出力回路 9 0 0 を有している。パルス出力回路 9 0 0 にはクロック信号 G C L K、該クロック信号 G C L K と周期が半分ずれているクロック信号 G C L K b、スタートパルス信号 G S P、走査方向切替信号 G U / D、該走査方向切替信号 G U / D の電圧を反転させた走査方向切替信号 G U / D b が入力されている。複数のパルス出力回路 9 0 0 は、上記信号の入力により、対応する走査線 G 1 ~ G y に順にパルスを出力する。

10

【 0 0 5 8 】

図 5 に、パルス出力回路 9 0 0 の具体的な回路図の一例を示す。なお、図 5 に示したパルス出力回路における信号の入出力を明確にするために、図 4 (A) に示したパルス出力回路 9 0 0 の端子に 1 から 5 まで番号を付したものを、図 4 (B) に示す。図 4 (B) に示すパルス出力回路 9 0 0 の 1 ~ 5 の端子は、図 5 に示したパルス出力回路の 1 ~ 5 の端子に対応するものとする。

20

【 0 0 5 9 】

図 5 に示すパルス出力回路は、走査方向切替回路 9 1 0 と、第 1 の振幅補償回路 9 2 0 と、第 2 の振幅補償回路 9 3 0 と、出力回路 9 4 0 と、スイッチング素子 9 5 2 とを有している。走査方向切替回路 9 1 0 は、走査方向切替信号 G U / D 及び走査方向切替信号 G U / D b に従って、走査線の選択の順序を切り替えることができる。第 1 の振幅補償回路 9 2 0 及び第 2 の振幅補償回路 9 3 0 は、スタートパルス信号 G S P または前段のパルス出力回路から出力されるパルスと、後段のパルス出力回路から出力されるパルスとに従って、出力回路 9 4 0 のスイッチングを制御する。出力回路 9 4 0 は、クロック信号 G C L K またはクロック信号 G C L K b のパルスをサンプリングし、前段のパルス出力回路または走査線 G j (j = 1 ~ y) に出力する。スイッチング素子 9 5 2 は、出力回路 9 4 0 への順方向バイアスの電圧または逆方向バイアスの電圧の供給を制御する。

30

【 0 0 6 0 】

具体的に走査方向切替回路 9 1 0 は、トランジスタ 9 1 1 ~ 9 1 4 を有する。第 1 の振幅補償回路 9 2 0 は、トランジスタ 9 2 1、9 2 2 を有する。第 2 の振幅補償回路 9 3 0 は、トランジスタ 9 3 1、9 3 2 を有する。出力回路 9 4 0 は、トランジスタ 9 4 1、9 4 2 を有する。なお図 5 では、スイッチング素子 9 5 2 がトランジスタを 1 つだけ用いているが、本発明はこの構成に限定されない。スイッチング素子 9 5 2 がトランジスタを複数用いていても良いし、トランジスタ以外の半導体素子を用いていても良い。

【 0 0 6 1 】

そしてトランジスタ 9 1 1 のゲートは端子 4 に接続されている。またトランジスタ 9 1 1 のソースとドレインは、一方が端子 2 に、他方がトランジスタ 9 2 1 のゲート及びトランジスタ 9 3 2 のゲートに接続されている。トランジスタ 9 1 2 のゲートは端子 5 に接続されている。またトランジスタ 9 1 2 のソースとドレインは、一方が端子 3 に、他方がトランジスタ 9 2 1 のゲート及びトランジスタ 9 3 2 のゲートに接続されている。トランジスタ 9 1 3 のゲートは端子 5 に接続されている。またトランジスタ 9 1 3 のソースとドレインは、一方が端子 2 に、他方がトランジスタ 9 3 1 のゲートに接続されている。トランジスタ 9 1 4 のゲートは端子 4 に接続されている。またトランジスタ 9 1 4 のソースとドレインは、一方が端子 3 に、他方がトランジスタ 9 3 1 のゲートに接続されている。

40

【 0 0 6 2 】

トランジスタ 9 2 1 のソースとドレインは、一方に電圧 V D D または電圧 V S S が与えら

50

れ、他方はトランジスタ 9 4 1 のゲートに接続されている。トランジスタ 9 2 2 のゲートはトランジスタ 9 4 2 のゲートに接続されている。またトランジスタ 9 2 2 のソースとドレインは、一方がトランジスタ 9 4 1 のゲートに接続され、他方には電圧 V_{SS} が与えられている。

【 0 0 6 3 】

トランジスタ 9 3 1 のソースとドレインは、一方には電圧 V_{CC} または電圧 V_{EE} が与えられ、他方はトランジスタ 9 2 2 のゲート及びトランジスタ 9 4 2 のゲートに接続されている。トランジスタ 9 3 2 のソースとドレインは、一方がトランジスタ 9 2 2 のゲート及びトランジスタ 9 4 2 のゲートに接続され、他方には電圧 V_{SS} または電圧 V_{EE} が与えられている。

10

【 0 0 6 4 】

トランジスタ 9 4 1 のソースとドレインは、一方が端子 1 に、他方が走査線 G_j に接続されている。トランジスタ 9 4 2 のソースとドレインは、一方が走査線 G_j に接続されており、他方には電圧 V_{SS} が与えられている。

【 0 0 6 5 】

またスイッチング素子 9 5 2 のトランジスタのゲートには電圧 V_{SS} が与えられている。また、スイッチング素子 9 5 2 のトランジスタのソースとドレインは、一方がトランジスタ 9 2 2 のゲート及びトランジスタ 9 4 2 のゲートに接続されており、他方には電圧 V_{SS} または電圧 V_{EE} が与えられている。

20

【 0 0 6 6 】

図 6 に、画素部に画像を表示する期間における、図 5 に示すパルス出力回路 9 0 0 の、端子 1 ~ 5 及び走査線 G_j の電圧のタイミングチャートを示す。またトランジスタ 9 4 1 のゲートに入力される電圧 IN_1 と、トランジスタ 9 4 2 のゲートに入力される電圧 IN_2 のタイミングチャートも、併せて図 6 に示す。

【 0 0 6 7 】

まず画像を表示する期間では、図 6 に示すように、端子 4 に入力される走査方向切替信号 U/D の電圧がハイレベル、端子 5 に入力される走査方向切替信号 U/D_b の電圧がローレベルである場合を示している。よって、トランジスタ 9 1 1 及びトランジスタ 9 1 4 はオン、トランジスタ 9 1 2 及びトランジスタ 9 1 3 はオフである。逆に走査方向切替信号 U/D の電圧がローレベル、走査方向切替信号 U/D_b の電圧がハイレベルであっても、走査方向が切り替わるだけで、基本的な動作は同じである。

30

【 0 0 6 8 】

また画像を表示する期間では、トランジスタ 9 2 1 のソースまたはドレインの一方には、電圧 V_{DD} が与えられる。トランジスタ 9 3 1 のソースまたはドレインの一方には、電圧 V_{CC} が与えられる。トランジスタ 9 3 2 のソースまたはドレインの他方には、電圧 V_{SS} が与えられる。スイッチング素子 9 5 2 のトランジスタのソースまたはドレインの他方には、電圧 V_{SS} が与えられる。

【 0 0 6 9 】

そして図 6 に示すように、端子 2 にスタートパルス信号 GSP のパルスが入力される前は、端子 2 及び端子 3 に入力される電圧はローレベルである。よって、トランジスタ 9 2 1、トランジスタ 9 3 1 及びトランジスタ 9 3 2 は全てオフである。また、スイッチング素子 9 5 2 のトランジスタはオフである。したがって、トランジスタ 9 4 1 とトランジスタ 9 4 2 のゲートには前周期において与えられた電圧が保持されている。

40

【 0 0 7 0 】

次に端子 2 にスタートパルス信号 GSP のパルスが入力されると、トランジスタ 9 2 1 及びトランジスタ 9 3 2 はゲートにハイレベルの電圧が与えられるのでオンになる。よってトランジスタ 9 2 1 を介して、電圧 V_{DD} が電圧 IN_1 としてトランジスタ 9 4 1 のゲートに与えられるので、トランジスタ 9 4 1 はオンになる。またトランジスタ 9 3 2 を介して、電圧 V_{SS} が電圧 IN_2 としてトランジスタ 9 4 2 のゲートに与えられるので、トランジスタ 9 4 2 はオフになる。また、スイッチング素子 9 5 2 のトランジスタはオフのま

50

までである。このとき、端子 1 に入力されるクロック信号 G C L K の電圧はローレベルであるので、走査線 G j にはローレベルの電圧が出力される。

【 0 0 7 1 】

また端子 3 に入力される電圧はローレベルのままなので、トランジスタ 9 3 1 はオフの状態を維持する。トランジスタ 9 3 2 を介して、電圧 V S S がトランジスタ 9 2 2 のゲートに与えられるので、トランジスタ 9 2 2 はオフになる。

【 0 0 7 2 】

次に端子 2 に再びローレベルの電圧が入力されると、トランジスタ 9 2 1 及びトランジスタ 9 3 2 のゲートにローレベルの電圧が与えられるので、上記トランジスタはオフになる。また端子 3 に入力される電圧はローレベルのままなので、トランジスタ 9 3 1 はオフの状態を維持する。よってトランジスタ 9 2 2 のゲート及びトランジスタ 9 4 2 のゲートはフローティングとなり、電圧 I N 2 はローレベルの状態を維持するので、トランジスタ 9 2 2 及びトランジスタ 9 4 2 はオフとなる。また、スイッチング素子 9 5 2 のトランジスタはオフのままである。

【 0 0 7 3 】

このとき、トランジスタ 9 4 1 のゲートもフローティングとなるが、端子 1 に入力されるクロック信号 G C L K の電圧がハイレベルになるので、ブートストラップによりトランジスタのゲートの電圧 I N 1 はさらに高く持ち上がる。よってトランジスタ 9 4 1 はオンの状態を維持するため、クロック信号 G C L K のハイレベルの電圧がサンプリングされ、走査線 G j に出力される。

【 0 0 7 4 】

次に端子 2 に入力される電圧はローレベルの状態を維持するため、トランジスタ 9 2 1 及びトランジスタ 9 3 2 はオフのままである。一方、端子 3 に入力される電圧はハイレベルになるため、トランジスタ 9 3 1 はオンになる。そしてトランジスタ 9 3 1 を介してトランジスタ 9 2 2 のゲートに電圧 V C C が印加され、トランジスタ 9 2 2 及びトランジスタ 9 4 2 はオンになる。よって、トランジスタ 9 2 2 を介して、電圧 V S S が電圧 I N 1 としてトランジスタ 9 4 1 のゲートに与えられ、トランジスタ 9 4 1 はオフになる。またトランジスタ 9 3 1 を介してトランジスタ 9 4 2 のゲートに、電圧 I N 2 として電圧 V C C が印加される。また、スイッチング素子 9 5 2 のトランジスタはオフのままである。したがって、トランジスタ 9 4 2 はオンになり、トランジスタ 9 4 2 を介して電圧 V S S が走査線 G j に与えられる。

【 0 0 7 5 】

次に、トランジスタ 9 4 2 の閾値電圧を補正する期間における、パルス出力回路 9 0 0 の動作について説明する。閾値電圧を補正する期間では、信号線駆動回路へのクロック信号 G C L K、クロック信号 G C L K b、スタートパルス信号 G S P、走査方向切替信号 U / D、走査方向切替信号 U / D b の入力停止するため、端子 1 ~ 5 には電圧 V S S が与えられる。そして、トランジスタ 9 2 1 のソースまたはドレインの一方には、電圧 V S S が与えられる。トランジスタ 9 3 1 のソースまたはドレインの一方には、電圧 V E E が与えられる。トランジスタ 9 3 2 のソースまたはドレインの他方には、電圧 V E E が与えられる。スイッチング素子 9 5 2 のトランジスタのソースまたはドレインの他方には、電圧 V E E が与えられる。

【 0 0 7 6 】

よって、トランジスタ 9 2 1 及びトランジスタ 9 2 2 はオフ、トランジスタ 9 3 1 及びトランジスタ 9 3 2 はオフ、トランジスタ 9 4 1 及びトランジスタ 9 4 2 はオフとなる。そしてスイッチング素子 9 5 2 のトランジスタはオンとなり、逆方向バイスの電圧 V E E がトランジスタ 9 4 2 のゲートに印加され、トランジスタ 9 4 2 の閾値電圧が補正される。

【 0 0 7 7 】

なお、閾値電圧を補正する期間において、トランジスタ 9 4 1 を確実にオフにするために、トランジスタ 9 4 1 のゲートに電圧 V S S を与えるようにしても良い。或いは、閾値電圧を補正する期間において、走査線 G j に電圧 V S S を与えるようにしても良い。

【 0 0 7 8 】

図 7 に、トランジスタ 9 4 1 のゲートへの電圧 V_{SS} の印加を制御するスイッチング素子 9 5 1 と、走査線 G_j への電圧 V_{SS} の印加を制御するスイッチング素子 9 5 3 とをさらに有する、パルス出力回路 9 0 0 の構成を示す。図 7 においてスイッチング素子 9 5 1 はトランジスタを 1 つだけ用いているが、本発明はこの構成に限定されない。スイッチング素子 9 5 1 がトランジスタを複数用いても良いし、トランジスタ以外の半導体素子を用いても良い。また図 7 においてスイッチング素子 9 5 3 はトランジスタを 1 つだけ用いているが、本発明はこの構成に限定されない。スイッチング素子 9 5 3 がトランジスタを複数用いても良いし、トランジスタ以外の半導体素子を用いても良い。

【 0 0 7 9 】

スイッチング素子 9 5 1 のトランジスタのゲートには電圧 V_{SS} または電圧 V_L が与えられている。スイッチング素子 9 5 1 のトランジスタのソースとドレインは、一方がトランジスタ 9 4 1 のゲートに接続されており、他方には電圧 V_{SS} が与えられている。スイッチング素子 9 5 3 のトランジスタのゲートには電圧 V_{SS} または電圧 V_L が与えられている。スイッチング素子 9 5 3 のトランジスタのソースとドレインは、一方が走査線 G_j に接続されており、他方には電圧 V_{SS} が与えられている。

【 0 0 8 0 】

画像を表示する期間において、スイッチング素子 9 5 1 のトランジスタのゲート及びスイッチング素子 9 5 3 のトランジスタのゲートには電圧 V_{SS} が与えられるため、スイッチング素子 9 5 1 のトランジスタ及びスイッチング素子 9 5 3 のトランジスタはオフになる。一方、トランジスタ 9 4 2 の閾値電圧を補正する期間では、スイッチング素子 9 5 1 のトランジスタのゲート及びスイッチング素子 9 5 3 のトランジスタのゲートには電圧 V_L が与えられる。電圧 V_L はスイッチング素子 9 5 1 のトランジスタ及びスイッチング素子 9 5 3 のトランジスタをオンにする程度の高さを有している。よって、オンになったスイッチング素子 9 5 1 のトランジスタを介して、電圧 V_{SS} がトランジスタ 9 4 1 のゲートに与えられる。またオンになったスイッチング素子 9 5 3 のトランジスタを介して、電圧 V_{SS} が走査線 G_j に与えられる。

【 0 0 8 1 】

なお、スイッチング素子 9 5 1 とスイッチング素子 9 5 3 とは、必ずしも設ける必要はない。ただしスイッチング素子 9 5 1 またはスイッチング素子 9 5 3 を設けることで、補正を行う期間において走査線 G_j を確実に電圧 V_{SS} にすることが出来る。

【 0 0 8 2 】

なお本実施の形態では、パルス出力回路 9 0 0 が走査方向切替回路 9 1 0 を有する構成について説明したが、本発明はこの構成に限定されない。走査線の選択の順序を切り替える必要がなければ、走査方向切替回路 9 1 0 は必ずしも設けなくとも良い。

【 0 0 8 3 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することができる。

【 0 0 8 4 】

(実施の形態 4)

【 0 0 8 5 】

本実施の形態では、本発明の表示装置の全体的な構成について説明する。図 8 に、本実施の形態の表示装置のブロック図を示す。図 8 に示す表示装置は、表示素子を備えた画素を複数有する画素部 4 0 0 と、各画素をラインごとに選択する走査線駆動回路 4 1 0 と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路 4 2 0 と、閾値制御回路 4 3 0 と、電源制御回路 4 3 1 とを有する。

【 0 0 8 6 】

図 8 において信号線駆動回路 4 2 0 は、シフトレジスタ 4 2 1、第 1 のラッチ 4 2 2、第 2 のラッチ 4 2 3 を有している。シフトレジスタ 4 2 1 には、クロック信号 CLK 、スタートパルス信号 SSP 、走査方向切替信号 L/R が入力されている。シフトレジスタ 4 2 1 は、これらクロック信号 CLK 及びスタートパルス信号 SSP に従って、パルスが

10

20

30

40

50

順次シフトするタイミング信号を生成し、第1のラッチ422に出力する。タイミング信号のパルスの出現する順序は、走査方向切替信号L/Rによって切り替わる。

【0087】

第1のラッチ422にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第1のラッチ422に書き込まれ、保持される。なお、本実施の形態では第1のラッチ422が有する複数の記憶回路に順にビデオ信号を書き込んでいるが、本発明はこの構成に限定されない。第1のラッチ422が有する複数の記憶回路をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば4つの記憶回路ごとにラッチをグループに分けた場合、4分割で分割駆動することになる。

10

【0088】

第1のラッチ422の全ての記憶回路への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0089】

1ライン期間が終了すると、第2のラッチ423に入力されるラッチ信号LSのパルスに従って、第1のラッチ422に保持されているビデオ信号が、第2のラッチ423に一斉に書き込まれ、保持される。ビデオ信号を第2のラッチ423に送出し終えた第1のラッチ422には、再びシフトレジスタ421からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2のラッチ423に書き込まれ、保持されているビデオ信号が画素部400に入力される。

20

【0090】

なお信号線駆動回路420は、シフトレジスタ421の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【0091】

なお図8では第2のラッチ423の後段に画素部400が直接接続されているが、本発明はこの構成に限定されない。画素部400の前段に、第2のラッチ423から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフタ、アナログ信号に変換することができるデジタルアナログ変換回路などが挙げられる。

30

【0092】

次に、走査線駆動回路410の構成について説明する。走査線駆動回路410は、シフトレジスタ411を有し、シフトレジスタ411は出力回路412を有している。また閾値制御回路430は、順方向バイアスの電圧または逆方向バイアスの電圧を走査線駆動回路410に与えるよう、電源制御回路431を制御する。

【0093】

走査線駆動回路410は、シフトレジスタ411にクロックGCLK、スタートパルス信号GSP及び走査方向切替信号U/D、順方向バイアスの電圧が与えられることによって、パルスが順次シフトする選択信号が出力回路412から出力される。選択信号のパルスの出現する順序は、走査方向切替信号U/Dによって切り替わる。生成された選択信号のパルスが走査線に入力されることで、当該走査線を有するラインの画素が選択され、ビデオ信号が該画素に入力される。

40

【0094】

また走査線駆動回路410は、逆方向バイアスの電圧が与えられることによって、出力回路412のトランジスタの閾値電圧が補正される。

【0095】

なお図8では、シフトレジスタ411の後段に画素部400が直接接続されているが、本発明はこの構成に限定されない。画素部400の前段に、シフトレジスタ411から出力された選択信号に信号処理を施す回路を設けても良い。信号処理を施す回路の一例として

50

、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフタなどが挙げられる。

【 0 0 9 6 】

またアクティブマトリクス型の表示装置の場合、走査線には1ライン分の画素が有するトランジスタのゲートが接続されている。よってシフトレジスタ411の後段に画素部400が直接接続されている場合、出力回路412には、1ライン分の画素のトランジスタを一斉にオンできる程度の、電流供給能力の高いトランジスタを用いることが望ましい。

【 0 0 9 7 】

なお画素部400、走査線駆動回路410、信号線駆動回路420は、同じ基板に形成することができるが、いずれかを異なる基板で形成することもできる。

10

【 0 0 9 8 】

図9(A)に、別途形成された信号線駆動回路420を、画素部400及び走査線駆動回路410が形成された基板440に実装している表示装置の一形態を示す。なお実際には、画素部400を基板440との間に挟むようにもう一つの基板を設けるが、画素部400、走査線駆動回路410、信号線駆動回路420の配置を明確にするために、図9(A)では敢えてもう一つの基板が省略された形態を図示する。

【 0 0 9 9 】

画素部400、信号線駆動回路420、走査線駆動回路410、それぞれ電源の電圧、各種信号等が、FPC441を介して供給される。また閾値制御回路430または電源制御回路431と、走査線駆動回路410とは、FPC441を介して電氣的に接続されている。図9(A)において、信号線駆動回路420は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトランジスタ、またはSOIを用いたトランジスタを有していても良い。

20

【 0 1 0 0 】

なお、信号線駆動回路420を実装する際、必ずしも信号線駆動回路420が形成された基板を、画素部400が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図9(B)に、画素部400及び走査線駆動回路410が形成された基板450に、別途形成された信号線駆動回路420がFPC451上に貼り合わせるように実装されている、表示装置の一形態を示す。なお実際には、画素部400を基板450との間に挟むようにもう一つの基板を設けるが、画素部400、走査線駆動回路410、信号線駆動回路420の配置を明確にするために、図9(B)では敢えてもう一つの基板が省略された形態を図示する。画素部400、信号線駆動回路420、走査線駆動回路410には、それぞれ電源の電圧、各種信号等が、FPC451を介して供給される。また閾値制御回路430または電源制御回路431と、走査線駆動回路410とは、FPC451を介して電氣的に接続されている。図9(B)において、信号線駆動回路420は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトランジスタ、またはSOIを用いたトランジスタを有していても良い。

30

【 0 1 0 1 】

また信号線駆動回路の一部を、画素部400及び走査線駆動回路410と同じ基板上に形成し、残りを別途形成して実装するようにしても良い。画素部400及び走査線駆動回路410と共に、信号線駆動回路420が有する第1のラッチ422、第2のラッチ423が形成されている基板460に、別途形成した信号線駆動回路420のシフトレジスタ421が実装されている、表示装置の一形態を図9(C)に示す。なお実際には、画素部400を基板460との間に挟むようにもう一つの基板を設けるが、画素部400、走査線駆動回路410、信号線駆動回路420の配置を明確にするために、図9(C)では敢えてもう一つの基板が省略された形態を図示する。画素部400、信号線駆動回路420、走査線駆動回路410には、それぞれ電源の電圧、各種信号等が、FPC461を介して供給される。また閾値制御回路430または電源制御回路431と、走査線駆動回路410とは、FPC461を介して電氣的に接続されている。図9(C)において、信号線駆動回路420は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトラン

40

50

ジスタ、またはS O Iを用いたトランジスタを有していても良い。

【0102】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図9に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。

【0103】

駆動回路などの集積回路を別途形成して基板に実装することで、全ての回路を画素部と同じ基板上に形成する場合に比べて、歩留まりを高めることができ、また各回路の特性に合わせたプロセスの最適化を容易に行なうことができる。

10

【0104】

なお本発明の表示装置は、例えば液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等、アクティブマトリクス型の表示装置がその範疇に含まれる。またパッシブマトリクス型の表示装置も含まれる。

【0105】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することができる。

(実施の形態5)

【0106】

20

本実施の形態では、本発明の表示装置の全体的な構成について実施の形態4で示した構成とは異なる構成について説明する。図19に、本実施の形態の表示装置のブロック図を示す。図19に示す表示装置は、表示素子を備えた画素を複数有する画素部1900と、各画素をラインごとに選択する第1の走査線駆動回路1910A及び第2の走査線駆動回路1910Bと、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路1920と、第1の閾値制御回路1930Aと、第2の閾値制御回路1930Bと、第1の電源制御回路1931Aと、第2の電源制御回路1931Bと、走査線駆動制御回路1932と、を有する。

【0107】

図19において信号線駆動回路1920は、シフトレジスタ1921、第1のラッチ1922、第2のラッチ1923を有している。シフトレジスタ1921には、クロック信号SCLK、スタートパルス信号SSP、走査方向切替信号L/Rが入力されている。シフトレジスタ1921は、これらクロック信号SCLK及びスタートパルス信号SSPに従って、パルスが順次シフトするタイミング信号を生成し、第1のラッチ1922に出力する。タイミング信号のパルスの出現する順序は、走査方向切替信号L/Rによって切り替わる。

30

【0108】

第1のラッチ1922にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第1のラッチ1922に書き込まれ、保持される。なお、本実施の形態では第1のラッチ1922が有する複数の記憶回路に順にビデオ信号を書き込んで

40

【0109】

第1のラッチ1922の全ての記憶回路への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0110】

1ライン期間が終了すると、第2のラッチ1923に入力されるラッチ信号LSのパルス

50

に従って、第1のラッチ1922に保持されているビデオ信号が、第2のラッチ1923に一齐に書き込まれ、保持される。ビデオ信号を第2のラッチ1923に送出し終えた第1のラッチ1922には、再びシフトレジスタ1921からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2のラッチ1923に書き込まれ、保持されているビデオ信号が画素部1900に入力される。

【0111】

なお信号線駆動回路1920は、シフトレジスタ1921の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

【0112】

なお図19では第2のラッチ1923の後段に画素部1900が直接接続されているが、本発明はこの構成に限定されない。画素部1900の前段に、第2のラッチ1923から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフタ、アナログ信号に変換することができるデジタルアナログ変換回路などが挙げられる。

10

【0113】

次に、第1の走査線駆動回路1910A及び第2の走査線駆動回路1910Bの構成について説明する。第1の走査線駆動回路1910Aは、シフトレジスタ1911Aを有し、シフトレジスタ1911Aは出力回路1912Aを有している。また第1の閾値制御回路1930Aは、順方向バイアスの電圧または逆方向バイアスの電圧を第1の走査線駆動回路1910Aに与えるよう、第1の電源制御回路1931Aを制御する。

20

【0114】

また、第2の走査線駆動回路1910Bは、シフトレジスタ1911Bを有し、シフトレジスタ1911Bは出力回路1912Bを有している。また第2の閾値制御回路1930Bは、順方向バイアスの電圧または逆方向バイアスの電圧を第2の走査線駆動回路1910Bに与えるよう、第2の電源制御回路1931Bを制御する。

【0115】

第1の走査線駆動回路1910A及び第2の走査線駆動回路1910Bは、走査線駆動制御回路1932によって、一方の走査線駆動回路が画素部1900の駆動するための動作をし、他方の走査線駆動回路には逆方向バイアスが加えられるよう制御されるものである。すなわち、任意のフレーム期間において第1の走査線駆動回路1910Aでは、シフトレジスタ1911AにクロックGCLK、スタートパルス信号GSP及び走査方向切替信号GU/D、順方向バイアスの電圧が与えられることによって、パルスが順次シフトする選択信号が出力回路1912Aから出力され、同時に第2の走査線駆動回路1910Bでは、逆方向バイアスの電圧が第2の閾値制御回路1930B及び第2の電源制御回路1931Bより与えられ、出力回路1912Bのトランジスタの閾値電圧が補正される。また別のフレーム期間において第1の走査線駆動回路1910Aには逆方向バイアスの電圧が第1の閾値制御回路1930A及び第1の電源制御回路1931Aより与えられ、出力回路1912Aのトランジスタの閾値電圧が補正され、同時に第2の走査線駆動回路1910Bでは、シフトレジスタ1911BにクロックGCLK、スタートパルス信号GSP及び走査方向切替信号GU/D、順方向バイアスの電圧が与えられることによって、パルスが順次シフトする選択信号が出力回路1912Bから出力される。

30

40

【0116】

なお第1の走査線駆動回路1910Aまたは第2の走査線駆動回路1910Bにおける選択信号のパルスの出現する順序は、走査方向切替信号GU/Dによって切り替わる。生成された選択信号のパルスが走査線に入力されることで、当該走査線を有するラインの画素が選択され、ビデオ信号が該画素に入力される。

【0117】

なお図19では、シフトレジスタ1911Aまたはシフトレジスタ1911Bの後段に画素部1900が直接接続されているが、本発明はこの構成に限定されない。画素部190

50

0の前段に、シフトレジスタ1911Aまたはシフトレジスタ1911Bから出力された選択信号に信号処理を施す回路を設けても良い。信号処理を施す回路の一例として、例えば波形を整形することができるバッファ、振幅を増幅することができるレベルシフタなどが挙げられる。

【0118】

またアクティブマトリクス型の表示装置の場合、走査線には1ライン分の画素が有するトランジスタのゲートが接続されている。よってシフトレジスタ1911Aまたはシフトレジスタ1911Bの後段に画素部1900が直接接続されている場合、出力回路1912Aまたは出力回路1912Bには、1ライン分の画素のトランジスタを一斉にオンできる程度の、電流供給能力の高いトランジスタを用いることが望ましい。

10

【0119】

なお画素部1900、第1の走査線駆動回路1910A、第2の走査線駆動回路1910B、信号線駆動回路1920は、同じ基板に形成することができるが、いずれかを異なる基板で形成することもできる。

【0120】

図20を用いて本実施の形態で示す表示装置の具体的な動作について、一例を示し説明する。図20(A)及び図20(B)に示すように、本実施の形態における表示装置は、第1の走査線駆動回路1910Aまたは第2の走査線駆動回路1910Bの一方が順方向バイアスの電圧による駆動(以下、通常駆動ともいう)をし、他方が逆方向バイアスの電圧による駆動(以下、逆バイアス駆動ともいう)をおこなう。走査線駆動制御回路1932は、逆バイアス駆動を行う第1の走査線駆動回路1910Aまたは第2の走査線駆動回路1910Bの一方に対し、第1の閾値制御回路1930A及び第1の電源制御回路1931A、または第2の閾値制御回路1930B及び第2の電源制御回路1931Bを制御して、逆方向バイアスを加え、出力回路1912Aまたは出力回路1912Bのトランジスタの閾値電圧を補正する。なお、逆バイアス駆動の際、出力回路1912Aまたは1912Bの出力はハイインピーダンス状態となる。そして同じ期間に、トランジスタの閾値電圧を補正する一方で、画素部1900の表示を行うために第1の走査線駆動回路1910Aまたは第2の走査線駆動回路1910Bが通常駆動を行い、画素部1900での駆動を行うことができる。

20

【0121】

図20(A)には、第1の走査線駆動回路1910Aを通常駆動、第2の走査線駆動回路1910Bを逆バイアス駆動で動作させ、図20(B)には第1の走査線駆動回路1910Aを逆バイアス駆動で動作させ、第2の走査線駆動回路1910Bを通常駆動で動作させる図について示した。図20(C)及び図20(D)では、図20(A)及び図20(B)で示した動作を交互に行う構成について一例をあげて説明する。なお、図20(C)及び図20(D)では、第1の走査線駆動回路1910Aに着目し、第1の走査線駆動回路1910Aを通常駆動する場合を通常駆動と表し、第1の走査線駆動回路1910Aを逆バイアス駆動する場合を逆バイアス駆動と表記する。すなわち、第2の走査線駆動回路1910Bは、第1の走査線駆動回路1910Aが通常駆動の場合に逆バイアス駆動、第1の走査線駆動回路1910Aが逆バイアス駆動の場合に通常駆動を行うものである。

30

40

【0122】

図20(C)は、1フレーム期間毎に第1の走査線駆動回路1910Aが通常駆動と逆バイアス駆動とを交互に動作させることについて示した図である。上述のように本実施の形態における表示装置は、通常駆動を行っている間に逆バイアス駆動を行うことができる。そのため、画素部での画像の表示を中断することなくトランジスタの閾値電圧を補正し、表示装置の信頼性を高めることができる。

【0123】

図20(D)は、nフレーム期間(nは自然数)毎に第1の走査線駆動回路1910Aが通常駆動と逆バイアス駆動とを交互に動作させることについて示した図である。本実施の形態で示す表示装置は、図20(C)とは異なり、図20(D)に示すように複数のフレ

50

ーム期間毎に通常駆動と逆バイアス駆動を交互に行うものであってもよい。そして、上述のように本実施の形態における表示装置は、通常駆動を行っている間に逆バイアス駆動をおこなうことができる。そのため、画素部での画像の表示を中断することなくトランジスタの閾値電圧を補正し、表示装置の信頼性を高めることができる。

【0124】

図21(A)に、別途形成された信号線駆動回路1920を、画素部1900、第1の走査線駆動回路1910A及び第2の走査線駆動回路1910Bが形成された基板1940に実装している表示装置の一形態を示す。なお実際には、画素部1900を基板1940との間に挟むようにもう一つの基板を設けるが、画素部1900、第1の走査線駆動回路1910A、第2の走査線駆動回路1910Bの配置を明確にするために、図21(A)では敢えてもう一つの基板が省略された形態を図示する。

10

【0125】

画素部1900、信号線駆動回路1920、第1の走査線駆動回路1910A、第2の走査線駆動回路1910B、それぞれ電源の電圧、各種信号等が、FPC1941を介して供給される。また第1の閾値制御回路1930Aと、第2の閾値制御回路1930Bと、第1の電源制御回路1931Aと、第2の電源制御回路1931Bと、走査線駆動制御回路1932と、第1の走査線駆動回路1910Aと、第2の走査線駆動回路1910Bとは、FPC1941を介して電氣的に接続されている。図21(A)において、信号線駆動回路1920は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトランジスタ、またはSOIを用いたトランジスタを有していても良い。

20

【0126】

なお、信号線駆動回路1920を実装する際、必ずしも信号線駆動回路1920が形成された基板を、画素部1900が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図21(B)に、画素部1900、第1の走査線駆動回路1910A、及び第2の走査線駆動回路1910Bが形成された基板1950に、別途形成された信号線駆動回路1920がFPC1951上に貼り合わせるように実装されている、表示装置の一形態を示す。なお実際には、画素部1900を基板1950との間に挟むようにもう一つの基板を設けるが、画素部1900、第1の走査線駆動回路1910A、第2の走査線駆動回路1910B、信号線駆動回路1920の配置を明確にするために、図21(B)では敢えてもう一つの基板が省略された形態を図示する。画素部1900、信号線駆動回路1920、第1の走査線駆動回路1910A、第2の走査線駆動回路1910Bには、それぞれ電源の電圧、各種信号等が、FPC1951を介して供給される。また第1の閾値制御回路1930Aと、第2の閾値制御回路1930Bと、第1の電源制御回路1931Aと、第2の電源制御回路1931Bと、走査線駆動制御回路1932と、第1の走査線駆動回路1910Aと、第2の走査線駆動回路1910Bとは、FPC1951を介して電氣的に接続されている。図21(B)において、信号線駆動回路1920は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトランジスタ、またはSOIを用いたトランジスタを有していても良い。

30

【0127】

また信号線駆動回路の一部を、画素部1900、第1の走査線駆動回路1910A、及び第2の走査線駆動回路1910Bと同じ基板上に形成し、残りを別途形成して実装するようにしても良い。画素部1900、第1の走査線駆動回路1910A、及び第2の走査線駆動回路1910Bと共に、信号線駆動回路1920が有する第1のラッチ1922、第2のラッチ1923が形成されている基板1960に、別途形成した信号線駆動回路1920のシフトレジスタ1921が実装されている、表示装置の一形態を図21(C)に示す。なお実際には、画素部1900を基板1960との間に挟むようにもう一つの基板を設けるが、画素部1900、第1の走査線駆動回路1910A、第2の走査線駆動回路1910B、信号線駆動回路1920の配置を明確にするために、図21(C)では敢えてもう一つの基板が省略された形態を図示する。画素部1900、信号線駆動回路1920、第1の走査線駆動回路1910A、第2の走査線駆動回路1910Bには、それぞれ電

40

50

源の電圧、各種信号等が、F P C 1 9 6 1 を介して供給される。また第 1 の閾値制御回路 1 9 3 0 A と、第 2 の閾値制御回路 1 9 3 0 B と、第 1 の電源制御回路 1 9 3 1 A と、第 2 の電源制御回路 1 9 3 1 B と、走査線駆動制御回路 1 9 3 2 と、第 1 の走査線駆動回路 1 9 1 0 A と、第 2 の走査線駆動回路 1 9 1 0 B とは、F P C 1 9 6 1 を介して電氣的に接続されている。図 2 1 (C) において、信号線駆動回路 1 9 2 0 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いたトランジスタ、または S O I を用いたトランジスタを有していても良い。

【 0 1 2 8 】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知の C O G 方法やワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 2 1 (A) 乃至 (C) に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

10

【 0 1 2 9 】

駆動回路などの集積回路を別途形成して基板に実装することで、全ての回路を画素部と同じ基板上に形成する場合に比べて、歩留まりを高めることができ、また各回路の特性に合わせたプロセスの最適化を容易に行なうことができる。

【 0 1 3 0 】

なお本発明の表示装置は、例えば液晶表示装置、有機発光素子 (O L E D) に代表される発光素子を各画素に備えた発光装置、D M D (D i g i t a l M i c r o m i r r o r D e v i c e)、P D P (P l a s m a D i s p l a y P a n e l)、F E D (F i e l d E m i s s i o n D i s p l a y) 等、アクティブマトリクス型の表示装置がその範疇に含まれる。またパッシブマトリクス型の表示装置も含まれる。

20

【 0 1 3 1 】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することができる。

【 実施例 1 】

【 0 1 3 2 】

本実施例では、本発明の表示装置が有する信号線駆動回路の、より具体的な構成について説明する。

【 0 1 3 3 】

図 1 0 に、信号線駆動回路の回路図を一例として示す。図 1 0 に示す信号線駆動回路は、シフトレジスタ 5 0 1 と、第 1 のラッチ 5 0 2 と、第 2 のラッチ 5 0 3 と、レベルシフタ 5 0 4 と、バッファ 5 0 5 とを有している。

30

【 0 1 3 4 】

シフトレジスタ 5 0 1 は、複数のディレイ型フリップフロップ (D F F) 5 0 6 を有している。そしてシフトレジスタ 5 0 1 は、入力されたスタートパルス信号 S S P 及びクロック信号 S C L K に従って、順次パルスがシフトしたタイミング信号を生成し、後段の第 1 のラッチ 5 0 2 に入力する。

【 0 1 3 5 】

第 1 のラッチ 5 0 2 は複数の記憶回路 (L A T) 5 0 7 を有している。そして第 1 のラッチ 5 0 2 は、入力されたタイミング信号のパルスに従って、ビデオ信号を順にサンプリングし、記憶回路 5 0 7 にサンプリングしたビデオ信号のデータを書き込む。

40

【 0 1 3 6 】

第 2 のラッチ 5 0 3 は複数の記憶回路 (L A T) 5 0 8 を有する。記憶回路 5 0 8 の数はそれぞれ、画素部における 1 ラインの画素数と同じか、それよりも多いことが望ましい。

【 0 1 3 7 】

第 1 のラッチ 5 0 2 において記憶回路 5 0 7 に書き込まれたビデオ信号のデータは、第 2 のラッチ 5 0 3 に入力されるラッチ信号 L S のパルスに従って、第 2 のラッチ 5 0 3 が有する記憶回路 5 0 8 に書き込まれ、保持される。そして記憶回路 5 0 8 において保持されているデータは、後段のレベルシフタ 5 0 4 にビデオ信号として出力される。

50

【 0 1 3 8 】

レベルシフタ 5 0 4 は、入力されたビデオ信号の電圧の振幅を制御し、後段のバッファ 5 0 5 に出力する。入力されたビデオ信号は、バッファ 5 0 5 において波形が整形された後、信号線に出力される。

【 0 1 3 9 】

本実施例は、上記実施の形態と適宜組み合わせる実施することができる。

【 実施例 2 】

【 0 1 4 0 】

本実施例では、本発明の表示装置の 1 つである、アクティブマトリクス型の発光装置が有する画素部の構成について説明する。

10

【 0 1 4 1 】

アクティブマトリクス型の発光装置は、各画素に表示素子に相当する発光素子が設けられている。発光素子は自ら発光するため視認性が高く、液晶表示装置に必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。本実施例では、発光素子の 1 つである有機発光素子 (O L E D : O r g a n i c L i g h t E m i t t i n g D i o d e) を用いた発光装置について説明するが、本発明は他の発光素子を用いた発光装置であっても良い。

【 0 1 4 2 】

O L E D は、電場を加えることで発生するルミネッセンス (E l e c t r o l u m i n e s c e n c e) が得られる材料を含む層 (以下、電界発光層と記す) と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

20

【 0 1 4 3 】

本実施例の発光装置の画素部 6 0 1 の拡大図を図 1 1 (A) に示す。画素部 6 0 1 はマトリクス状に配置された複数の画素 6 0 2 を有している。また S 1 ~ S x は信号線、V 1 ~ V x は電源線、G 1 ~ G y は走査線に相当する。本実施例の場合、画素 6 0 2 は、信号線 S 1 ~ S x と、電源線 V 1 ~ V x と、走査線 G 1 ~ G y とを 1 つずつ有している。

【 0 1 4 4 】

画素 6 0 2 の拡大図を図 1 1 (B) に示す。図 1 1 (B) において、6 0 3 はスイッチング用トランジスタである。スイッチング用トランジスタ 6 0 3 のゲートは、走査線 G j (j = 1 ~ y) に接続されている。スイッチング用トランジスタ 6 0 3 のソースとドレインは、一方が信号線 S i (i = 1 ~ x) に、他方が駆動用トランジスタ 6 0 4 のゲートにそれぞれ接続されている。また電源線 V i (i = 1 ~ x) と、駆動用トランジスタ 6 0 4 のゲートの間には、保持容量 6 0 6 が設けられている。

30

【 0 1 4 5 】

保持容量 6 0 6 はスイッチング用トランジスタ 6 0 3 がオフの時、駆動用トランジスタ 6 0 4 のゲート電圧 (ゲートとソース間の電圧) を保持するために設けられている。なお本実施例では保持容量 6 0 6 を設ける構成を示したが、本発明はこの構成に限定されず、保持容量 6 0 6 を設けなくても良い。

40

【 0 1 4 6 】

また、駆動用トランジスタ 6 0 4 のソースとドレインは、一方が電源線 V i (i = 1 ~ x) に接続され、他方が発光素子 6 0 5 に接続されている。発光素子 6 0 5 は陽極と陰極と、陽極と陰極との間に設けられた電界発光層とを有する。陽極が駆動用トランジスタ 6 0 4 のソースまたはドレインと接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が駆動用トランジスタ 6 0 4 のソースまたはドレインと接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 1 4 7 】

発光素子 6 0 5 の対向電極と、電源線 V i には、それぞれ所定の電圧が与えられている。

50

【 0 1 4 8 】

走査線駆動回路から走査線 $G_1 \sim G_y$ に入力される選択信号のパルスに従って、走査線 G_j が選択される、言い換えると走査線 G_j に対応するラインの画素 602 が選択されると、該ラインの画素 602 において走査線 G_j にゲートが接続されたスイッチング用トランジスタ 603 がオンになる。そして信号線 S_i にビデオ信号が入力されると、該ビデオ信号の電圧に従って駆動用トランジスタ 604 のゲート電圧が決まる。駆動用トランジスタ 604 がオンになった場合、電源線 V_i と発光素子 605 が電氣的に接続され、電流の供給により発光素子 605 が発光する。逆に、駆動用トランジスタ 604 がオフになった場合、電源線 V_i と発光素子 605 は電氣的に接続されないため、発光素子 605 への電流の供給は行われず、発光素子 605 は発光しない。

10

【 0 1 4 9 】

なおスイッチング用トランジスタ 603、駆動用トランジスタ 604 は、 n チャネル型トランジスタでも p チャネル型トランジスタでもどちらでも用いることができる。ただし駆動用トランジスタ 604 のソースまたはドレインが発光素子 605 の陽極と接続されている場合、駆動用トランジスタ 604 は p チャネル型トランジスタであることが望ましい。また、駆動用トランジスタ 604 のソースまたはドレインが発光素子 605 の陰極と接続されている場合、駆動用トランジスタ 604 は n チャネル型トランジスタであることが望ましい。

【 0 1 5 0 】

またスイッチング用トランジスタ 603、駆動用トランジスタ 604 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

20

【 0 1 5 1 】

なお本発明は、図 11 に示した回路構成だけではなく、様々な回路構成を持った画素を有する表示装置に適用できる。本発明の表示装置が有する画素は、例えば、駆動用トランジスタの閾値電圧を補正できる閾値補正型の回路構成や、電流を入力することで駆動用トランジスタの閾値及び移動度を補正できる電流入力型の回路構成などを有していても良い。

【 0 1 5 2 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせる実施することができる。

30

【 実施例 3 】

【 0 1 5 3 】

本実施例では、本発明の表示装置の 1 つである、アクティブマトリクス型の液晶表示装置が有する画素部の構成について説明する。

【 0 1 5 4 】

本実施例の表示装置の画素部 610 の拡大図を図 12 に示す。図 12 において、画素部 610 には複数の画素 611 がマトリクス状に設けられている。また $S_1 \sim S_x$ は信号線、 $G_1 \sim G_y$ は走査線に相当する。本実施例の場合、画素 611 は、信号線 $S_1 \sim S_x$ と、走査線 $G_1 \sim G_y$ とを 1 つずつ有している。

【 0 1 5 5 】

画素 611 は、スイッチング素子として機能するトランジスタ 612 と、表示素子に相当する液晶セル 613 と、保持容量 614 とを有している。液晶セル 613 は、画素電極と、対向電極と、画素電極と対向電極の間に挟持された液晶とを有している。トランジスタ 612 のゲートは走査線 G_j ($j = 1 \sim y$) に接続されており、トランジスタ 612 のソースまたはドレインは、一方が信号線 S_i ($i = 1 \sim x$) に、他方が液晶セル 613 の画素電極に接続されている。また保持容量 614 が有する 2 つの電極は、一方が液晶セル 613 の画素電極に、他方がコモン電極に接続されている。コモン電極は液晶セル 613 の対向電極に接続されていても良いし、他の走査線に接続されていても良い。

40

【 0 1 5 6 】

走査線駆動回路から走査線 $G_1 \sim G_y$ に入力される選択信号のパルスに従って、走査線 G

50

j が選択される、言い換えると走査線 G j に対応するラインの画素 6 1 1 が選択されると、該ラインの画素 6 1 1 において走査線 G j にゲートが接続されたトランジスタ 6 1 2 がオンになる。そして信号線駆動回路から信号線 S i にビデオ信号が入力されると、該ビデオ信号の電圧に従って液晶セル 6 1 3 の画素電極と対向電極の間に電圧が印加される。液晶セル 6 1 3 は、画素電極と対向電極の間に印加される電圧の値に従って、その透過率が決まる。また液晶セル 6 1 3 の画素電極と対向電極の間の電圧は、保持容量 6 1 4 において保持される。

【 0 1 5 7 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせる実施することができる。

10

【実施例 4】

【 0 1 5 8 】

次に、本発明の表示装置の、具体的な作製方法について説明する。なお本実施例では、トランジスタを有する発光装置を例に挙げて説明する。

【 0 1 5 9 】

まず図 1 3 (A) に示すように、基板 7 0 0 上に導電膜を形成した後、該導電膜を所定の形状に加工 (パターニング) することで、導電膜 7 0 1 、 7 0 2 を形成する。基板 7 0 0 として、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレス基板を含む金属基板、またはシリコン基板等の半導体基板を用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、上記基板と比較して耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

20

【 0 1 6 0 】

プラスチック基板として、ポリエチレンテレフタレート (P E T) に代表されるポリエステル、ポリエーテルスルホン (P E S) 、ポリエチレンナフタレート (P E N) 、ポリカーボネート (P C) 、ポリエーテルエーテルケトン (P E E K) 、ポリスルホン (P S F) 、ポリエーテルイミド (P E I) 、ポリアリレート (P A R) 、ポリブチレンテレフタレート (P B T) 、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【 0 1 6 1 】

また導電膜 7 0 1 、 7 0 2 には、タンタル (T a) 、タングステン (W) 、チタン (T i) 、モリブデン (M o) 、アルミニウム (A l) 、銅 (C u) 、クロム (C r) 、ニオブ (N b) 等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

30

【 0 1 6 2 】

また、本実施例では導電膜 7 0 1 、 7 0 2 を 1 つの導電膜で形成しているが、本実施例はこの構成に限定されない。導電膜 7 0 1 、 7 0 2 は 2 つ以上の導電膜を積層することで形成されていても良い。3 つ以上の導電膜を積層する 3 層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。導電膜の形成には C V D 法、スパッタリング法等を用いることが出来る。

40

【 0 1 6 3 】

次に、導電膜 7 0 1 、 7 0 2 を覆うようにゲート絶縁膜 7 0 3 を形成する。ゲート絶縁膜 7 0 3 は、プラズマ C V D 法またはスパッタリング法などを用い、酸化珪素、窒化珪素 ($S i N_x$ 、 $S i_3 N_4$ 等) 、酸化窒化珪素 ($S i O_x N_y$) ($x > y > 0$) 、窒化酸化珪素 ($S i N_x O_y$) ($x > y > 0$) 等を含む膜を、単層で、または積層させて形成することができる。積層する場合には、例えば、導電膜 7 0 1 、 7 0 2 側から酸化珪素膜、窒化珪素膜、酸化珪素膜の 3 層構造とするのが好ましい。

【 0 1 6 4 】

次にゲート絶縁膜 7 0 3 上に、第 1 の半導体膜 7 0 4 を形成する。第 1 の半導体膜 7 0 4

50

の膜厚は20～200nm（望ましくは40～170nm、好ましくは50～150nm）とする。なお第1の半導体膜704は、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01～4.5at om i c %程度であることが好ましい。

【0165】

なお第1の半導体膜704は、公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、基板700として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用し

10

【0166】

例えばレーザ結晶化を用いる場合、レーザ結晶化の前に、レーザに対する第1の半導体膜704の耐性を高めるために、550、4時間の加熱処理を該第1の半導体膜704に対して行なう。そして連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波のレーザ光を照射することで、大粒径の結晶を得ることができる。例えば、代表的には、Nd:YVO₄レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いるのが望ましい。具体的には、連続発振のYVO₄レーザから射出されたレーザ光を非線形光学素子により高調波に変換し、出力10Wのレーザ光を得

20

【0167】

連続発振の気体レーザとして、Arレーザ、Krレーザなどを用いることができる。また連続発振の固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、フォルステライト（Mg₂SiO₄）レーザ、GdVO₄、Y₂O₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザなど

30

【0168】

またパルス発振のレーザとして、例えばArレーザ、Krレーザ、エキシマレーザ、CO₂レーザ、YAGレーザ、Y₂O₃レーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

【0169】

また、パルス発振のレーザ光の発振周波数を10MHz以上とし、通常用いられている数十Hz～数百Hzの周波数帯よりも著しく高い周波数帯を用いてレーザ結晶化を行なっても良い。パルス発振でレーザ光を第1の半導体膜704に照射してから第1の半導体膜704が完全に固化するまでの時間は数十ns～数百nsとされている。よって

40

【0170】

なおレーザ結晶化は、連続発振の基本波のレーザ光と連続発振の高調波のレーザ光とを並

50

行して照射するようにしても良いし、連続発振の基本波のレーザ光とパルス発振の高調波のレーザ光とを並行して照射するようにしても良い。

【0171】

なお、希ガスや窒素などの不活性ガス雰囲気中でレーザ光を照射するようにしても良い。これにより、レーザ光照射による半導体表面の荒れを抑えることができ、界面準位密度のばらつきによって生じる閾値のばらつきを抑えることができる。

【0172】

上述したレーザ光の照射により、結晶性がより高められた第1の半導体膜704が形成される。なお、予め第1の半導体膜704に、スパッタ法、プラズマCVD法、熱CVD法などで形成した多結晶半導体を用いるようにしても良い。

10

【0173】

また本実施例では第1の半導体膜704を結晶化しているが、結晶化せずに非晶質珪素膜または微結晶半導体膜のまま、後述のプロセスに進んでも良い。非晶質半導体、微結晶半導体を用いたトランジスタは、多結晶半導体を用いたトランジスタよりも作製工程が少ない分、コストを抑え、歩留まりを高くすることができるというメリットを有している。

【0174】

非晶質半導体は、珪素を含む気体をグロー放電分解することにより得ることができる。珪素を含む気体としては、 SiH_4 、 Si_2H_6 が挙げられる。この珪素を含む気体を、水素、酸素及びヘリウムで希釈して用いても良い。

【0175】

20

次に第1の半導体膜704上に、第2の半導体膜705、第3の半導体膜706を順に形成する。第2の半導体膜705は、価電子制御を目的とした不純物元素を意図的に添加しないで形成したものである。この第2の半導体膜705は、一導電型を有し、ソースとして機能するソース領域及びドレインとして機能するドレイン領域を形成するための第3の半導体膜706と、第1の半導体膜704との間に形成することで、バッファ層（緩衝層）的な働きを持っている。従って、弱n型の電気伝導性を持った第1の半導体膜704に対して、第1の半導体膜704と同じ導電型の一導電型を有する第3の半導体膜706を形成する場合には第2の半導体膜705は必ずしも必要ない。しきい値制御をする目的において、p型を付与する不純物元素を添加する場合には、第2の半導体膜705は段階的に不純物濃度を変化させる効果を持ち、接合形成を良好にする上で好ましい形態となる。すなわち、形成されるトランジスタにおいては、チャンネル形成領域と、ソース領域またはドレイン領域との間に形成される低濃度不純物領域（LDD領域）としての機能を持たせることが可能となる。

30

【0176】

一導電型を有する第3の半導体膜706はnチャンネル型のトランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、珪素を含む気体に PH_3 などの不純物気体を加えれば良い。第2の半導体膜705と第3の半導体膜706は、第1の半導体膜704と同様に、非晶質半導体であっても良いし、多結晶半導体であっても良い。また半導体は珪素だけではなくシリコンゲルマニウムも用いることができる。

【0177】

40

以上、ゲート絶縁膜703から一導電型を有する第3の半導体膜706までは、大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、トランジスタ特性のばらつきを低減することができる。

【0178】

次に図13(B)に示すように、マスク707を形成し、第1の半導体膜704、第2の半導体膜705、一導電型を有する第3の半導体膜706を所望の形状に加工（パターニング）して、島状に分離する。

【0179】

次に図13(C)に示すように、マスク707を除去した後、第2導電膜708を形成す

50

る。第2導電膜708はアルミニウム、またはアルミニウムを主成分とする導電性材料で形成するが、半導体膜と接する側の層をチタン、タンタル、モリブデン、タングステン、銅またはこれらの元素の窒化物で形成した積層構造としても良い。例えば1層目がTaで2層目がW、1層目が窒化タンタルで2層目がAl、1層目が窒化タンタルで2層目が銅、1層目がチタンで2層目がアルミニウムで3層目がチタンといった組み合わせとしてもよい。また1層目と2層目のいずれか一方にAgPdCu合金を用いても良い。タングステン、アルミニウムとシリコンの合金(Al-Si)、窒化タンタルを順次積層した3層構造としてもよい。タングステンの代わりに窒化タングステンを用いてもよいし、アルミニウムとシリコンの合金(Al-Si)に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、窒化タンタルに代えてチタンを用いてもよい。アルミニウムには耐熱性を向上させるためにチタン、シリコン、スカンジウム、ネオジム、銅などの元素を0.5~5原子%添加させても良い。

【0180】

次に図14(A)に示すようにマスク709を形成する。マスク709は第2導電膜708をパターニングすることでソース領域またはドレイン領域と接続する配線を形成するためのマスクであり、同時に一導電型を有する第3の半導体膜706を取り除きチャンネル形成領域を形成するためのエッチングマスクとして併用されるものである。アルミニウムまたはこれを主成分とする導電膜のエッチングは BCl_3 、 Cl_2 などの塩化物気体を用いて行なえば良い。このエッチング加工により、第2導電膜708から配線710~713を形成する。また、チャンネル形成領域を形成するためのエッチングには SF_6 、 NF_3 、 CF_4 などのフッ化物気体を用いてエッチングを行なうが、この場合には下地となる第1の半導体膜704とのエッチング選択比をとれないので、処理時間を適宜調整して行なうこととなる。以上のようにして、チャンネルエッチ型のトランジスタの構造を形成することができる。

【0181】

次にマスク709を除去した後、図14(B)に示すようにチャンネル形成領域の保護を目的とした絶縁膜714を、窒化珪素膜で形成する。この窒化珪素膜はスパッタリング法やグロー放電分解法で形成可能であるが、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜であることが要求される。珪素をターゲットとして、窒素とアルゴンなどの希ガス元素を混合させたスパッタガスで高周波スパッタリングすることで、より緻密な窒化珪素膜を形成することができる。

【0182】

次に図14(C)に示すように、絶縁膜714上に、平坦化を目的とした絶縁膜715を形成する。絶縁膜715は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサン樹脂を含む絶縁膜で形成することが好ましい。シロキサン樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン樹脂は、置換基として、水素の他、フッ素、フルオロ基、有機基(例えばアルキル基、芳香族炭化水素)のうち、少なくとも1種を有していても良い。これらの材料は吸水性を有する。よって、絶縁膜715上に、水分の侵入及び放出を防ぐための絶縁膜716を形成することが好ましい。絶縁膜716としては上述のような窒化珪素膜を適用すれば良い。

【0183】

次に絶縁膜714、絶縁膜715、絶縁膜716をパターニングして、配線713が一部露出するような開口部を形成する。そして該開口部において配線713に接する配線717を形成する。

【0184】

次に図15(A)に示すように、配線717に接するように、陽極718を絶縁膜716上に形成する。本実施例ではスパッタ法を用い、酸化珪素を含むインジウム錫酸化物(ITSO)で導電膜を形成した後、該導電膜をパターニングすることで陽極718を形成する。なおITSOの他、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化イン

10

20

30

40

50

ジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）など、ITO以外の透光性酸化物導電材料を陽極718に用いても良い。

【0185】

ITOを用いる場合、ターゲットとしてITOに酸化珪素が2～10重量%含まれたものを用いることができる。具体的に本実施例では、 In_2O_3 と、 SnO_2 と、 SiO_2 とが85：10：5の重量%の割合で含むターゲットを用い、Arの流量を50sccm、 O_2 の流量を3sccm、スパッタ圧力を0.4Pa、スパッタ電力を1kW、成膜速度30nm/minとし、105nmの膜厚で、陽極718となる導電膜を形成した。

【0186】

導電膜を形成した後、パターニングする前に、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体による拭淨などで研磨しておいても良い。

【0187】

次に、配線717と、陽極718一部とを覆うように、絶縁膜716上に、開口部を有する隔壁719を形成する。隔壁719の開口部において陽極718はその一部が露出している。隔壁719は、有機樹脂膜、無機絶縁膜またはシロキサン系絶縁膜を用いて形成することができる。有機樹脂膜ならば、例えばアクリル、ポリイミド、ポリアミドなど、無機絶縁膜ならば酸化珪素、窒化酸化珪素などを用いることができる。開口部を形成する際に用いるマスクは、液滴吐出法または印刷法で形成することができる。また隔壁719自体を、液滴吐出法または印刷法で形成することもできる。

【0188】

次に本発明では、電界発光層720を形成する前に、隔壁719及び陽極718に吸着した水分や酸素等を除去するために、大気雰囲気下で加熱処理または真空雰囲気下で加熱処理（真空バーク）を行なう。具体的には、基板の温度を200～450、好ましくは250～300で、0.5～20時間程度、真空雰囲気下で加熱処理を行なう。望ましくは 4×10^{-5} Pa以下とし、可能であるならば 4×10^{-6} Pa以下とするのが最も望ましい。そして、真空雰囲気下で加熱処理を行なった後に電界発光層720を形成する場合、電界発光層720を形成する直前まで当該基板を真空雰囲気下に置いておくことで、信頼性をより高めることができる。また真空バークの前または後に、陽極718に紫外線を照射してもよい。

【0189】

次に図15（B）に示すように、陽極718上に電界発光層720を形成する。電界発光層720は、単数または複数の層からなり、各層には有機材料のみならず無機材料が含まれていても良い。電界発光層720におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【0190】

次に、電界発光層720を覆うように陰極721を形成する。陰極721は、一般的に仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属を用いて形成することもできる。また、電子注入性の高い材料を含む層を陰極721に接するように形成することで、アルミニウムや、酸化物導電材料等を用いた、通常の導電膜も用いることができる。

【0191】

陽極718、電界発光層720、陰極721は、隔壁719の開口部において重なり合っており、該重なり合っている部分が発光素子722に相当する。

【0192】

なお発光素子722を形成したら、陰極721上に、絶縁膜を形成しても良い。該絶縁膜は絶縁膜716と同様に、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒

10

20

30

40

50

化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、上記絶縁膜として用いることも可能である。

【0193】

なお図15では、発光素子722から発せられる光が基板700側に照射される構成を示しているが、光が基板700とは反対側に向かうような構造の発光素子としても良い。

【0194】

実際には図15(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(貼り合わせフィルム、紫外線硬化樹脂フィルム等)や透光性のカバー材でパッケージング(封入)することが好ましい。その際、カバー材の内部を不活性雰囲気とする、または内部に吸湿性材料(例えば酸化バリウム)を配置すると、発光素子の信頼性が向上する。

【0195】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせ実施することができる。

【実施例5】

【0196】

本実施例では、本発明の表示装置の一つである発光装置を例に挙げ、その外観について図16を用いて説明する。図16(A)は、第1の基板上に形成されたトランジスタ及び発光素子を、第1の基板と第2の基板の間にシール材で封止したパネルの上面図であり、図16(B)は、図16(A)のA-A'における断面図に相当する。

【0197】

第1の基板4001上に設けられた画素部4002と、信号線駆動回路4003と、走査線駆動回路4004とを囲むように、シール材4020が設けられている。また画素部4002、信号線駆動回路4003及び走査線駆動回路4004の上に、第2の基板4006が設けられている。よって画素部4002、信号線駆動回路4003及び走査線駆動回路4004は、第1の基板4001と第2の基板4006の間において、シール材4020により、充填材4007と共に密封されている。

【0198】

また第1の基板4001上に設けられた画素部4002、信号線駆動回路4003及び走査線駆動回路4004は、それぞれトランジスタを複数有している。図16(B)では、信号線駆動回路4003に含まれるトランジスタ4008と、画素部4002に含まれる駆動用トランジスタ4009及びスイッチング用トランジスタ4010とを例示している。

【0199】

また発光素子4011は、駆動用トランジスタ4009のソース領域またはドレイン領域と接続されている配線4017の一部を、その画素電極として用いている。また発光素子4011は、画素電極の他に対向電極4012と電界発光層4013を有している。なお発光素子4011の構成は、本実施例に示した構成に限定されない。発光素子4011から取り出す光の方向や、駆動用トランジスタ4009の極性などに合わせて、発光素子4011の構成は適宜変えることができる。

【0200】

また信号線駆動回路4003、走査線駆動回路4004または画素部4002に与えられる各種信号及び電圧は、図16(B)に示す断面図では図示されていないが、引き出し配線4014及び4015を介して、接続端子4016から供給されている。また閾値制御回路または電源制御回路から走査線駆動回路4004に、引き出し配線4014及び4015を介して逆方向バイアスの電圧が与えられる。

【0201】

本実施例では、接続端子4016が、発光素子4011が有する対向電極4012と同じ導電膜から形成されている。また、引き出し配線4014は、配線4017と同じ導電膜

10

20

30

40

50

から形成されている。また引き出し配線 4015 は、駆動用トランジスタ 4009、スイッチング用トランジスタ 4010、トランジスタ 4008 がそれぞれ有するゲート電極と、同じ導電膜から形成されている。

【0202】

接続端子 4016 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

【0203】

なお、第 1 の基板 4001、第 2 の基板 4006 として、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。但し、発光素子 4011 からの光の取り出し方向に位置する第 2 の基板 4006 は、透光性を有していなければならない。よって第 2 の基板 4006 は、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いることが望ましい。

10

【0204】

また、充填材 4007 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができる。本実施例では充填材 4007 として窒素を用いる例を示している。

【0205】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

【実施例 6】

20

【0206】

本発明の表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD: Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などが挙げられる。これら電子機器の具体例を図 17 に示す。

【0207】

図 17 (A) は携帯電話であり、本体 2101、表示部 2102、音声入力部 2103、音声出力部 2104、操作キー 2105 を有する。表示部 2102 に本発明の表示装置を用いることで、信頼性の高い携帯電話が得られる。

30

【0208】

図 17 (B) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609、接眼部 2610 等を有する。表示部 2602 に本発明の表示装置を用いることで、信頼性の高いビデオカメラが得られる。

【0209】

図 17 (C) は映像表示装置であり、筐体 2401、表示部 2402、スピーカー部 2403 等を有する。表示部 2402 に本発明の表示装置を用いることで、信頼性の高い映像表示装置が得られる。なお、映像表示装置には、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの、映像を表示するための全ての映像表示装置が含まれる。

40

【0210】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0211】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせて実施することができる。

【図面の簡単な説明】

【0212】

50

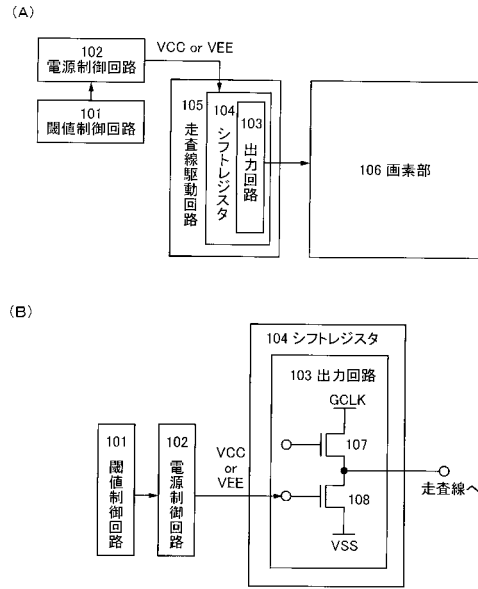
【図１】本発明の表示装置の構成を示すブロック図。	
【図２】閾値制御回路の構成を示すブロック図。	
【図３】順方向バイアスを印加する時間に対する閾値電圧の変化を示すグラフと、逆方向バイアスを印加する時間に対する閾値電圧の変化を示すグラフ。	
【図４】走査線駆動回路の構成を示す図。	
【図５】パルス出力回路の構成を示す図。	
【図６】パルス出力回路のタイミングチャート。	
【図７】パルス出力回路の構成を示す図。	
【図８】本発明の表示装置の構成を示すブロック図。	
【図９】本発明の表示装置の外観を示す図。	10
【図１０】信号線駆動回路の構成を示すブロック図。	
【図１１】画素部の構成を示す図。	
【図１２】画素部の構成を示す図。	
【図１３】本発明の表示装置の作製方法を示す図。	
【図１４】本発明の表示装置の作製方法を示す図。	
【図１５】本発明の表示装置の作製方法を示す図。	
【図１６】本発明の表示装置の上面図及び断面図。	
【図１７】本発明の表示装置を用いた電子機器の図。	
【図１８】出力回路の回路図及び出力回路のタイミングチャート。	
【図１９】本発明の表示装置の構成を示すブロック図。	20
【図２０】本発明の表示装置の動作について説明する図。	
【図２１】本発明の表示装置の外観を示す図。	
【符号の説明】	
【０２１３】	
１０１ 閾値制御回路	
１０２ 電源制御回路	
１０３ 出力回路	
１０４ シフトレジスタ	
１０５ 走査線駆動回路	
１０６ 画素部	30
１０７ トランジスタ	
１０８ トランジスタ	
２００ 閾値制御回路	
２０１ コントローラ	
２０２ 演算回路	
２０３ 計測回路	
２０４ メモリ	
２０５ メモリ	
２１０ 電源制御回路	
２２０ シフトレジスタ	40
２２１ 出力回路	
２２３ トランジスタ	
２２４ トランジスタ	
４００ 画素部	
４１０ 走査線駆動回路	
４１１ シフトレジスタ	
４１２ 出力回路	
４２０ 信号線駆動回路	
４２１ シフトレジスタ	
４２２ ラッチ	50

4 2 3	ラッチ	
4 3 0	閾値制御回路	
4 3 1	電源制御回路	
4 4 0	基板	
4 4 1	F P C	
4 5 0	基板	
4 5 1	F P C	
4 6 0	基板	
4 6 1	F P C	
5 0 1	シフトレジスタ	10
5 0 2	ラッチ	
5 0 3	ラッチ	
5 0 4	レベルシフタ	
5 0 5	バッファ	
5 0 6	ディレイ型フリップフロップ (D F F)	
5 0 7	記憶回路	
5 0 8	記憶回路	
6 0 1	画素部	
6 0 2	画素	
6 0 3	スイッチング用トランジスタ	20
6 0 4	駆動用トランジスタ	
6 0 5	発光素子	
6 0 6	保持容量	
6 1 0	画素部	
6 1 1	画素	
6 1 2	トランジスタ	
6 1 3	液晶セル	
6 1 4	保持容量	
7 0 0	基板	
7 0 1	導電膜	30
7 0 3	ゲート絶縁膜	
7 0 4	半導体膜	
7 0 5	半導体膜	
7 0 6	半導体膜	
7 0 7	マスク	
7 0 8	導電膜	
7 0 9	マスク	
7 1 0	配線	
7 1 3	配線	
7 1 4	絶縁膜	40
7 1 5	絶縁膜	
7 1 6	絶縁膜	
7 1 7	配線	
7 1 8	陽極	
7 1 9	隔壁	
7 2 0	電界発光層	
7 2 1	陰極	
7 2 2	発光素子	
9 0 0	パルス出力回路	
9 1 0	走査方向切替回路	50

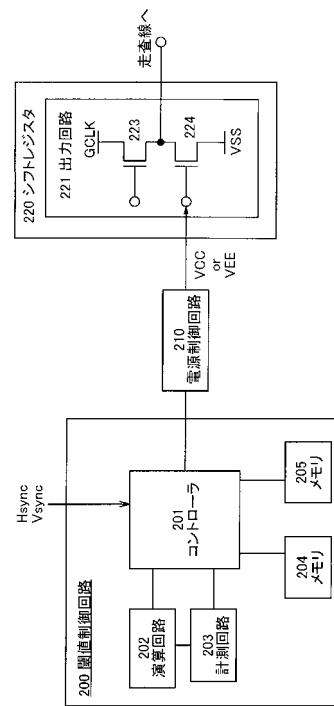
9 1 1	トランジスタ	
9 1 2	トランジスタ	
9 1 3	トランジスタ	
9 1 4	トランジスタ	
9 2 0	振幅補償回路	
9 2 1	トランジスタ	
9 2 2	トランジスタ	
9 3 0	振幅補償回路	
9 3 1	トランジスタ	
9 3 2	トランジスタ	10
9 4 0	出力回路	
9 4 1	トランジスタ	
9 4 2	トランジスタ	
9 5 1	スイッチング素子	
9 5 2	スイッチング素子	
9 5 3	スイッチング素子	
2 1 0 1	本体	
2 1 0 2	表示部	
2 1 0 3	音声入力部	
2 1 0 4	音声出力部	20
2 1 0 5	操作キー	
2 4 0 1	筐体	
2 4 0 2	表示部	
2 4 0 3	スピーカー部	
2 6 0 1	本体	
2 6 0 2	表示部	
2 6 0 3	筐体	
2 6 0 4	外部接続ポート	
2 6 0 5	リモコン受信部	
2 6 0 6	受像部	30
2 6 0 7	バッテリー	
2 6 0 8	音声入力部	
2 6 0 9	操作キー	
2 6 1 0	接眼部	
3 0 0 1	トランジスタ	
3 0 0 2	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	40
4 0 0 6	基板	
4 0 0 7	充填材	
4 0 0 8	トランジスタ	
4 0 0 9	駆動用トランジスタ	
4 0 1 0	スイッチング用トランジスタ	
4 0 1 1	発光素子	
4 0 1 2	対向電極	
4 0 1 3	電界発光層	
4 0 1 4	配線	
4 0 1 5	配線	50

4 0 1 6	接続端子	
4 0 1 7	配線	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	シール材	
1 9 0 0	画素部	
1 9 1 0 A	第 1 の走査線駆動回路	
1 9 1 0 B	第 2 の走査線駆動回路	
1 9 1 1 A	シフトレジスタ	
1 9 1 1 B	シフトレジスタ	10
1 9 1 2 A	出力回路	
1 9 1 2 B	出力回路	
1 9 2 0	信号線駆動回路	
1 9 2 1	シフトレジスタ	
1 9 2 2	ラッチ	
1 9 2 3	ラッチ	
1 9 3 0 A	第 1 の閾値制御回路	
1 9 3 0 B	第 2 の閾値制御回路	
1 9 3 1 A	第 1 の電源制御回路	
1 9 3 1 B	第 2 の電源制御回路	20
1 9 3 2	走査線駆動制御回路	
1 9 4 0	基板	
1 9 4 1	F P C	
1 9 5 0	基板	
1 9 5 1	F P C	
1 9 6 0	基板	
1 9 6 1	F P C	

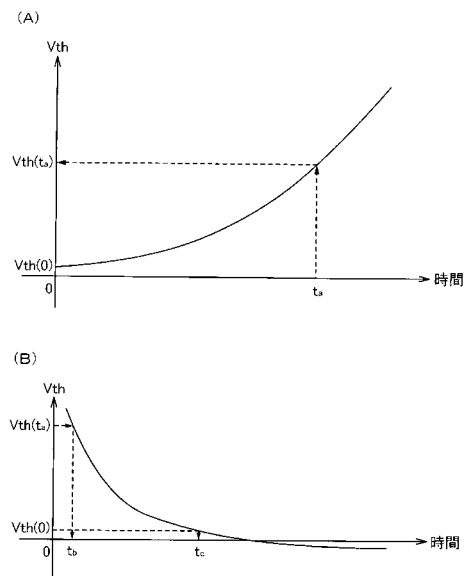
【図 1】



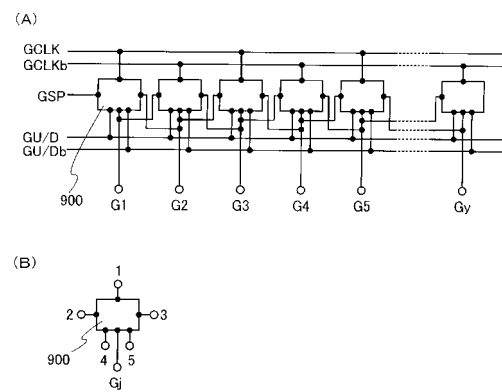
【図 2】



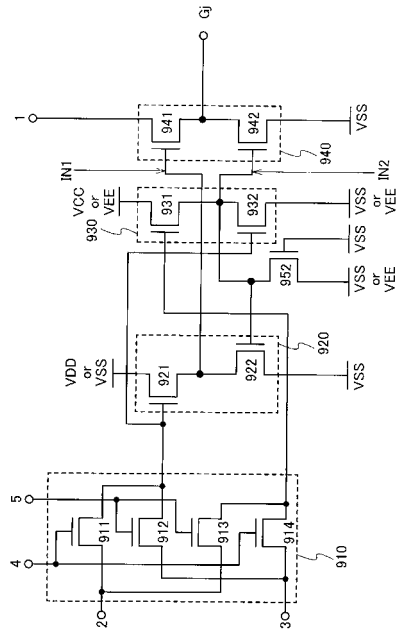
【図 3】



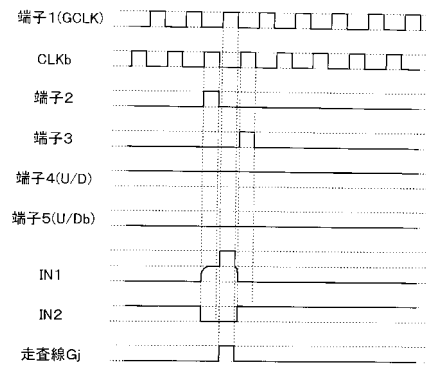
【図 4】



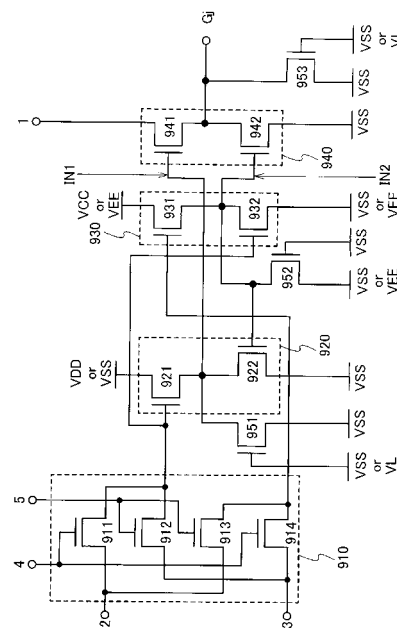
【図 5】



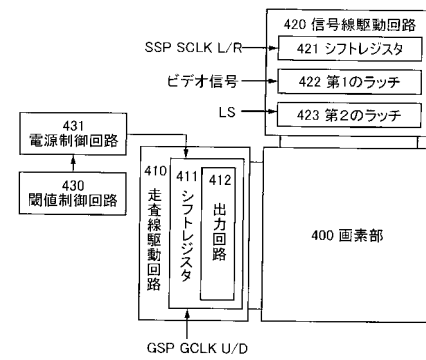
【図 6】



【図 7】

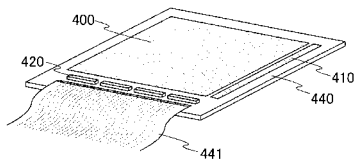


【図 8】

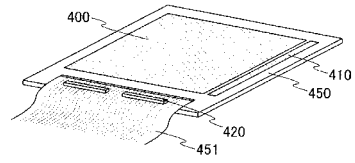


【図 9】

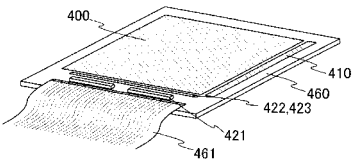
(A)



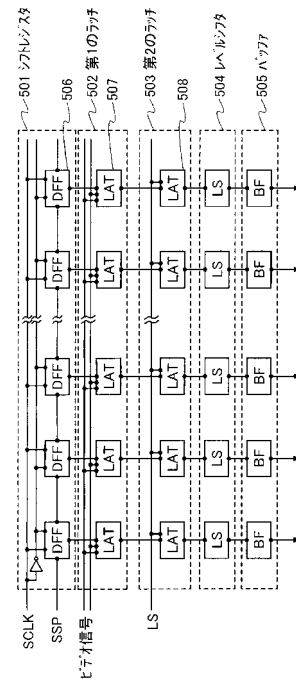
(B)



(C)

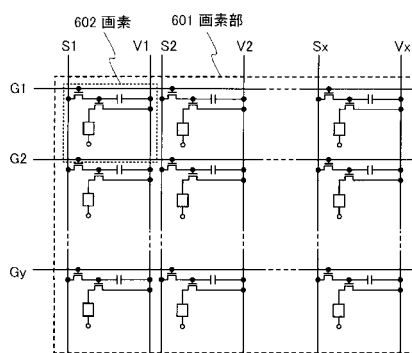


【図 10】

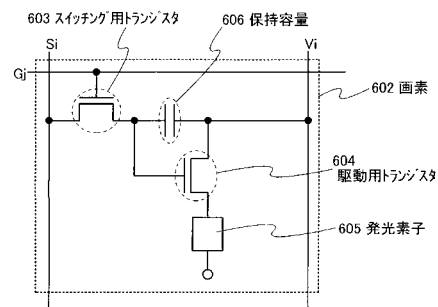


【図 11】

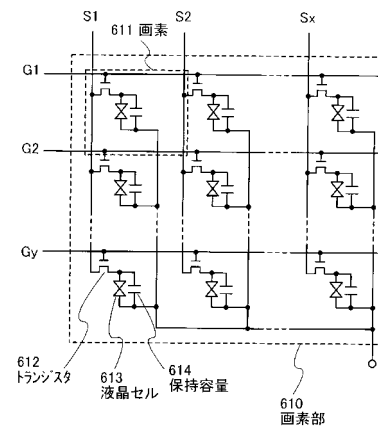
(A)



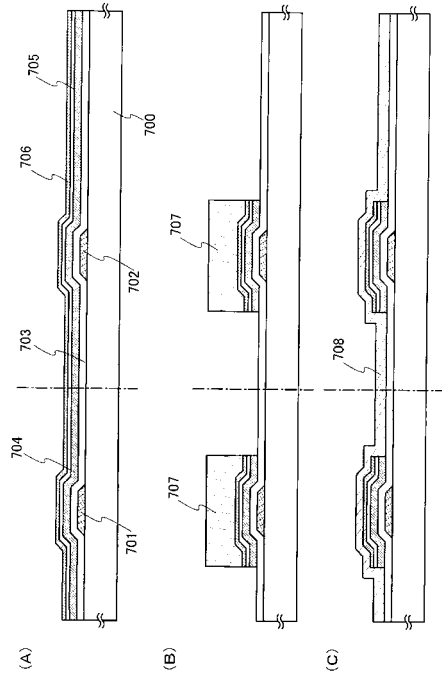
(B)



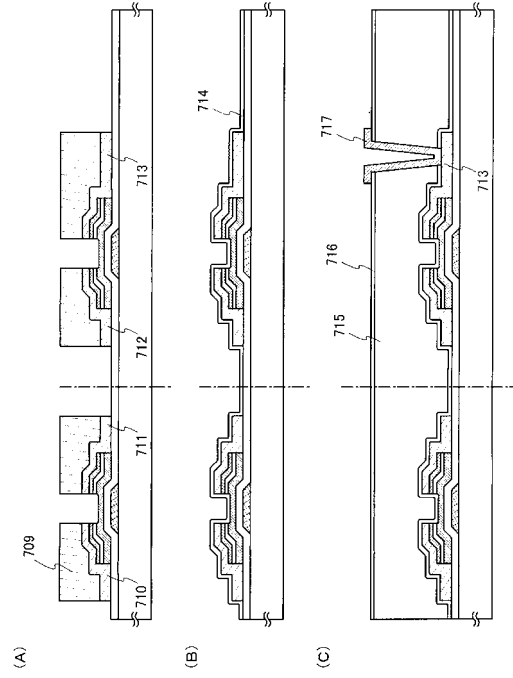
【図 12】



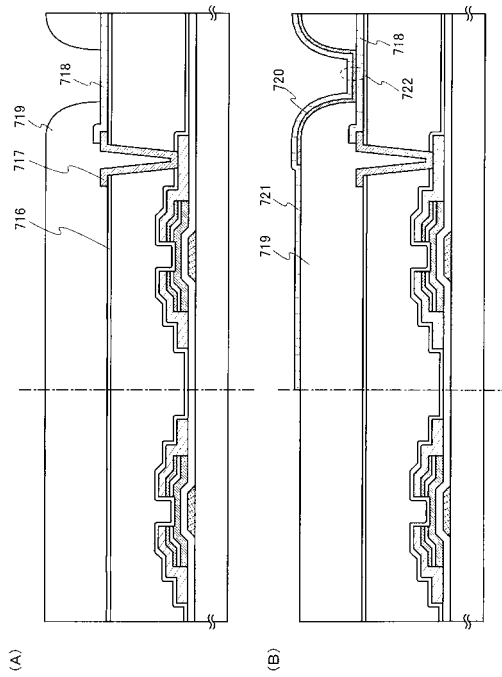
【図 13】



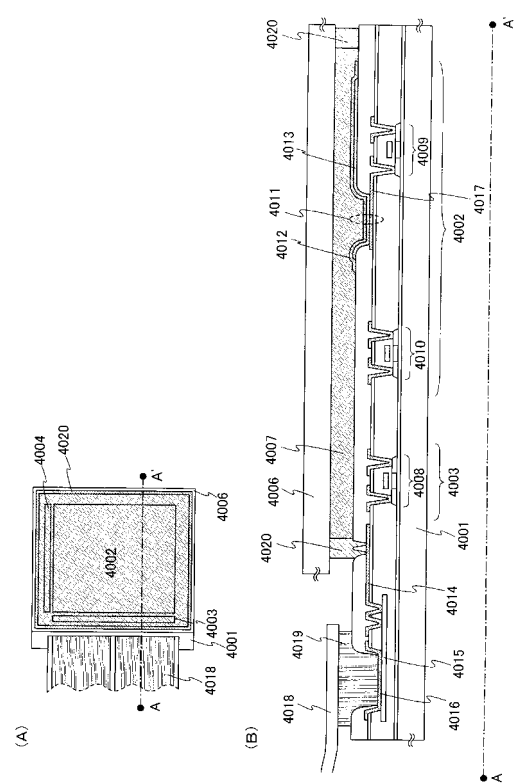
【図 14】



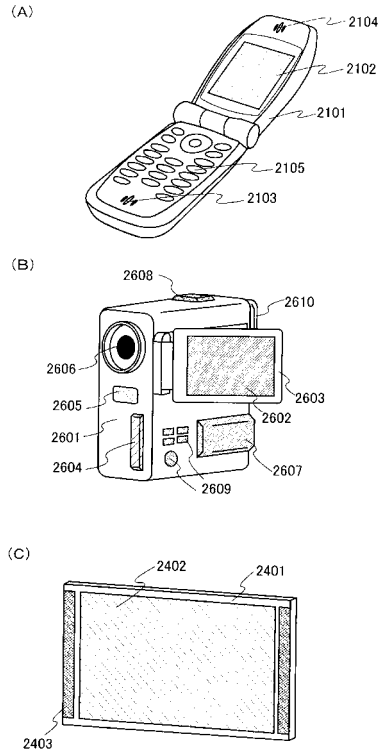
【図 15】



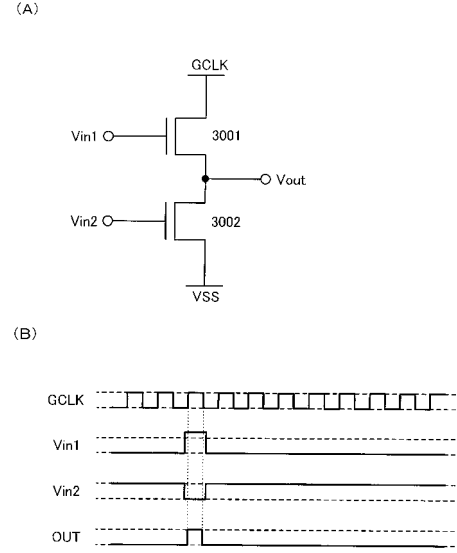
【図 16】



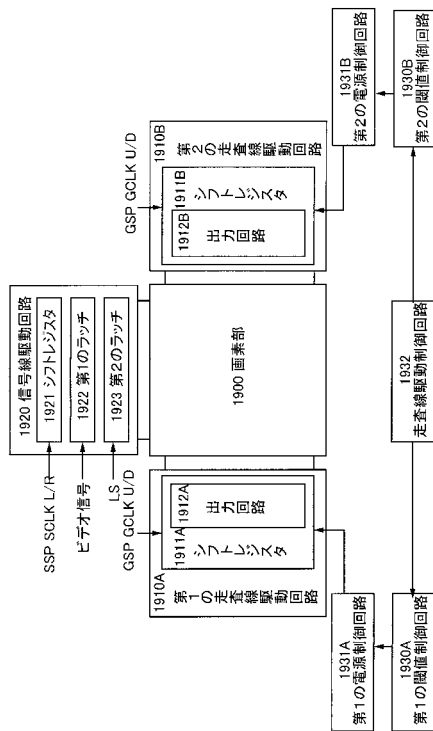
【図 17】



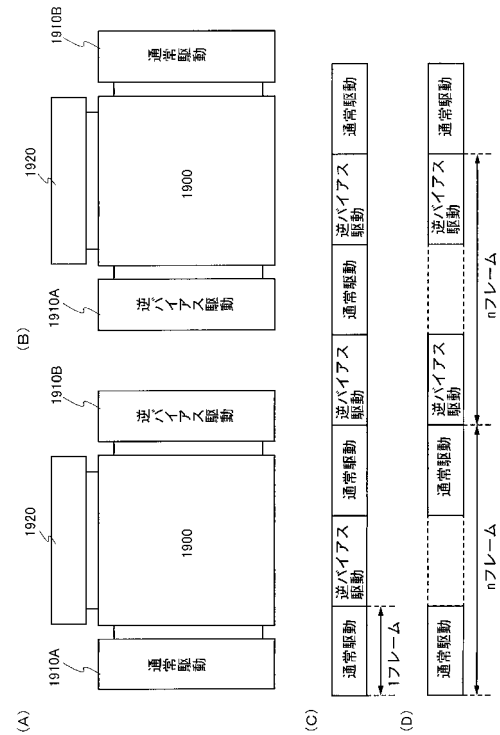
【図 18】



【図 19】

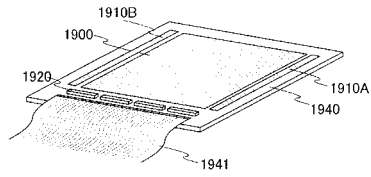


【図 20】

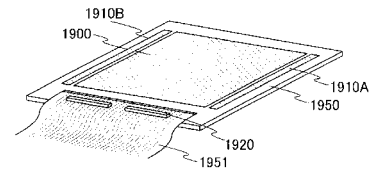


【図 21】

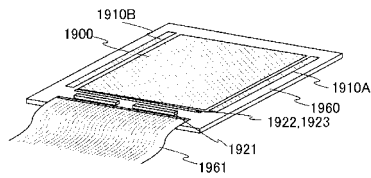
(A)



(B)



(C)



フロントページの続き

(56)参考文献 国際公開第2007/010955(WO, A1)

特開平01-268060(JP, A)

特開平02-022872(JP, A)

特開2007-004167(JP, A)

特開2004-246358(JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133