(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월21일
(11) 등록번호 10-1452791
(24) 등록일자 2014년10월14일

(51) 국제특허분류(Int. Cl.)
H05K 1/14 (2006.01) *H01L 21/60* (2006.01)
(21) 출원번호 10-2008-7010932
(22) 출원일자(국제) 2006년10월11일
심사청구일자 2011년10월11일
(85) 번역문제출일자 2008년05월07일
(65) 공개번호 10-2008-0066773
(43) 공개일자 2008년07월16일
(86) 국제출원번호 PCT/US2006/040020
(87) 국제공개번호 WO 2007/055863
국제공개일자 2007년05월18일
(30) 우선권주장
11/267,975 2005년11월07일 미국(US)
(56) 선행기술조사문헌
JP2003303822 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501
(72) 발명자
웬젤, 로버트 제이.
미국 텍사스 78729, 오스틴, 킹맨 드라이브 13337
레알, 조지 알.
미국 텍사스 78613, 세다 파크, 패소 피노 코브 404
(74) 대리인
장훈

전체 청구항 수 : 총 15 항 심사관 : 신재경

(54) 발명의 명칭 **파인 피치 상호접속부 및 그 제조 방법**

(57) 요 약

파인 피치 접촉부들(fine pitch contacts)(42, 44, 46, 및 48)은 접촉 패드들(contact pads)에서 캡쳐 패드들(capture pads)을 요구하지 않고 접촉부들로 확장하는 트레이스들(traces)(70, 72, 74, 및 76)을 사용하여 이루어진다. 캡쳐 패드들은, 이들이 부착된 라인보다 더 큰 지름을 가지므로 바람직하게도 피해진다. 바람직하게는, 인접 접촉 패드들은 유전체의 동일한 개구(opening)에 존재한다. 접촉 패드들(42, 44, 46, 및 48)로의 트레이스들(70, 72, 74, 및 76)은 라인에 있어서 넓힐 필요가 없고, 라인들은 접촉 패드들에 접촉을 한다. 라인들(70, 72, 74, 및 76)은 접촉 패드들에 도달하기 전에 넓혀질 수 있지만, 접촉 패드들에서, 이들은 실질적으로 라인에 대해 최소 폭이다. 그러므로, 접촉 패드들은 캡쳐 패드들이 사용된 것보다 훨씬 더 낮은 피치에 있을 수 있다.

특허청구의 범위

청구항 1

집적 회로의 접촉 패드들에 접촉시키기 위한 방법에 있어서:

상기 집적 회로와 상기 접촉 패드들 위에 유전층을 제공하는 단계;

상기 유전층에 개방 영역을 생성하고 상기 접촉 패드들을 노출시키기 위해 상기 유전층에 개구(opening)를 형성하는 단계로서, 이에 따라 상기 유전층의 일부가 인접 접촉 패드들 사이에서 제거되는, 상기 유전층에 개구를 형성하는 단계;

상기 개구를 형성한 후, 상기 유전층과 상기 접촉 패드들 위에 시드층(seed layer)을 형성하는 단계;

상기 시드층 위에 포토레지스트층을 형성하는 단계;

상기 접촉 패드들 쪽으로 상기 포토레지스트층에 트레이스 개구(trace opening)들을 형성하기 위해 상기 포토레지스트층을 패턴화하는 단계로서, 상기 포토레지스트층 내의 상기 트레이스 개구들은 폭들을 갖는 복수의 트레이스들을 형성하도록 이용되고, 상기 포토레지스트층의 나머지는 인접 트레이스들 사이의 갭(gap)들에 대응하는 상기 시드층의 제 1 부분을 마스킹(masking)하고 상기 트레이스들의 최소 폭들이 상기 접촉 패드들 위에 발생하는, 상기 포토레지스트층을 패턴화하는 단계;

상기 접촉 패드들에 전기적으로 접촉하도록 상기 포토레지스트층 내의 상기 트레이스 개구들에 금속을 형성하는 단계로서, 상기 금속은 상기 유전층 내의 상기 개방 영역의 전체를 커버(cover)하는 것은 아닌, 상기 금속 형성 단계;

상기 트레이스 개구들의 각각에 형성된 상기 금속이 서로 절연되도록 상기 포토레지스트층의 상기 나머지를 제거하는 단계; 및

상기 시드층의 상기 제 1 부분을 제거하는 단계를 포함하는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 포토레지스트층을 패턴화하는 단계는 상기 포토레지스트층 내의 상기 트레이스 개구들 내의 상기 시드층을 노출시키고, 상기 포토레지스트층의 상기 나머지로 상기 시드층의 상기 제 1 부분을 커버하는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 3

제 1 항에 있어서,

상기 접촉 패드들은 70 마이크로미터보다 크지 않은 피치(pitch)를 갖는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 4

제 1 항에 있어서,

상기 접촉 패드들은 상기 유전층 내의 상기 개방 영역의 주위(periphery)에 따라 존재하는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 시드층은 티타늄, 텅스텐 또는 구리 중 적어도 하나를 포함하는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 6

삭제

청구항 7

제 1 항에 있어서,

상기 포토레지스트층의 상기 나머지는 상기 접촉 패드들의 일부를 커버하는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 8

제 1 항에 있어서,

상기 접촉 패드들은 상기 집적 회로의 인접 주위에 평행한 2개의 라인들을 따라 정렬된 2개의 에지(edge)들을 가지며, 상기 유전층 내의 개구는 상기 집적 회로의 주위에 따른 길이 및 상기 2개의 라인들 내에 있는 폭을 갖는, 집적 회로의 접촉 패드들에 접촉시키기 위한 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1 접촉 패드로의 제 1 도전 라인을 형성하는 방법에 있어서:

제 1 층 내에 있고 상기 제 1 층의 표면에서 노출되는 상기 제 1 접촉 패드를 형성하는 단계;

상기 제 1 층 및 상기 제 1 접촉 패드 위에 놓이는 유전층을 형성하는 단계;

상기 제 1 층 및 상기 제 1 접촉 패드의 일부를 노출시키기 위해 상기 유전층에 제 1 개구를 형성하는 단계로서, 상기 유전층에서의 제 1 개구는 상기 제 1 접촉 패드의 폭보다 큰, 상기 유전층에 제 1 개구를 형성하는 단계;

상기 유전층, 상기 제 1 층 및 상기 제 1 접촉 패드 위에 시드층을 형성하는 단계;

상기 시드층 위에 포토레지스트층을 형성하는 단계;

상기 포토레지스트층에 제 1 개구를 형성하고 상기 포토레지스트층의 나머지 부분을 남기기 위해 상기 포토레지스트층을 패턴화하는 단계로서,

상기 포토레지스트층에서의 제 1 개구는 상기 제 1 접촉 패드에 인접한 영역에서 제 1 트레이스 부분을 가지며, 상기 포토레지스트층에서의 제 1 개구는 상기 제 1 접촉 패드 위에 제 1 접촉 부분을 가지며,

상기 제 1 접촉 부분은 상기 제 1 접촉 패드에 전기적으로 접촉하고,

상기 제 1 트레이스 부분은 상기 포토레지스트층에서의 제 1 개구보다 작은 폭을 가지며,

상기 제 1 접촉 부분은 상기 제 1 트레이스 부분의 폭의 최소치를 초과하지 않는 폭을 갖는, 상기 포토레지스트층을 패턴화하는 단계; 및

상기 제 1 접촉 부분에서 상기 제 1 접촉 패드에 전기적으로 접촉하기 위해 및 상기 제 1 트레이스 부분에 제 1 도전 트레이스를 형성하기 위해, 상기 포토레지스트층에서의 제 1 개구의 전체보다 작은 부분에 도전 재료를 형

성하는 단계로서, 이에 따라 제 1 도전 라인이 형성되는, 상기 도전 재료 형성 단계를 포함하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 14

제 13 항에 있어서,

상기 제 1 접촉 패드에 측면으로 인접하는 제 2 접촉 패드를 또한 노출시키는 연속적인 개구로서 상기 유전층에 제 1 개구를 형성하는 단계; 및

상기 제 2 접촉 패드에 전기적으로 접촉하는 제 2 접촉 부분을 형성하기 위해 상기 포토레지스트층에 제 2 개구를 형성하는 단계로서, 상기 제 1 접촉 패드에 전기적으로 접촉하는 상기 제 1 접촉 부분의 아무런 확장도 요구되지 않고, 상기 제 2 접촉 패드에 전기적으로 접촉하는 상기 제 2 접촉 부분의 아무런 확장도 요구되지 않는, 상기 포토레지스트층에 제 2 개구를 형성하는 단계를 더 포함하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 15

제 13 항에 있어서,

상기 포토레지스트층을 패턴화하는 단계는, 상기 포토레지스트층에서의 제 1 개구 내의 상기 시드층을 노출시키고 상기 포토레지스트층의 상기 나머지 부분으로 상기 시드층의 제 1 부분을 커버하고,

상기 포토레지스트층의 상기 나머지 부분을 제거하는 단계; 및

상기 시드층의 상기 제 1 부분을 제거하는 단계를 더 포함하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 16

제 13 항에 있어서,

상기 시드층은 티타늄, 텅스텐, 및 구리를 포함하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 17

제 13 항에 있어서,

상기 제 1 트레이스 부분은 상기 유전층에서의 제 1 개구의 측면에 수직으로 위치되는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 18

제 14 항에 있어서,

상기 제 1 및 제 2 접촉 패드들은 70 마이크로미터보다 크지 않은 피치로 분리되는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 19

제 13 항에 있어서,

상기 제 1 접촉 패드 및 상기 제 1 도전 트레이스 위에 놓이는 제 2 유전층을 형성하는 단계를 더 포함하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

청구항 20

제 14 항에 있어서,

상기 제 1 및 제 2 접촉 패드들은 집적 회로의 주위에 따라 존재하는, 제 1 접촉 패드로의 제 1 도전 라인 형성 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체들에 관한 것이고, 더 구체적으로는, 전자 접속들을 위한 반도체 상호접속(interconnection) 기술에 관한 것이다.

배 경 기 술

[0002] 집적 회로는 복수 패드들(pads)을 포함한다. 집적 회로의 일부 어플리케이션들은 집적 회로 상에, 유전층과 같은, 박막을 배치와 관련된다. 박막이 존재할 때, 집적 회로의 복수 패드들은 오버라잉(overlying) 레벨 내의 위치에서 거기로의 상호접속을 요구한다. 이들 패드들은 종종 가능한 서로 근접하게 배치된다. 이들 상호접속부들은 일반적으로 비아들(vias)로서 지칭된다. 비아는 전기 도전체로 채워지거나 혹은 도금(plating)되는 유전층의 홀(hole)으로부터 형성되어, 랜드(land)로서 알려진 저 레벨 패드로부터 비아 캡쳐(capture) 패드로서 알려진 고 레벨 패드로 접촉이 만들어지도록 한다. 그러므로, 랜드와 캡쳐 패드는 정렬된 중심들을 갖는다. 제조 설계 규칙들은, 캡쳐 패드가 비아의 개구(opening)보다 적어도 사전설정된 더 큰 크기를 갖도록 요구한다. 더 큰 크기는 캡쳐 패드가 모든 방향으로 비아의 개구 이상으로 확장할 것을 요구한다. 캡쳐 패드의 크기는 그러므로 유전체 개구의 크기보다 실질적으로 크다. 또한, 오버라잉 캡쳐 패드들 간에 최소 거리가 요구되어, 이것은 캡쳐 패드들 간에 그리고 결과적으로 랜드들 간에 최소 피치(pitch)를 더 증가시킨다.

[0003] 예로서 도 1에, 상호접속부들을 갖는 알려진 집적 회로(10)가 도시된다. 패드(12)는 다른 패드(14)에 근접하여 위치된다. 한 형태에서, 패드(12)와 패드(14)의 각각은 랜드로서 구현될 수 있다. 패드(12)와 패드(14)를 오버라잉하는것은 유전층(22)이다. 유전층(22)을 오버라잉하는 것은, 도전 트레이스(trace) 혹은 트레이스들(traces)로서 기능하는 금속 상호접속부(16) 그리고 금속 상호접속부(18)이다. 금속 상호접속부(16)는 지름 d1을 갖는 홀 혹은 비아를 통해 패드(14)에 더 접속되는 캡쳐 패드(17)에 접속된다. 유사하게, 상호접속부(18)는 지름 d1보다 매우 더 큰 지름 d2를 갖는 캡쳐 패드(19)를 통해 캡쳐되는 지름 d1을 갖는 비아 또는 홀을 통해 랜드(12)로 접속된다.

[0004] 캡쳐 패드(17)는 L1로서 레이블링된 요구된 최소 길이만큼 캡쳐 패드(19)로부터 분리된다. 결과적으로, 캡쳐 패드(17)와 캡쳐 패드(19)의 중심들 사이의 거리는 L2이다. 단점은, L2가 집적 회로(10)의 측면을 따라 패드들의 총수를 제한한다는 점이다. 환언하면, 종래 기술에서, 거리 L2는, 집적 회로가 더 소형의 랜드 패드 피치를 갖는 것을 방지하는 제한 인자이다.

[0005] 도 2에, 도 1의 라인 2-2을 따라 취해진 캡쳐 패드(19), 다이 패드(die pad;12), 및 연관된 비아의 단면도가 도시된다. 패드(12)는 집적 회로(10)의 기판(20) 내에 위치된다. 기판(20)이 벌크(bulk) 혹은 몸체층(body layer) 외의 집적 회로(10) 내의 다양한 레벨들에서 구현될 수 있음이 이해되어야 한다. 유전층(22)은 기판(20)을 오버라잉하고, 비아를 정의하기 위해 폭 d1의 개구를 갖는다. 유전층(22)을 오버라잉하는 것은, 비아 캡쳐 패드(19)를 교차하고 전기적으로 패드(19)에 접속하는 금속 상호접속부(18)이다.

실 시 예

[0011] 도 3에 본 발명에 따른 상호접속부를 갖는 집적 회로(40)가 도시된다. 이 도시 형태에서, 다이 패드(42), 다이 패드(44), 다이 패드(46), 및 다이 패드(48)와 같은, 복수의 패드들이 제공된다. 다이 패드가 접촉 패드의 한 형태임을 이해해야 한다. 본 명세서에 설명된 구조들은 다이보다는 표면 상에서 반도체 또는 전자 소자에 용이하게 구현될 수 있다. 예를 들어, 본 명세서에 설명된 구조들은 다이를 오버라잉하는 복수 층들을 오버라잉하는 층 상에 구현될 수 있거나, 또는 인쇄된 회로 보드 상에 구현될 수 있다. 다이 패드들(42, 44, 46, 및 48)의 각각은, 집적 회로(10)를 신뢰성이 있게 제조하기 위해 서로 측면에 위치되고 물리적으로 가능한 한 서로 근접하게 위치된다. 한 형태에서, 다이 패드들(42, 44, 46, 및 48)은 100 미크론(microns) 이하인 피치 혹은 분리 거리를 갖는다. 이 도시된 형태에서, 다이 패드들(42, 44, 46, 및 48)은 집적 회로(40)의 변(edge)에 인접하여 위치된다. 그러나, 다이 패드들(42, 44, 46, 및 48)의 배치에 대한 집적 회로(40) 내의 다른 위치들이 선택될 수 있음이 잘 이해되어야 한다. 집적 회로(40) 및 다이 패드들(42, 44, 46, 및 48)의 일부를 오버라잉하는 것은 유전층(50)이다. 이 도시된 형태에서, 다이 패드들(42, 44, 46, 및 48)은 집적 회로의 인접 주위에 평행한 2개의 라인들에 정렬된 2개의 변들을 갖는다. 이 도시된 형태에서, 다이 패드들(42, 44, 46, 및 48)은 실질적으로 직사각형이다. 원, 정사각형, 팔각형, 혹은 다른 다각형들을 포함하는 접촉 패드들에 대한 다른 기하학적 형태들이 구현될 수 있슴이 이해되어야 한다.

[0012] 도 4에, 라인 4-4를 따라 취해진 다이 패드(46)의 단면도가 도시된다. 다이 패드(46)는 집적 회로(40)의 기판

(52) 내에 형성된다. 다이 패드(46)를 오버라잉하는 것은 유전층(50)이다. 유전층(50)은, 산화물, 질화물, Mitsubishi Gas and Chemical로부터의 BT(Bismaleimide-Triazine), Dow Chemical로부터의 BCB(Bisbenzocyclobutene), Rohm and Haas에 의한 Intervia 8010, 또는 중합체 기반 건성 막 유전체와 같은 다수의 절연성 재료들 중의 임의 것으로부터 만들어질 수 있다. 선택된 재료는 광학적으로 정의가능하거나 가능하지 않을 수 있고, 래미네이션(lamination) 혹은 스핀 코팅(spin coating)과 같은 다양한 기술들에 의해 적용될 수 있다.

[0013] 도 5에 집적 회로(40)의 추가 처리가 도시된다. 트렌치 혹은 개구(54)가 유전층(50)에 형성된다. 개구(54)는 집적 회로의 주위에 따른 길이와 다이 패드들(42, 44, 46, 및 48)이 정렬되는 2개의 라인들 내에 있는 폭을 가진다. 트렌치 혹은 개구(54)는, 예를 들어, 광학적 정의(photodefinition) 혹은 레이저 박리(laser ablation)에 의해 형성될 수 있다.

[0014] 도 6에는 도 5의 라인 6-6을 실질적으로 따라 취해진 집적 회로(40)의 단면도가 도시된다. 이 도시된 형태에서, 개구(54)는 다이 패드(46)의 폭의 단지 일부만을 오버라잉하여 위치된다. 개구(54)의 벽들이 비스듬하게 도시되었지만, 개구(54)의 벽들이 실질적으로 수직이도록 형성될 수 있음을 이해해야 한다.

[0015] 도 7은 집적 회로(40)의 추가 처리를 도시한다. 시드층(seed layer;56)(이로부터 다른 층이 형성되는 층이므로 그렇게 지칭됨)은 개구(54)를 형성한 후에 다이 패드들(42, 44, 46, 및 48)과 유전층(50)을 오버라잉하여 형성된다. 시드층(56)은 대안적으로는 도금(plating)을 위한 버스층으로서 지칭될 수 있다. 시드층(56)은 시드층으로서 적절한 티타늄, 텅스텐, 구리, 티타늄 구리, 티타늄 텅스텐 구리, 혹은 다른 금속 혹은 금속 조합 중의 하나를 피착하여 한 실시예에 형성된다. 다른 형태에서, 시드층(56)은 무전해(electroless) 구리 도금에 의해 형성될 수 있다.

[0016] 도 8은 도 7의 라인 8-8을 실질적으로 따라 취해진 집적 회로(40)의 단면도를 도시한다. 이 도시된 형태에서, 시드층(56)은 유전층(50)의 두께에 비해 박막이다. 시드층(56)은 피착된 블랭킷(blanket)이므로 개구(54)와 또한 유전층(50) 상에 형성된다.

[0017] 도 9는 집적 회로(40)의 추가 처리를 도시한다. 포토레지스트(58)의 막은 집적 회로(40)를 오버라잉하여 그리고 직접 시드층(56)에 형성된다. 한 실시예에서, 포토레지스트(58)는 스핀(spin) 동작 혹은 스프레이 코팅(spray coating)에 의해 형성된다. 다른 형태들에서, 포토레지스트(58)의 박막이 형성될 수 있다.

[0018] 도 10은 도 9의 라인 10-10을 실질적으로 따라 취해진 집적 회로(40)의 단면도를 도시한다. 포토레지스트(58)의 막은 개구(54)를 실질적으로 채우는 것으로서 도시된다. 포토레지스트(58)의 작은 딥(dip) 혹은 리세스(recess) 영역은 개구(54) 상에 직접 존재할 수 있다.

[0019] 도 11은 복수의 트레이스 개구들(60, 62, 64, 및 66)이 포토레지스트(58)를 패턴화하여 형성되는 집적 회로(40)의 추가 처리를 도시한다. 포토레지스트(58)의 패턴화는 각각 다이 패드들(42, 44, 46, 및 48)을 노출시키는 실질적으로 균일한 크기의 트레이스 개구들(60, 62, 64, 및 66)을 생성한다. 상기 패턴화는 각각이 트레이스 개구 폭(68)을 갖는 트레이스 개구들(60, 62, 64, 및 66)을 형성한다. 2개의 인접 트레이스들 사이의 공간으로서 정의된 피치를 최소화하기 위해, 트레이스 개구들(60, 62, 64, 및 66) 각각에 대한 최소 폭이 다이 패드들 위에 한 형태로 생긴다. 개구들(60, 62, 64, 및 66) 각각이 실질적으로 동일한 치수들로 도시되었지만, 개구들(60, 62, 64, 및 68)의 치수들이 다르도록 포토레지스트(58)가 사전설정된 패턴으로 패턴화될 수 있음이 이해되어야 한다. 개구들(60, 62, 64, 및 66)은 개구(54)에 의해 형성되는 트렌치 내의 한 점에서 우측에 종료되는 것으로서 도시된다. 그러나, 개구들(60, 62, 64, 및 66)은 원하면 우측으로 개구(54)를 넘어 확장될 수 있다.

[0020] 도 12는 도 11의 라인 12-12을 따라 취해진 집적 회로(40)의 단면도를 도시한다. 이 도시된 형태에서, 개구(64)는 뷰(view)의 좌측으로부터 개구(54) 내의 한 점까지 확장한다. 한 대안적 형태에서, 개구(64)는 또한 우측으로 개구(54)를 넘어 확장하여, 원하면 도 12의 가장 우측 부분에 유전층(50)과 시드층(56) 위에 개구가 존재하도록 한다. 그러나, 도 12에 도시된 것처럼, 우측의 포토레지스트(58)의 일부는 시드층(56)을 계속 마스킹하기 위해 시드층(56)을 오버라잉하여 그대로 남아 있다.

[0021] 도 13은, 도전 재료가 개구들(60, 62, 64, 및 66) 각각에 형성되어 금속 트레이스들(70, 72, 74, 및 76)과 같은 도전 라인들을 형성하는 집적 회로(40)의 추가 처리를 도시한다. 금속 트레이스들(70, 72, 74, 및 76)은 각각 다이 패드들(42, 44, 46, 및 48)과 직접 접촉하고 금속 트레이스들(70, 72, 74, 및 76) 사이에 시드층(56)에 의해 함께 전기적으로 단락되어 있다. 한 형태에서 이 금속이 구리이지만, 다른 금속들 및 다른 도전 재료들이 형성될 수 있음이 잘 이해되어야 한다. 도시된 처리에서, 금속은 개구들(60, 62, 64, 및 66)에 금속을 도

금하기 위해 시드층(56)을 사용하여 전자 도금에 의해 형성된다. 무전해 도금과 같은, 다른 금속화 처리들이 사용될 수 있슴이 이해되어야 한다.

[0022] 도 14는 도 13의 라인 14-14를 따라 취해진 단면도를 도시한다. 금속 트레이스(74)는 시드층(56)의 일부를 오버라잉하고, 다이 패드(46)와 접촉하기 위해 개구(54)로 확장한다. 금속 트레이스(74)의 두께가 실질적으로 그 길이에 따라 균일함이 주목되어야 한다. 시드층(56)과 금속 트레이스(74) 모두가 도전성이므로, 다이 패드(46)에 전기 접속이 형성된다. 도 13에서와 같이, 시드층(56)이 금속 트레이스들(70, 72, 74, 및 76)을 전기적으로 계속 단락함을 주목한다. 금속 트레이스(74)는 도 14의 좌측으로 확장하여 도시되고, 집적 회로(40)의 동일 레벨 혹은 다른 레벨들(도시 안됨) 상에서 다른 회로(도시 안됨)에 접속하기 위해 더 패턴화될 수 있다. 다른 형태에서, 금속 트레이스(74)는 개구(54)의 우측으로 확장하여 도 14의 우측 상의 유전층(50)의 상단에 놓일 수 있다. 그런 대안적 형태에서, 포토레지스트(58)는 우측 상에서 제거되어 시드층(56) 상에 금속을 형성하도록 한다.

[0023] 도 15는 포토레지스트(58)와 시드층(56)의 나머지가 제거되는 집적 회로(40)의 추가 처리를 도시한다. 이 제거 단계는 금속 트레이스들(70, 72, 74, 및 76) 사이의 시드층(56)을 제거하고, 트레이스들을 격리시키고, 그들의 각각의 다이 패드들에 개별 트레이스 접촉부들을 형성한다. 한 형태에서, 포토레지스트(58)의 나머지는 화학적 스트립핑(stripping) 처리를 사용하여 스트립핑되고, 시드층(56)의 나머지는 에칭된다.

[0024] 도 16은 도 15의 라인 16-16을 따라 실질적으로 취해진 집적 회로(40)의 단면도를 도시한다. 이 도시된 형태에서, 개구(54)는 다이 패드(46)의 사전설정된 부분에 전기적으로 접촉을 하는 금속 트레이스(74)를 도시한다. 이 도시된 형태에서, 포토레지스트(58)가 이전에 있던 다이 패드(46)의 실질적으로 좌측 부분만이 이제 노출된다. 한 대안적 형태에서, 다이 패드(46)의 전체는 다이 패드(46)의 반대측들로(부터) 도전체가 연속되도록 노출된다.

[0025] 도 17은, 모든 금속 트레이스들(70, 72, 74, 및 76), 다이 패드들(42, 44, 46, 및 48)의 노출 부분들, 및 유전층(50)의 일부와 접촉하여 오버라잉하여 유전층(80)이 형성되는 집적 회로(40)의 추가 처리를 도시한다. 유전층(80)은 금속 트레이스들(70, 72, 74, 및 76)을 더 절연하기 위해 기능한다. 이 시점에서, 처리 방법에서, 추가적 회로층들(도시 안됨)이 원하는 회로 기능을 구현하기 위해 추가될 수 있슴이 더 이해되어야 한다. 금속 트레이스들(70, 72, 74, 및 76) 중의 임의 2개 사이의 피치가 도전 트레이스의 중심으로부터 인접 도전 트레이스의 중심으로의 거리임을 주목한다. 그러므로, 도전 트레이스들 각각이 실질적으로 동일한 폭을 가진다고 가정하면, 금속 트레이스들(70, 72, 74, 및 76) 중의 임의 2개 사이의 피치는 2개의 인접 도전 트레이스들 사이의 분리 거리에 한 도전 트레이스의 폭을 합한 것과 같다. 금속 트레이스들(70, 72, 74, 및 76) 중의 임의 것들 사이의 피치는 도 1의 금속 상호접속부들(16 및 18) 사이의 피치보다 실질적으로 더 작다.

[0026] 도 18은, 도 17의 라인 18-18을 따라 취해진 집적 회로 구조(40)의 단면도를 도시한다. 도 18에서, 유전층(80)은 금속 트레이스(74), 다이 패드(46)의 노출 부분, 및 유전층(50)의 일부와 접촉하여 오버라잉한다. 용이하게 볼 수 있는 것처럼, 유전층(80)은 개구(54) 내에 약간 리세스될 수 있다. 종래 평탄화 기술들은 유전층(80)의 노출 표면을 더 평탄화하기 위해 사용될 수 있다.

[0027] 한 형태에서, 도 3 내지 도 18에 도시된 구조들의 피치는 도 1의 집적 회로의 피치의 1/3이다. 이것은 실질적으로 더 회로 소형화를 할 수 있게 하는 다이 공간의 큰 절약이다. 비아의 상단 1/2에 패드가 없는 트렌치 스타일 비아를 사용하여, 2개의 접촉 패드들 사이의 피치에서 큰 감소가 이루어진다.

[0028] 현재까지, 반도체 상호접속과 반도체 상호접속을 만드는 방법이 제공되었슴이 이해되어야 한다. 연속 트렌치가 2개 이상의 패드들에서 제 1 방향으로 형성된다. 제 2 방향에서, 각각의 패드에 대해, 연속적이고, 패드 위에 상승된 레벨로부터(즉, 패드의 평면 밖으로) 저 레벨로 천이하여 이 패드와 접촉하는 도전 스트립(strip) 혹은 금속 트레이스가 형성된다. 이 구조는 또한 원하면 역방향 형태로(즉, 위아래가 회전되어) 사용될 수도 있다. 유전체 개구를 오버라잉하는 도전 라인의 일부가 이 개구의 전체 주위 혹은 영역을 덮을 필요는 없음이 주목되어야 한다.

[0029] 본 명세서에 기재된 방법은 반도체 디바이스에 상호접속을 제조하는 데에 매우 도움이 된다. 예를 들어, 상호접속 구조가 반도체 다이에 부착될 때, 다이의 패드들에 도전 트레이스들을 형성하기 위해 사용되는 툴(tool)에 의한 정렬과 연관되는 다이 트리프트(drift)가 존재할 수 있다. 금속 트레이스들(70, 72, 74, 및 76)의 폭이 이들이 접속되는 다이 패드들의 폭 이하이므로, 다이 드리프트 에러들은, 이 다이 드리프트가 최대 드리프트 값을 초과하지 않은 한, 자동으로 보상된다. 본 명세서에서, 오버라잉 혹은 비아 캡처 패드를 갖기 위해

비아(즉, 접촉될 언더라잉(underlying) 패드를 노출하는 유전체에서 개구)를 요구하지 않는 상호접속 구조가 개시되었다. 유전층의 상단 표면 상의 도전 트레이스들은, 이 도전 트레이스들이 커버(cover) 패드가 없이 개구로 배치되는 평면 밖으로 나오도록 패턴화된다. 도전 트레이스 상호접속부는 집적 회로의 주위 혹은 변을 따라 또는 집적 회로 내의 임의 다른 곳에 배치될 수 있다.

[0030] 상술된 명세서에서, 본 발명은 특정 실시예들을 참조하여 설명되었다. 그러나, 당업자라면, 첨부된 청구범위에 기재된 본 발명의 범위를 벗어나지 않고 다양한 수정들 및 변경들이 만들어질 수 있음을 이해할 것이다. 예를 들어, 금속 트레이스들(70, 72, 74, 및 76)이 트렌치 혹은 개구(54)로의 방향에서 수직으로서 도시되지만, 금속 트레이스들은 개구들(54)에 다른 각도들에 형성될 수 있다. 금속 트레이스들(70, 72, 74, 및 76)이 종래 도금 처리에 의해 형성된 것처럼 설명되지만, 다른 알려진 처리들이 도전 트레이스들을 형성하기 위해 사용될 수 있다. 다이 패드(46)는 다른 어플리케이션들에서 도전 패드로서 구현될 수 있다. 예를 들어, 집적 회로 보드 또는 다른 유형의 기판 상에 패드가 사용될 수 있다. 다양한 유형들의 금속들 및 금속 합금들이 사용될 수 있다. 또한, 도전 에폭시(epoxy)와 같은 다양한 도전 재료들이 사용될 수 있음이 이해되어야 한다. 따라서, 명세서와 도면들은 제한적 관점보다는 설명적 관점에서 고려되어야 하고, 모든 그런 수정들은 본 발명의 범위 내에 포함되도록 의도된다.

[0031] 한 형태에서, 본 명세서에 집적 회로의 접촉 패드들을 접촉하는 방법이 제공된다. 유전층이 집적 회로와 접촉 패드들 위에 제공된다. 유전층의 개구가 접촉 패드들을 노출하기 위해 형성되어, 유전층의 일부는 인접 접촉 패드들 사이에서 제거된다. 시드층은 개구를 형성한 후에 유전층과 접촉 패드들 위에 형성된다. 포토레지스트층은 시드층 위에 형성된다. 포토레지스트층은 접촉 패드들에 포토레지스트층의 남은 부분에 개구들을 형성하도록 패턴화된다. 개구들은 폭들을 갖는 라인들을 형성하고, 포토레지스트층의 남은 부분은 시드층의 제 1 부분을 마스킹한다. 포토레지스트의 남은 부분은 제거되고, 시드층의 제 1 부분이 제거된다.

[0032] 한 형태에서, 포토레지스트층의 패턴화는 개구들에서 시드층을 노출하고, 포토레지스트층의 남은 부분으로 시드층의 제 1 부분을 덮는다. 포토레지스트층의 남은 부분이 제거되고, 시드층의 제 1 부분이 제거된다. 한 형태에서, 접촉 패드들은 70 미크론보다 더 크지 않은 피치를 갖는다.

[0033] 한 형태에서, 접촉 패드들은 집적 회로의 주위를 따라 존재하고, 시드층은 티타늄, 텅스텐, 혹은 구리 중의 적어도 하나를 포함한다. 다른 형태에서, 모든 이들 3개의 금속들은 시드층에서 사용된다.

[0034] 한 형태에서, 라인들에 대한 최소 폭들은 접촉 패드들 위에 나타난다. 다른 형태에서, 포토레지스트층의 남은 부분은 접촉 패드들의 부분을 덮는다. 다른 형태에서, 접촉 패드들은 집적 회로의 인접 주위에 평행한 2개의 라인들을 따라 정렬된 2개의 변들을 가지며, 유전층의 개구는 집적 회로의 주위에 따른 길이와, 2개의 라인들 내에 있는 폭을 갖는다.

[0035] 다른 형태에서, 집적 회로 구조 위에 상호접속 구조가 제공되고, 집적 회로 구조는 복수의 접촉 패드들을 갖는다. 복수의 라인들은 집적 회로 구조 위에 설치되고, 접촉 패드들에 인접한 영역에 트레이스 부분들과 접촉 패드들 위에 접촉 부분들을 갖는다. 접촉 부분들은 접촉 패드들에 전기적으로 접촉을 한다. 트레이스 부분들은 유전층 위에 존재하고, 접촉 패드들은 유전층의 단일 개구에 존재한다. 한 형태에서, 접촉 패드들은 인접하고, 70 micron보다 더 크지 않은 피치를 갖는다. 한 형태에서, 트레이스 부분들은 폭을 가지며, 접촉 부분들은 트레이스 부분들의 폭의 최소값을 초과하지 않는 폭을 갖는다. 접촉 패드들은 집적 회로의 인접 주위에 평행한 2개의 라인들을 따라 정렬된 2개의 변들을 가지며, 유전층의 개구는 집적 회로의 주위에 따른 길이와 2개의 라인들 사이의 폭을 갖는다.

[0036] 다른 형태에서, 제 1 접촉 패드에 제 1 도전 라인을 형성하는 방법이 제공된다. 제 1 접촉 패드는 제 1 유전층의 일부 위에 있다. 시드층은 제 1 유전층과 제 1 접촉 패드 위에 형성된다. 포토레지스트층은 제 1 유전층 위에 형성된다. 포토레지스트층은 포토레지스트층에 제 1 개구를 형성하기 위해 패턴화되고, 포토레지스트층의 남은 부분을 그대로 둔다. 이 개구는 제 1 접촉 패드에 인접한 영역의 제 1 트레이스 부분과 제 1 접촉 패드 위의 제 1 접촉 부분을 갖는다. 제 1 접촉 부분은 제 1 접촉 패드에 전기적으로 접촉을 한다. 제 1 트레이스 부분은 폭을 가지며, 제 1 접촉 부분은 제 1 트레이스 부분의 폭의 최소치를 실질적으로 초과하지 않는 폭을 갖는다. 도전 재료는 제 1 개구에 형성되어 제 1 접촉 부분의 제 1 접촉 패드에 전기적으로 접촉을 하고 제 1 트레이스 부분에 제 1 도전 트레이스를 형성하여, 제 1 도전 라인이 형성된다. 다른 형태에서, 제 2 유전층이 제 1 유전층 위에 형성된다. 제 2 유전층 내의 개구가 형성되고, 제 1 접촉 패드는 제 2 유전층의 개구에 있다. 제 1 트레이스 부분은 제 2 유전층 위에 있다.

[0037] 다른 형태에서, 포토레지스트층은 개구에 시드층을 노출시키고, 포토레지스트층의 남은 부분으로 시드층의 제 1 부분을 덮도록 패턴화된다. 포토레지스트층의 남은 부분은 제거되고, 시드층의 제 1 부분은 제거된다. 한 형태에서, 시드층은 티타늄, 텅스텐, 혹은 구리 중의 적어도 하나이다. 다른 형태에서, 제 2 도전 라인은 제 2 접촉 패드에 접촉을 하고, 제 2 접촉 패드는 제 1 유전층의 제 2 부분 위에 있다. 시드층은 제 2 접촉 패드 위에 형성된다. 포토레지스트층은 포토레지스트층에 제 2 개구를 형성하도록 패턴화된다. 제 2 개구는 제 2 접촉 패드에 인접한 영역에 제 2 트레이스 부분 그리고 제 2 접촉 패드 위에 제 2 접촉 부분을 갖는다. 제 2 접촉 부분은 제 2 접촉 패드에 전기적으로 접촉한다. 제 2 트레이스 부분은 폭을 가지며, 제 2 접촉 부분은 제 2 트레이스 부분의 폭의 최소치를 실질적으로 초과하지 않는 폭을 갖는다. 한 형태에서, 도전 재료는 제 2 접촉 부분의 제 2 접촉 패드에 전기적으로 접촉하도록 하기 위해 제 2 개구에 형성되고, 제 2 도전 트레이스는 제 2 트레이스 부분에 형성되어, 제 2 도전 라인이 형성된다. 다른 형태에서, 제 1 및 제 2 접촉 패드들은 70 미크론보다 더 크지 않은 피치에서 분리된다. 다른 형태에서, 제 2 유전층은 제 1 유전층 위에 형성된다. 제 2 유전층 위에 개구가 형성되고, 제 1 접촉 패드와 제 2 접촉 패드는 제 2 유전층의 개구에 있다. 영역은 직접적으로 제 1 접촉 패드와 제 2 패드 사이에 있다. 제 1 트레이스 부분과 제 2 트레이스 부분은 제 2 유전층 위에 있고, 제 2 유전층의 개구는 제 1 및 제 2 접촉 패드들 사이 영역을 직접적으로 포함한다.

[0038] 특정 실시예들에 대해 이득들, 다른 이점들, 및 문제들의 해결책들이 설명되었다. 임의 이득, 이점, 혹은 해결책이 더 공고되도록 할 수 있는 이득들, 이점들, 문제들의 해결책들, 및 임의 요소(들)은 청구항들 중의 임의 것 혹은 전부의 중요한, 필수의, 혹은 기본적 특징 혹은 요소로서 해석되어서는 안 된다. 본 명세서에 사용되는 것처럼, "포함한다(comprises)", "포함하는(comprising)" 또는 이들의 임의 다른 변형의 용어들은 비배타적 포괄성(non-exclusive inclusion)을 나타내려고 의도되어, 요소들의 리스트를 포함하는 처리, 방법, 제품, 혹은 장치는 단지 이들 요소들만을 포함할 뿐만이 아니라, 또한 그런 처리, 방법, 제품, 혹은 장치에 명백히 리스트되지 않거나 또는 고유하지 않은 다른 요소들을 포함할 수도 있다. 본 명세서에 사용된 것처럼, "한" 혹은 "하나의"("a" or "an")라는 용어들은 하나 이상으로서 정의된다. 본 명세서에 사용된 것처럼, "복수(plurality)"라는 용어는 2 이상으로서 정의된다. 본 명세서에 사용된 것처럼, "또 다른(another)"이라는 용어는 적어도 2번째 이상으로서 정의된다. 본 명세서에 사용된 것처럼, "포함하는(including)", 및/또는 "갖는(having)"이라는 용어들은 "포함하는(comprising)"(즉, 개방 언어)으로서 정의된다. 본 명세서에 사용된 것처럼, "결합된(coupled)"이라는 용어는, 반드시 직접적으로 그리고 기계적으로는 아니지만, 접속되는 것으로서 정의된다.

도면의 간단한 설명

[0006] 본 발명은, 유사 참조부호들이 유사 요소들을 나타내는, 첨부 도면들에서 예제로서 설명되지만 이에 제한되지는 않는다.

[0007] 도 1은 제한된 패드 피치를 갖는 알려진 집적 회로를 지형도 형태(topographical form)로 나타낸다.

[0008] 도 2는 오버라잉 상호접속부를 갖는 도 1의 집적 회로의 패드를 단면도 형태로 나타낸다.

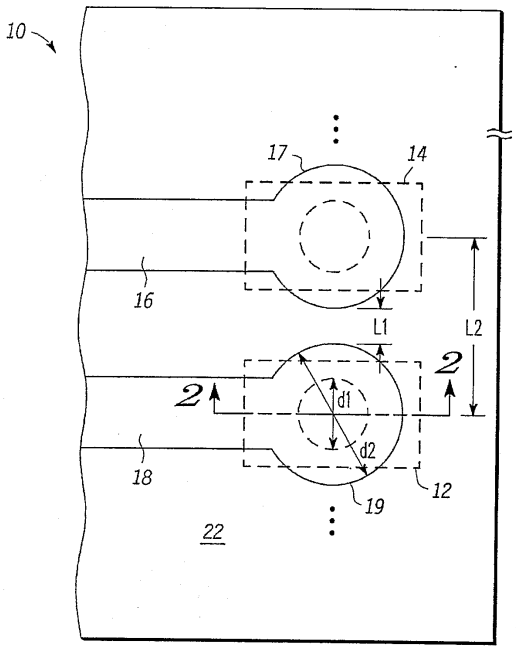
[0009] 도 3 내지 도 18은 본 발명에 따른 파인(fine) 피치 상호접속부를 갖는 집적 회로를 지형도 혹은 단면도 형태로 도시한다.

[0010] 당업자라면, 도면들의 요소들이 간략성과 명료성을 위해 도시되었고 반드시 치수대로 그려지지는 않았음을 이해할 것이다. 예를 들어, 도면들의 일부 요소들의 치수들은 다른 요소들에 비해 과장되어 본 발명의 실시예들의 이해를 향상시키는 것을 도울 것이다.

도면

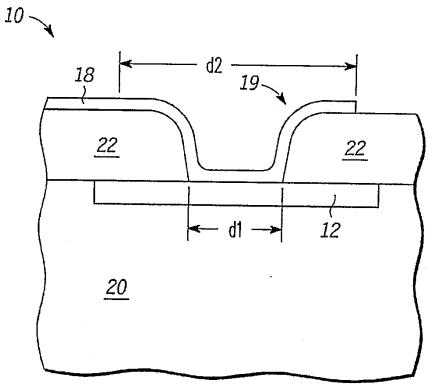
도면1

종래 기술

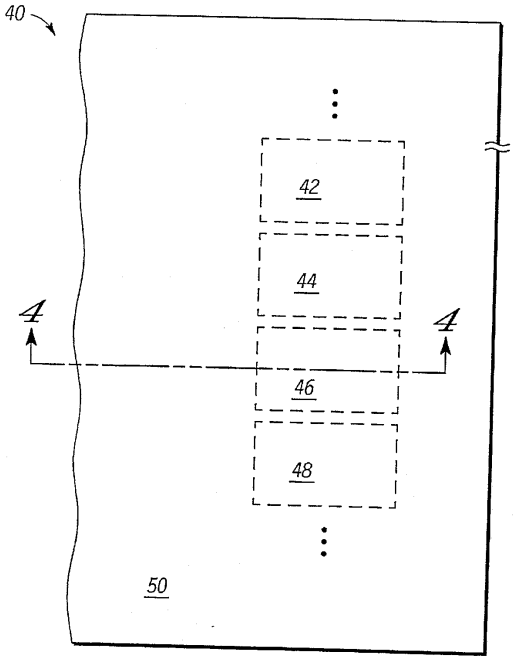


도면2

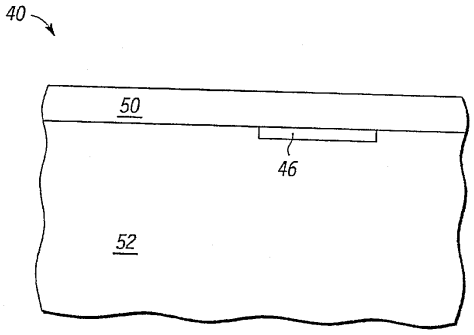
종래 기술



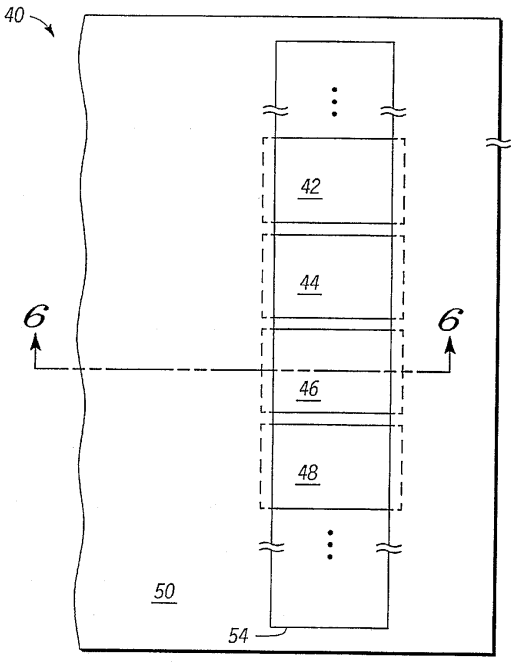
도면3



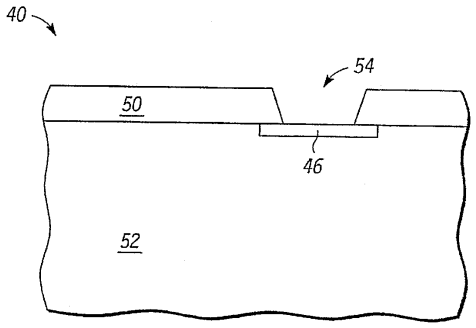
도면4



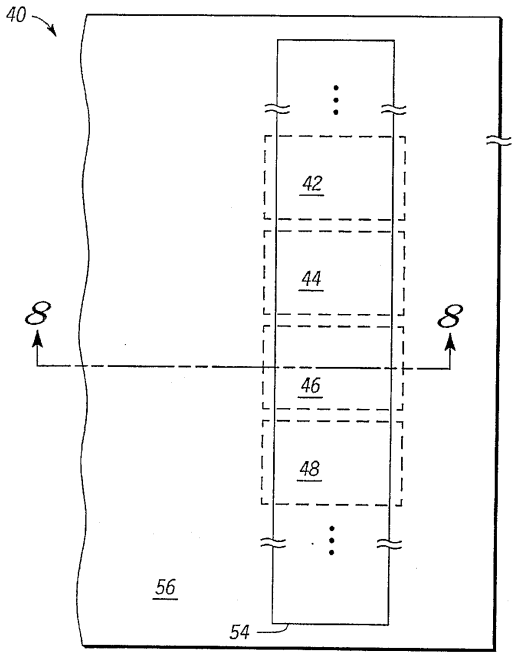
도면5



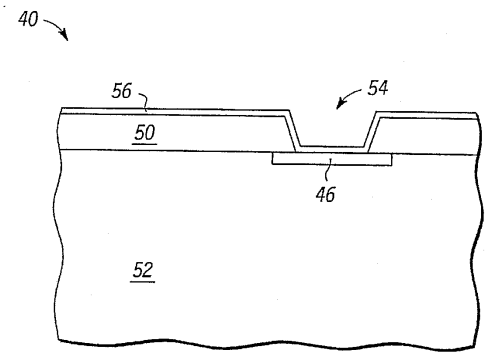
도면6



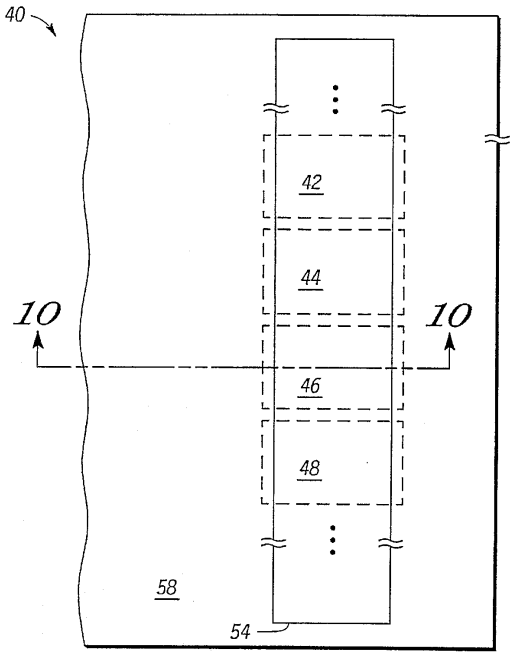
도면7



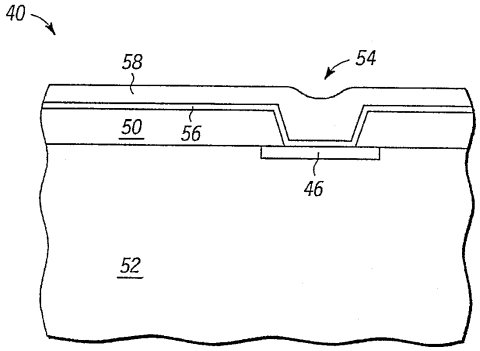
도면8



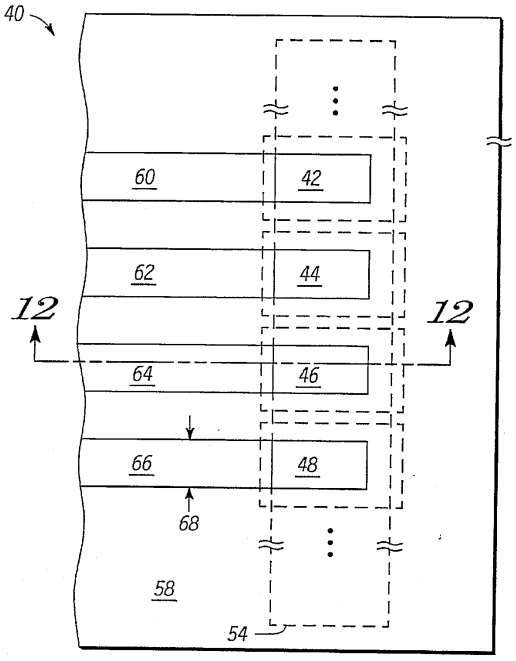
도면9



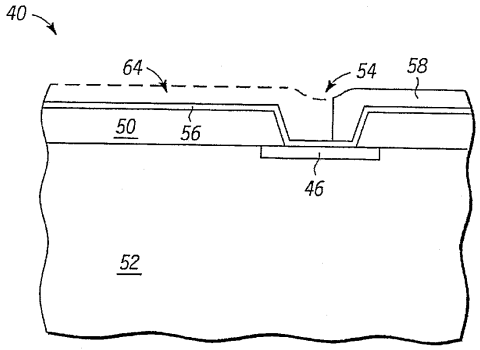
도면10



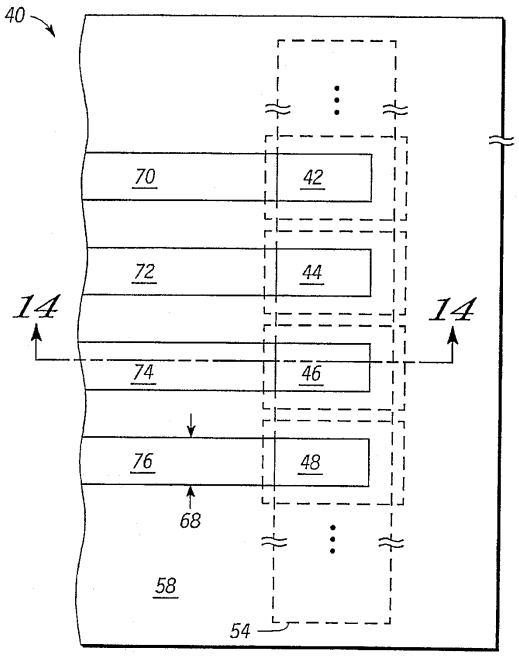
도면11



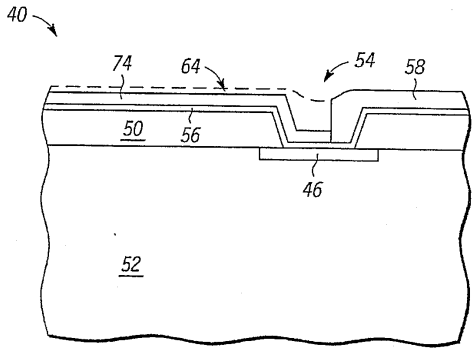
도면12



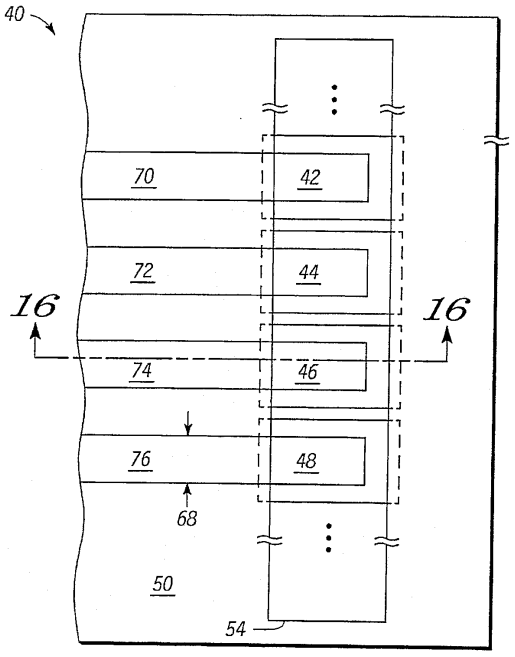
도면13



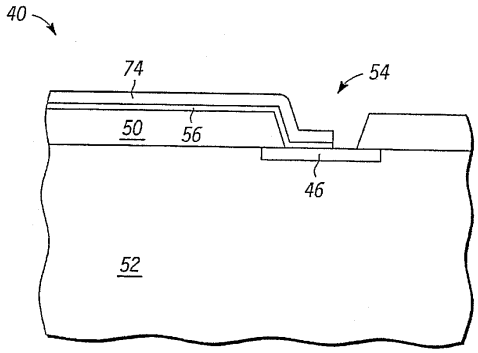
도면14



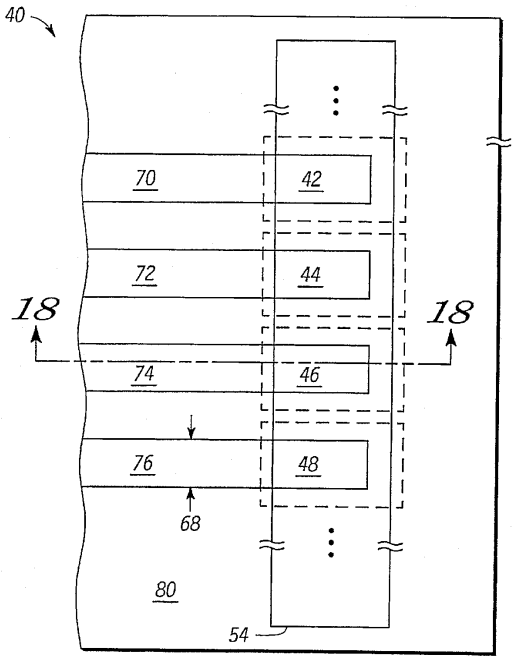
도면15



도면16



도면17



도면18

