

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3897994号  
(P3897994)

(45) 発行日 平成19年3月28日(2007.3.28)

(24) 登録日 平成19年1月5日(2007.1.5)

(51) Int. Cl. F I  
H O 4 L 12/44 (2006.01) H O 4 L 12/44 3 0 0

請求項の数 11 (全 23 頁)

(21) 出願番号	特願2001-165073 (P2001-165073)	(73) 特許権者	000005223
(22) 出願日	平成13年5月31日(2001.5.31)		富士通株式会社
(65) 公開番号	特開2002-359630 (P2002-359630A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成14年12月13日(2002.12.13)	(74) 代理人	100092152
審査請求日	平成16年11月5日(2004.11.5)		弁理士 服部 毅麿
		(72) 発明者	片山 徹
			神奈川県川崎市幸区堀川町66番地2 富士通エルエスアイソリューション株式会社内
		(72) 発明者	阿部 紀夫
			神奈川県川崎市幸区堀川町66番地2 富士通エルエスアイソリューション株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチ装置およびデータ転送システム

(57) 【特許請求の範囲】

【請求項1】

複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置において、

データを入出力するための複数のポートと、

前記複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、

前記ポートから入力されたデータのうち、処理装置によって処理が必要なデータを、前記処理装置からのアクセスがあるまで他の記憶手段へ転送することなく格納する格納手段と、

前記処理装置から、前記格納手段へのアクセスを受け付けるアクセス受け付け手段と、を有することを特徴とするスイッチ装置。

【請求項2】

前記格納手段は、前記ポートから入力されたデータを格納する第1の格納手段と、前記ポートへ出力するデータを格納する第2の格納手段とを有することを特徴とする請求項1記載のスイッチ装置。

【請求項3】

前記第1および第2の格納手段は、データの書き込みと読み出しを同時に行うことが可能なデュアルポートメモリによってそれぞれ構成されていることを特徴とする請求項2記載のスイッチ装置。

10

20

## 【請求項 4】

前記格納手段は、データの書き込み、データの読み出し、および、前記処理装置からのアクセスとを、同時に実行可能なマルチポートメモリによって構成されていることを特徴とする請求項 1 記載のスイッチ装置。

## 【請求項 5】

前記処理装置は、バスによって接続されていることを特徴とする請求項 1 記載のスイッチ装置。

## 【請求項 6】

前記処理装置は、ブリッジによって接続されていることを特徴とする請求項 1 記載のスイッチ装置。

10

## 【請求項 7】

複数のポートの何れかから入力されたデータを、対応する他のポートに転送するデータ転送システムにおいて、

必要に応じてデータに所定の処理を施す処理装置と、  
データを入出力するための複数のポートと、前記複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、前記ポートから入力されたデータのうち、前記処理装置によって処理が必要なデータを、前記処理装置からのアクセスがあるまで他の記憶手段へ転送することなく格納する格納手段と、前記処理装置から前記格納手段へのアクセスを受け付けるアクセス受け付け手段と、を備えるスイッチ装置と、  
 を有することを特徴とするデータ転送システム。

20

## 【請求項 8】

前記格納手段は、前記ポートから入力されたデータを格納する第 1 の格納手段と、前記ポートへ出力するデータを格納する第 2 の格納手段とを有することを特徴とする請求項 7 記載のデータ転送システム。

## 【請求項 9】

前記第 1 および第 2 の格納手段は、データの書き込みと読み出しを同時に行うことが可能なデュアルポートメモリによってそれぞれ構成されていることを特徴とする請求項 8 記載のデータ転送システム。

## 【請求項 10】

前記格納手段は、データの書き込み、データの読み出し、および、前記処理装置からのアクセスとを、同時に実行可能なマルチポートメモリによって構成されていることを特徴とする請求項 7 記載のデータ転送システム。

30

## 【請求項 11】

前記処理装置は、前記スイッチング手段と前記記憶手段との間で前記処理装置を介さずにデータを転送するダイレクトメモリアクセス機能を用いることなく前記処理が必要なデータを処理することを特徴とする請求項 7 記載のデータ転送システム。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明はスイッチ装置およびデータ転送システムに関し、特に、複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置および複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置と、必要に応じてデータに所定の処理を施す処理装置と、を有するデータ転送システムに関する。

40

## 【0002】

## 【従来の技術】

一般的に、インターネットとは、広域通信の代表的なデータ通信システムであるが、これに対し、同一構内や同一建物内のような狭い範囲で構築されるコンピュータ通信が主となっている通信システムとして LAN (Local Area Network) が知られており、その代表的なものとして、例えば、イーサネット (商標) が挙げられる。

50

## 【0003】

このLANに対して、複数の端末を接続する場合は、各ネットワークをスイッチ装置で連結する形が取られることがある。スイッチ装置とは、そのスイッチ装置に接続されたあるネットワークまたはインターフェースから来た通信データ（以下、単にデータと称する）を、必要に応じてそのスイッチ装置に接続されている別のネットワークまたはインターフェースへ転送し、送出する役割をもつものである。各通信端末およびスイッチ装置は、各々データ処理を行い、ネットワークにアクセスする。

## 【0004】

図17は、従来のスイッチ装置の構成例を示す図である。

この図に示すように、従来のスイッチ装置は、スイッチング処理部101、中央処理部106、主記憶部108、DMA C (Direct Memory Access Control) 109、および、内部バス110によって構成されている。

10

## 【0005】

スイッチング処理部101は、複数の端末装置およびネットワークが接続され、あるポートから入力されたデータを他のポートに転送する処理を実行する。なお、中央処理部106による処理が必要なデータについては、主記憶部108の記憶部111bに転送し、そこで、中央処理部106による処理を施す。

## 【0006】

中央処理部106は、内部バス110を介して、主記憶部108の記憶部111bにアクセスし、そこに格納されているデータに対して所定の処理を施す。

20

DMA C 109は、スイッチング処理部101と、主記憶部108との間で中央処理部106を介さずにデータを転送する。

## 【0007】

主記憶部108は、汎用メモリI/F (Interface) 111aおよび記憶部111bから構成され、中央処理部106が実行するプログラムおよび処理の対象となるデータを格納する。

## 【0008】

図18は、スイッチング処理部101の詳細な構成例を示す図である。この図に示すように、スイッチング処理部101は、データ送受信部403a~403n、ホストI/F 405、スイッチ部407、制御信号生成部426、内部バス430、および、宛先判定部440によって構成されている。

30

## 【0009】

データ送受信部403a~403nは、ネットワーク（または、ネットワーク機器）であるNET # 1 ~ NET # nにそれぞれ接続され、これらのNET # 1 ~ NET # nとの間でデータを送受信する。

## 【0010】

ホストI/F 405は、後述するようにバッファによって構成され、主記憶部108との間でデータを転送する際に、データを一時的に格納する。

スイッチ部407は、宛先判定部440によって判定された宛先に応じて、データに対応するデータ送受信部またはホストI/F 405に転送する。

40

## 【0011】

制御信号生成部426は、宛先がホストI/F 405であるデータを受信した場合には、DMA C 109に対してデータの転送を要求する制御信号を生成して供給する。

## 【0012】

宛先判定部440は、データ送受信部403a~403nに格納されているデータのヘッダを参照し、そのデータの転送先を決定する。

図19は、ホストI/F 405の詳細な構成例を示す図である。この図に示すように、ホストI/F 405は、送信用バッファ524、受信用バッファ525、および、入出力I/F 520によって構成されている。

## 【0013】

50

受信用バッファ525は、スイッチ部407から供給されたデータを一時的に格納する。送信用バッファ524は、主記憶部108からDMAC109によって転送されてきたデータを一時的に格納する。

【0014】

入出力I/F520は、DMAC109を介して受信用バッファ525または送信用バッファ524との間でデータを授受する際のインターフェースである。次に、以上の従来例の動作について説明する。なお、以下では、中央処理部106による処理が必要なデータがNET#1から入力され、NET#3に出力する場合を例に挙げて説明する。

【0015】

図18に示す、NET#1から入力されたデータは、データ送受信部403aによって受信され、そこに一時的に格納される。 10

宛先判定部440は、データ送受信部403aに格納されているデータのヘッダを参照し、そのデータの宛先を判定する。その結果、ホストI/F405が宛先となっているデータ(中央処理部106による処理が必要であるデータ)であることが判明した場合には、宛先判定部440は、その旨をスイッチ部407と、制御信号生成部426とに通知する。

【0016】

スイッチ部407は、データ送受信部403aに格納されたデータを、ホストI/F405に対して送信する処理を実行する。その結果、データ送受信部403aに格納されているデータは、内部バス430を介してホストI/F405に対して転送される。 20

【0017】

ホストI/F405では、受信用バッファ525がこのデータを受信し、一時的に格納する。

前述したように、制御信号生成部426には、主記憶部108に転送するデータが存在する旨の通知がされているので、制御信号生成部426はDMAC109に対して、受信用バッファ525に格納されているデータを、主記憶部108に転送するように要求を行う。その結果、DMAC109は、受信用バッファ525に格納されているデータを読み出し、主記憶部108の記憶部111bに対して転送する。

【0018】

なお、受信用バッファ525は、FIFO(First In First Out)方式のメモリによって構成されているので、先に入力されたデータから順に読み出されて転送される。 30

【0019】

記憶部111bにデータが格納されると、中央処理部106は、内部バス110を介して記憶部111bにアクセスし、データのヘッダ情報等を参照して、例えば、ヘッダの再計算処理やフィルタリング処理等を施す。

【0020】

処理が完了すると、中央処理部106は、DMAC109に転送要求を行う。その結果、処理が施されたデータは、DMAC109により、ホストI/F405の送信用バッファ524に転送される。

【0021】

送信用バッファ524に格納されたデータは、スイッチ部407により、データ送受信部403cに供給され、NET#3に対して送信される。 40

以上の処理により、NET#1から入力されたデータに対して、所定の処理を施した後、NET#3に対して送信することが可能になる。なお、中央処理部106による処理が必要なデータが他のNETから入力され、その他のNETへ出力する場合についても同様の処理が実行される。

【0022】

【発明が解決しようとする課題】

ところで、以上に説明した従来例では、中央処理部106による処理が必要なデータについては、DMAC109により、ホストI/F405から主記憶部108に転送してそこ 50

でデータ処理を施した後、再度、DMAC109によりホストI/F405に転送する処理を実行していた。

【0023】

しかしながら、このような方法では、データを転送するたびに、内部バス110が占有されることになる。内部バス110に他のコンポーネントも接続されている場合は、通信データ以外のデータ（以下、通常データと称する）も転送する必要があるため、例えば、通常データに対して通信データよりも高い優先順位が設定されていた場合には、通信データの処理が追いつかずに消失または遅延する場合があるという問題点があった。

【0024】

逆に、通信データに対して、通常データよりも高い優先順位が設定されていた場合には、通信データが優先される結果として、通常データの転送が困難になり、データ転送以外の処理が遅延する場合があるという問題点もあった。

【0025】

本発明はこのような点に鑑みてなされたものであり、高度な判断処理が必要なデータについても、高速に転送を実現することが可能なスイッチ装置を提供することを目的とする。

【0026】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示す、複数のポート1-1~1-nの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置1において、データを入出力するための複数のポート1-1~1-nと、前記複数のポート1-1~1-nから入力されたデータをその宛先に応じてスイッチングするスイッチング手段1aと、前記ポート1-1~1-nから入力されたデータを格納する格納手段1cと、外部に配置され、前記格納手段1cに格納されているデータに対して所定の処理を施す処理装置3から、前記格納手段1cへのアクセスを受け付けるアクセス受け付け手段1dと、を有することを特徴とするスイッチ装置1が提供される。

【0027】

ここで、ポート1-1~1-nは、データを入出力する。スイッチング手段1aは、複数のポート1-1~1-nから入力されたデータをその宛先に応じてスイッチングする。格納手段1cは、ポート1-1~1-nから入力されたデータを格納する。アクセス受け付け手段1dは、外部に配置され、格納手段1cに格納されているデータに対して所定の処理を施す処理装置3から、格納手段1cへのアクセスを受け付ける。

【0028】

また、複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置と、必要に応じてデータに所定の処理を施す処理装置と、を有するデータ転送システムにおいて、前記スイッチ装置は、データを入出力するための複数のポートと、前記複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、前記ポートから入力されたデータを格納する格納手段と、前記処理装置による前記格納手段の所定のデータへのアクセスを受け付けるアクセス受け付け手段と、を有することを特徴とするデータ転送システムが提供される。

【0029】

ここで、スイッチ装置の複数のポートは、データを入出力する。スイッチング手段は、複数のポートから入力されたデータをその宛先に応じてスイッチングする。格納手段は、ポートから入力されたデータを格納する。アクセス受け付け手段は、処理装置による格納手段の所定のデータへのアクセスを受け付ける。

【0030】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の動作原理を説明する原理図である。この図に示すように、本発明のスイッチ装置1は、ポート1-1~1-n、スイッチング手段1a、バス1b、格納手段1c、アクセス受け付け手段1dによって構成されており、その外部にはバス2を介して処理

10

20

30

40

50

装置 3 が接続され、全体としてデータ転送システムを構成している。

【 0 0 3 1 】

ポート 1 - 1 ~ 1 - n は、ネットワークまたはネットワーク機器である N E T # 1 ~ # n に接続され、各 N E T との間でデータを授受する。

スイッチング手段 1 a は、ポート 1 - 1 ~ 1 - n から入力されたデータのヘッダを参照し、所定のポートに対して出力するとともに、処理装置 3 による処理が必要なデータに対しては、格納手段 1 c に転送して格納する。

【 0 0 3 2 】

バス 1 b は、ポート 1 - 1 ~ 1 - n、スイッチング手段 1 a、および、格納手段 1 c を相互に接続し、データを伝送する。

格納手段 1 c は、ポート 1 - 1 ~ 1 - n から入力されたデータのうち、処理装置 3 によって処理が必要なデータを一時的に格納する。

【 0 0 3 3 】

アクセス受け付け手段 1 d は、処理装置 3 から格納手段 1 c へのアクセスを受け付ける。次に、以上の原理図の動作について説明する。なお、以下では、処理装置 3 による処理が必要なデータが N E T # 1 から入力され、N E T # 2 に出力する場合について説明する。

【 0 0 3 4 】

いま、N E T # 1 からデータが入力されると、ポート 1 - 1 はこれを受信し、内部に一旦格納する。

スイッチング手段 1 a は、ポート 1 - 1 に格納されているデータのヘッダを参照してその宛先を特定し、他の N E T # 2 ~ # n に転送する場合には、バス 1 b を介して該当するポートに供給する。また、処理装置 3 による処理が必要である場合には、バス 1 b を介して格納手段 1 c に供給する。いまの例では、処理装置 3 による処理が必要なデータであるので、スイッチング手段 1 a は、このデータを格納手段 1 c に対して格納する。

【 0 0 3 5 】

格納手段 1 c に対してデータが格納されると、処理装置 3 に対してその旨が通知される。その結果、処理装置 3 は、バス 2 を介してスイッチ装置 1 へアクセスする。

【 0 0 3 6 】

アクセス受け付け手段 1 d は、格納手段 1 c に格納されているこのデータへのアクセスを受け付ける。その結果、処理装置 3 は、格納手段 1 c に格納されているデータに対して所定の処理を実行することが可能になる。

【 0 0 3 7 】

処理が終了すると、格納手段 1 c に格納されているデータは、スイッチング手段 1 a によって、所定のポートに転送され、N E T # 2 に対して送信されることになる。

【 0 0 3 8 】

以上に説明したように、本発明のスイッチ装置 1 によれば、ポート 1 - 1 ~ 1 - n によって受信されたデータのうち、処理装置 3 による処理が必要なものについては、格納手段 1 c に一旦格納し、バス 2 上に接続された記憶装置に転送することなく、格納手段 1 c に格納した状態で、処理装置 3 による処理を、アクセス受け付け手段 1 d によって受け付けるようにしたので、バス 2 上を転送する手間を省くことにより、データの転送処理を迅速に実行することが可能になる。

【 0 0 3 9 】

次に、本発明の実施の形態について説明する。

図 2 は、本発明の実施の形態の構成例を示す図である。この図に示すように、本発明のスイッチ装置 5 0 には、ネットワークやネットワーク機器である N E T # 1 ~ # n が接続されている。

【 0 0 4 0 】

図 3 は、スイッチ装置 5 0 の詳細な構成例を示す図である。この図に示すように、スイッチ装置 5 0 は、中央処理部 1 0 6、主記憶部 1 0 8、D M A C 1 0 9、内部バス 1 1 0、および、スイッチング処理部 1 2 0 によって構成されている。

10

20

30

40

50

## 【0041】

ここで、スイッチング処理部120は、複数の端末装置およびネットワークが接続され、あるNETから入力されたデータを他のNETに転送する処理を実行する。

## 【0042】

中央処理部106は、主記憶部108の記憶部111bに格納されているプログラムに従って種々の処理を実行するとともに、スイッチング処理部120の内部にある受信用RAM533（後述する）に格納されている通信データに対して所定の処理を施す。

## 【0043】

主記憶部108は、汎用メモリI/F111aおよび記憶部111bから構成され、中央処理部106が実行するプログラムを格納する。

DMAC109は、スイッチング処理部120と、主記憶部108との間で中央処理部106を介さずにデータを転送する。

## 【0044】

内部バス110は、中央処理部106、主記憶部108、DMAC109、および、スイッチング処理部120を相互に接続し、これらの間でデータを伝送する。

## 【0045】

図4は、スイッチング処理部120の詳細な構成例を示す図である。この図に示すように、スイッチング処理部120は、データ送受信部403a~403n、ホストI/F450、スイッチ部407、宛先判定部440、および、制御信号生成部426によって構成されている。

## 【0046】

データ送受信部403a~403nは、ネットワーク（または、ネットワーク機器）であるNET#1~#nにそれぞれ接続され、これらのNET#1~#nとの間でデータを送受信する。

## 【0047】

ホストI/F450は、スイッチ部407からのデータを一時的に格納し、中央処理部106からのアクセスを受け付け、データの処理を受ける。

スイッチ部407は、宛先判定部440によって判定されたデータの宛先に応じて、データに対応するデータ送受信部またはホストI/F450に転送する。

## 【0048】

制御信号生成部426は、データを転送する必要がある場合には、DMAC109に対してデータの転送を命じる制御信号を生成して供給する。

宛先判定部440は、データ送受信部403aに格納されているデータのヘッダを参照し、そのデータの転送先を決定する。

## 【0049】

図5は、ホストI/F450の詳細な構成例を示す図である。この図に示すように、ホストI/F450は、受信用バッファ535、受信用RAM533、送信用バッファ534、送信用RAM532、および、汎用メモリI/F530によって構成されている。

## 【0050】

受信用バッファ535は、スイッチ部407から供給されたデータを一時的に格納した後、受信用RAM533に供給する。

受信用RAM533は、受信用バッファ535から供給されたデータを一時的に格納し、中央処理部106によるデータ処理を受け付ける。

## 【0051】

送信用RAM532は、受信用RAM533において処理が施されたデータのうち、他のNETに対して送出するもの（フィルタリングしないもの）を一旦格納し、送信用バッファ534に転送する。

## 【0052】

送信用バッファ534は、送信用RAM532に格納されているデータを、一時的に格納し、内部バス430を介して送出する。

10

20

30

40

50

汎用メモリ I / F 5 3 0 は、中央処理部 1 0 6 からの受信用 R A M 5 3 3 の所定のアドレスに格納されているデータに対するアクセスを受け付ける。

【 0 0 5 3 】

図 6 は、汎用メモリ I / F 5 3 0 の詳細な構成例を示す図である。

この図に示すように、汎用メモリ I / F 5 3 0 は、制御信号バッファ部 7 0 1、アドレスバッファ部 7 0 2、制御回路 7 0 3、データバッファ部 7 0 4、および、データ入出力制御部 7 0 5 によって構成されている。

【 0 0 5 4 】

制御信号バッファ部 7 0 1 は、内部バス 1 1 0 から供給された制御信号に対して波形整形処理等を施して出力する。

10

アドレスバッファ部 7 0 2 は、内部バス 1 1 0 から供給されたアドレス信号に対して波形整形等を施して出力する。

【 0 0 5 5 】

制御回路 7 0 3 は、制御信号バッファ部 7 0 1 およびアドレスバッファ部 7 0 2 から供給された信号をデコードし、受信用 R A M 5 3 3 および送信用 R A M 5 3 2 に対して制御信号を供給する。

【 0 0 5 6 】

データバッファ部 7 0 4 は、内部バス 1 1 0 へのデータ出力信号に対して波形整形等を施すとともに、内部バス 1 1 0 から供給されたデータ出力信号に対して波形整形等を施して出力する。

20

【 0 0 5 7 】

データ入出力制御部 7 0 5 は、制御回路 7 0 3 からの制御信号に基づき、受信用 R A M 5 3 3 および送信用 R A M 5 3 2 からの出力データを、データバッファ部 7 0 4 に供給するとともに、データバッファ部 7 0 4 から出力されたデータを、受信用 R A M 5 3 3 および送信用 R A M 5 3 2 に格納する。

【 0 0 5 8 】

次に、以上の実施の形態の動作について説明する。以下では、N E T # 1 から入力されたデータに対して中央処理部 1 0 6 により所定の処理を施した後、N E T # 3 に送出する動作について説明する。

【 0 0 5 9 】

N E T # 1 からデータが入力されると、スイッチング処理部 1 2 0 のデータ送受信部 4 0 3 a がこれを受信し、その内部に一時的に格納する。

30

宛先判定部 4 4 0 は、データ送受信部 4 0 3 a の内部に格納されたデータのヘッダを参照し、その宛先を判定する。いまの例では、宛先として、ホスト I / F 4 5 0 が指定されているので、宛先判定部 4 4 0 は、その旨をスイッチ部 4 0 7 に通知する。

【 0 0 6 0 】

スイッチ部 4 0 7 は、宛先判定部 4 4 0 からの通知に基づき、データ送受信部 4 0 3 a に格納されているデータを取得し、ホスト I / F 4 5 0 に供給する。

ホスト I / F 4 5 0 では、供給されたデータを受信用バッファ 5 3 5 に一時的に格納した後、受信用 R A M 5 3 3 に格納する。

40

【 0 0 6 1 】

このようにして受信用 R A M 5 3 3 にデータが格納されると、制御信号生成部 4 2 6 が中央処理部 1 0 6 に対してデータ処理の開始を指示する制御信号を生成し、内部バス 1 1 0 を介して中央処理部 1 0 6 に通知する。

【 0 0 6 2 】

その結果、中央処理部 1 0 6 は、ホスト I / F 4 5 0 に対してアクセスの要求を行う。このような要求は、汎用メモリ I / F 5 3 0 の制御信号バッファ部 7 0 1 およびアドレスバッファ部 7 0 2 に供給され、波形整形や電圧変換等を行った後、制御回路 7 0 3 に供給される。

【 0 0 6 3 】

50



制御回路703は、受信用RAM533に格納されているデータに対するアクセス要求（読み出し要求）を行う。また、このとき、アドレスバッファ部702には、データが格納されている受信用RAM533のアドレスを指定する信号が供給されているので、このアドレス信号は制御回路703を介してデコードされ、受信用RAM533に供給される。

【0064】

その結果、受信用RAM533の指定されたアドレスから、データが読み出されて、データ入出力制御部705を介してデータバッファ部704に供給される。

【0065】

データバッファ部704によって波形整形されたデータは、中央処理部106に供給され、そこで所定の処理が施される。ここで、所定の処理とは、ヘッダの再計算処理、または、フィルタリング処理等である。

10

【0066】

中央処理部106における処理が完了した場合であって、その処理がフィルタリング処理以外である場合には、そのデータは、汎用メモリI/F530を介して送信用RAM532に格納される。即ち、先ず、中央処理部106は、データの書き込みを要求する制御信号を汎用メモリI/F530に供給するとともに、書き込もうとするアドレスを指定する信号を供給する。そして、アドレスの指定が終了すると、処理が完了したデータを供給する。なお、フィルタリング処理を行う場合には、そのデータは送信用RAM532には供給されずに破棄されることになる。

【0067】

20

汎用メモリI/F530では、制御信号を制御信号バッファ部701によって受信し、制御回路703に供給する。また、アドレスバッファ部702は、アドレス信号を受信し、同様に制御回路703に供給する。

【0068】

制御回路703は、送信用RAM532に対して所定のアドレスに対する書き込みを要求した後、データ入出力制御部705から供給されたデータを、指定されたアドレスに書き込む。

【0069】

送信用RAM532に書き込まれたデータは、送信用バッファ534に転送され、そこに格納される。送信用バッファ534に転送されたデータは、宛先判定部440によってその宛先が判定された後、スイッチ部407によって、判定結果に対応するデータ送受信部に供給される。いまの例では、転送先は、NET#3であるので、データはデータ送受信部403cに供給される。

30

【0070】

データ送受信部403cは、供給されたデータを、NET#3に対して送信する。以上の処理により、NET#1から入力されたデータに対して中央処理部106が所定の処理を施し、NET#3から送信することができる。このとき、中央処理部106による処理が必要なデータについては、主記憶部108に転送することなく、ホストI/F450の内部に具備された受信用RAM533に格納された状態で、中央処理部106が所定の処理を施すようにしたので、DMAC109によって主記憶部108に一旦転送した後、そこで処理を施し、再度、DMAC109により転送する処理を省略することにより、処理を迅速に実行することが可能になる。また、DMAC109による転送処理を排除することにより、バス調停に必要な時間を短縮することが可能になる。

40

【0071】

次に、図7～図10を参照して、従来におけるスイッチ装置のデータ受信処理およびデータ送信処理、ならびに、本実施の形態におけるスイッチ装置のデータ受信処理およびデータ送信処理について説明する。

【0072】

先ず、図7は、従来におけるスイッチ装置におけるデータ受信処理の一例を示す図である。このフローチャートが開始されると、以下のステップが実行される。なお、以下では、中央処

50

理部 106 による処理が必要なデータを、データ送受信部 403a が NET # 1 から受信した場合を例に挙げて説明する。

【0073】

ステップ S10 :

データ送受信部 403a は、NET # 1 からデータを受信する。

ステップ S11 :

データ送受信部 403a は、データを受信した旨を、スイッチ部 407 に通知する。

【0074】

ステップ S12 :

宛先判定部 440 は、データ送受信部 403a に格納されているデータのヘッダを参照し、データの宛先を確認する。 10

【0075】

ステップ S13 :

宛先判定部 440 は、ステップ S12 において確認された宛先を、スイッチ部 407 に通知する。

【0076】

ステップ S14 :

スイッチ部 407 は、データ送受信部 403a から、ホスト I/F 405 内の受信用バッファ 525 へ内部バス 430 を介してデータを転送する。

【0077】

ステップ S15 :

制御信号生成部 426 は、DMAC 109 に対して転送処理が必要なデータが存在する旨を制御信号 412 により通知する。 20

【0078】

ステップ S16 :

DMAC 109 は、中央処理部 106 に対し、転送したいデータが存在するので、内部バス 110 を解放するように要求する。

【0079】

ステップ S17 :

中央処理部 106 は、内部バス 110 が使用中であれば、解放する。 30

ステップ S18 :

DMAC 109 は、ホスト I/F 405 内の受信用バッファ 525 から、入出力 I/F 520 を介して受信データを主記憶部 108 へ順次転送する。

【0080】

ステップ S19 :

中央処理部 106 は、主記憶部 108 に記憶されているデータに対して所定の処理を施す。

【0081】

以上の処理により、データ送受信部 403a から入力されたデータを、主記憶部 108 に転送し、所定の処理を施すことが可能になる。 40

次に、図 8 を参照して、以上のようにして受信したデータを送信する場合の処理について説明する。なお、以下では、受信したデータを、データ送受信部 403c から送信する場合を例に挙げて説明する。

【0082】

ステップ S30 :

中央処理部 106 は、送信すべきデータがあることを、DMAC 109 に通知する。

【0083】

ステップ S31 :

DMAC 109 は、中央処理部 106 より指定されたデータを、主記憶部 108 から順次読み出し、内部バス 110 を介して、スイッチング処理部 101 に転送する。転送された 50

データは、ホスト I / F 4 0 5 内の入出力 I / F 5 2 0 を介して送信用バッファ 5 2 4 に格納される。

【 0 0 8 4 】

ステップ S 3 2 :

ホスト I / F 4 0 5 は、送信すべきデータが存在することをスイッチ部 4 0 7 へ通知する。

【 0 0 8 5 】

ステップ S 3 3 :

ホスト I / F 4 0 5 は、中央処理部 1 0 6 からの情報を参照し、データの宛先を確認する。

10

【 0 0 8 6 】

ステップ S 3 4 :

ホスト I / F 4 0 5 は、宛先がデータ送受信部 4 0 3 c であることをスイッチ部 4 0 7 へ通知する。

【 0 0 8 7 】

ステップ S 3 5 :

スイッチ部 4 0 7 は、送信用バッファ 5 2 4 からデータをデータ送受信部 4 0 3 c へ転送する。

【 0 0 8 8 】

ステップ S 3 6 :

データ送受信部 4 0 3 c は、受信したデータを、NET # 3 に送出する。

以上の処理により、主記憶部 1 0 8 に格納されているデータを NET # 3 に送信することが可能になる。

20

【 0 0 8 9 】

次に、図 9 および図 1 0 を参照して、本実施の形態におけるデータの受信処理および送信処理について説明する。

先ず、図 9 を参照して、本実施の形態におけるデータの受信処理について説明する。なお、以下では、NET # 1 から受信したデータを、中央処理部 1 0 6 にて処理する場合を例に挙げて説明する。

【 0 0 9 0 】

ステップ S 5 0 :

データ送受信部 4 0 3 a は、NET # 1 からデータを受信する。

ステップ S 5 1 :

データ送受信部 4 0 3 a は、データを受信した旨を、スイッチ部 4 0 7 に通知する。

【 0 0 9 1 】

ステップ S 5 2 :

宛先判定部 4 4 0 は、データ送受信部 4 0 3 a に格納されているデータのヘッダを参照し、宛先がホスト I / F 4 5 0 であることを確認する。

【 0 0 9 2 】

ステップ S 5 3 :

宛先判定部 4 4 0 は、宛先がホスト I / F 4 5 0 であることをスイッチ部 4 0 7 に通知する。

40

【 0 0 9 3 】

ステップ S 5 4 :

スイッチ部 4 0 7 は、データ送受信部 4 0 3 a からホスト I / F 4 5 0 内の受信用バッファ 5 3 5 へ内部バス 4 3 0 を介して順次転送する。なお、受信用バッファ 5 3 5 に格納されたデータは、受信用 RAM 5 3 3 に転送される。

【 0 0 9 4 】

ステップ S 5 5 :

中央処理部 1 0 6 は、汎用メモリ I / F 5 3 0 を介して、受信用 RAM 5 3 3 に格納され

50

たデータにアクセスし、所定の処理を施す。

【0095】

次に、図10を参照して、本実施の形態におけるデータの送信処理について説明する。なお、以下では、送信用RAM532に展開されているデータを、データ送受信部403cから送信する場合を例に挙げて説明する。

【0096】

ステップS70：

中央処理部106は、送信しようとするデータを、送信用RAM532上に展開する。即ち、中央処理部106は、前述のステップS55において処理が終了したデータのうち、フィルタリング処理以外の処理を施したデータを、送信用RAM532に格納する。

10

【0097】

ステップS71：

スイッチ部407は、送信用RAM532上に格納されているデータを、送信用バッファ534および内部バス430を介して、データ送受信部403cに転送する。

【0098】

ステップS72：

データ送受信部403cは、転送されてきたデータを、NET#3に対して送出する。

【0099】

以上の処理により、ホストI/F450に格納されているデータを、データ送受信部403cからNET#3に向けて送出することが可能になる。

20

以上に示したように、従来のスイッチ装置の送受信処理、および、本実施の形態のスイッチ装置の送受信処理の比較により、本実施の形態のスイッチ装置の方が、短いステップ数で同様の処理を実行することが可能であり、その結果、処理速度を向上させることが可能となることが理解できる。

【0100】

図11は、図4に示すホストI/F450の他の構成例を示す図である。この構成例では、ホストI/F450は、汎用メモリI/F620、受信用DPRAM(Dual Port RAM)621、送信用DPRAM622、送信用FIFO624、および、受信用FIFO625によって構成されている。

【0101】

汎用メモリI/F620は、図6に示す構成と同様になっており、受信用DPRAM621および送信用DPRAM622と内部バス110との間でデータを授受する際のインターフェースである。

30

【0102】

受信用DPRAM621は、中央処理部106による処理が必要なデータが一時的に格納されるメモリであり、デュアルポートであることから、受信用FIFO625と、汎用メモリI/F620の双方からの同時のアクセスが可能である。

【0103】

送信用DPRAM622は、中央処理部106による処理が終了したデータが一時的に格納されるメモリであり、デュアルポートであることから、送信用FIFO624と、汎用メモリI/F620の双方からの同時のアクセスが可能である。

40

【0104】

送信用FIFO624は、送信用DPRAM622に格納されているデータを読み出して一時的に格納し、格納された順に読み出して内部バス430に出力する。

【0105】

受信用FIFO625は、スイッチ部407から供給されたデータを一時的に格納した後、格納された順に受信用DPRAM621に供給する。

このように、受信用および送信用のRAMとして、DPRAMを用いることにより、RAMへの書き込み動作と、読み出し動作を並行して行うことが可能になるので、トータルの処理時間を短縮することができ、結果的に、データの転送処理を迅速に行うことが可能に

50

なる。

【0106】

図12は、図4に示すホストI/F450の更に他の構成例を示す図である。この構成例では、ホストI/F450は、汎用メモリI/F630、送受信MPRAM(Multi Port RAM)631、送信用FIFO634、受信信用FIFO635によって構成されている。

【0107】

汎用メモリI/F630は、図6に示す構成と同様になっており、送受信MPRAM631と内部バス110との間でデータを授受する際のインターフェースである。

【0108】

送受信MPRAM631は、中央処理部106による処理が必要なデータが一時的に格納されるメモリであり、マルチポートであることから、送信用FIFO634、受信信用FIFO635、および、汎用メモリI/F630が並行してアクセスすることが可能である。

【0109】

送信用FIFO634は、送受信MPRAM631に格納されているデータを読み出して一時的に格納し、格納された順に読み出して内部バス430に出力する。一方、受信信用FIFO635はスイッチ部407から供給されたデータを一時的に格納した後、格納された順に送受信MPRAM631に供給する。

【0110】

このように、受信信用DPRAM621と送信用DPRAM622を統合し、送受信MPRAM631とすることにより、中央処理部106がスイッチ部407から供給された受信データを処理し、それをNET#1~#nに送信したい場合は、ステップS70で示した展開処理は不要となり、更に効率が上がることになる。

【0111】

図13は、図4に示すホストI/F450の更に他の構成例を示す図である。この構成例では、ホストI/F450は、汎用メモリI/F640、受信信用DPRAM641、送信用DPRAM642、汎用メモリI/F644、および、汎用メモリI/F645によって構成されている。

【0112】

汎用メモリI/F640は、図6に示す構成と同様になっており、受信信用DPRAM641および送信用DPRAM642と内部バス110との間でデータを授受する際のインターフェースである。

【0113】

受信信用DPRAM641は、中央処理部106による処理が必要なデータが一時的に格納されるメモリであり、デュアルポートであることから、内部バス430と、汎用メモリI/F640の双方からの同時のアクセスが可能である。

【0114】

送信用DPRAM642は、中央処理部106による処理が終了したデータが一時的に格納されるメモリであり、デュアルポートであることから、内部バス430と、汎用メモリI/F640の双方からの同時のアクセスが可能である。

【0115】

汎用メモリI/F644は、スイッチ部407が送信用DPRAM642の任意のアドレスにアクセスすることができるようにするためのインターフェースであり、図6に示す構成と同様になっている。

【0116】

汎用メモリI/F645も同様に、スイッチ部407が受信信用DPRAM641の任意のアドレスにアクセスすることができるようにするためのインターフェースであり、図6に示す構成と同様になっている。

【0117】

10

20

30

40

50

このように、受信用および送信用のRAMとして、DPRAMを用いることにより、RAMへの書き込み動作と、読み出し動作を並行して行うことが可能になるので、トータルの処理時間を短縮することができるとともに、汎用メモリI/F644および汎用メモリI/F645を用いることにより、スイッチ部407が任意のデータに対してアクセスすることが可能になるので、例えば、優先順位に応じてデータを処理することが可能になる。

【0118】

図14は、図4に示すホストI/F450の更に他の構成例を示す図である。この構成例では、ホストI/F450は、汎用メモリI/F650、送受信MPRAM651、汎用メモリI/F654によって構成されている。

【0119】

汎用メモリI/F650は、図6に示す構成と同様になっており、送受信MPRAM651と内部バス110との間でデータを授受する際のインターフェースである。

【0120】

送受信MPRAM651は、中央処理部106による処理が必要なデータが一時的に格納されるメモリであり、マルチポートであることから、汎用メモリI/F654および汎用メモリI/F650が並行してアクセスすることが可能である。

【0121】

汎用メモリI/F654は、スイッチ部407が、送受信MPRAM651に格納されている任意のデータに対してアクセス可能となるようにするためのインターフェースである。

【0122】

このように、受信用DPRAM621と送信用DPRAM622を統合し、送受信MPRAM651とすることにより、必要なメモリ容量を減少させ、その結果、装置のサイズとコストを縮減することが可能になる。また、汎用メモリI/F654を用いることにより、スイッチ部407が任意のデータに対してアクセスすることが可能になり、例えば、データの優先制御を容易に実行することが可能になる。

【0123】

図15は、本発明のスイッチ装置の他の構成例を示す図である。この実施の形態では、スイッチ装置は、スイッチング処理部201、中央処理部206、主記憶部208、およびブリッジ部250によって構成されている。

【0124】

スイッチング処理部201は、図4と同様の構成とされており、NET#1~#nから入力されたデータをスイッチングするとともに、中央処理部206からのアクセスを受け付ける。

【0125】

主記憶部208は、汎用メモリI/F211aおよび記憶部211bから構成され、中央処理部206が実行するプログラム等を格納している。

中央処理部206は、主記憶部208の記憶部211bに格納されているプログラムに従って種々の処理を実行するとともに、スイッチング処理部201の内部にある受信用RAM533に格納されている通信データに対して所定の処理を施す。

【0126】

ブリッジ部250は、入出力I/F250a、汎用メモリI/F250b、DMAC250cによって構成されており、スイッチング処理部201、中央処理部206、および、主記憶部208を相互に接続し、これらの間でデータの授受、制御信号の変換やそれらの調停等を行う。

【0127】

ここで、入出力I/F250aは、スイッチング処理部201を接続するためのインターフェースである。

汎用メモリI/F250bは、主記憶部208を接続するためのインターフェースであり、図6の場合と同様の構成とされている。

10

20

30

40

50

## 【0128】

D M A C 2 5 0 c は、スイッチング処理部 2 0 1 と、主記憶部 2 0 8 との間でデータを転送する。

なお、以上の実施の形態では、図 3 に示す実施の形態と比較して、内部バス 1 1 0 がブリッジ部 2 5 0 に置換される以外は、図 3 と同様であり、その動作も基本的には図 3 の場合と同様であるので、詳細な動作の説明は省略する。

## 【0129】

図 1 6 は、本発明のスイッチ装置の更に他の構成例を示す図である。この図の実施の形態は、スイッチング処理部 3 0 1、中央処理部 3 0 6、主記憶部 3 0 8、および、ブリッジ部 3 5 0 によって構成されている。

10

## 【0130】

ここで、スイッチング処理部 3 0 1 は、図 4 と同様の構成とされており、N E T # 1 ~ # n から入力されたデータをスイッチングするとともに、中央処理部 3 0 6 からのアクセスを受け付ける。

## 【0131】

主記憶部 3 0 8 は、汎用メモリ I / F 3 1 1 a および記憶部 3 1 1 b から構成され、中央処理部 3 0 6 が実行するプログラム等を格納している。

中央処理部 3 0 6 は、主記憶部 3 0 8 の記憶部 3 1 1 b に格納されているプログラムに従って種々の処理を実行するとともに、スイッチング処理部 3 0 1 の内部にある受信用 R A M 5 3 3 に格納されている通信データに対して所定の処理を施す。

20

## 【0132】

ブリッジ部 3 5 0 は、内部バス 3 6 0 を介してスイッチング処理部 3 0 1 および主記憶部 3 0 8 ならびに中央処理部 3 0 6 を相互に接続し、これらの中でデータの授受、制御信号の変換やそれらの調停等を行う。

## 【0133】

ここで、入出力 I / F 3 5 0 a は、図示せぬ所定のデバイスがある場合にはそれを接続するためのインターフェースである。

汎用メモリ I / F 3 5 0 b は、内部バス 3 6 0 を介して主記憶部 2 0 8 およびスイッチング処理部 3 0 1 を接続するためのインターフェースである。

## 【0134】

D M A C 3 5 0 c は、スイッチング処理部 3 0 1 と、主記憶部 3 0 8 との間でデータを転送する。なお、この D M A C 3 5 0 c は、省略することができる。

次に、以上の実施の形態の動作について簡単に説明する。

30

## 【0135】

スイッチング処理部 3 0 1 が中央処理部 3 0 6 による処理を必要とするデータを受信した場合には、スイッチ部 4 0 7 は受信したデータを、受信用 R A M 5 3 3 に転送する。

## 【0136】

中央処理部 3 0 6 は、ブリッジ部 3 5 0 および内部バス 3 6 0 を介して、受信用 R A M 5 3 3 の処理が必要なデータに対してアクセスする。このとき、主記憶部 3 0 8 およびスイッチング処理部 3 0 1 の受信用 R A M 5 3 3 と送信用 R A M 5 3 2 は、汎用メモリ I / F 3 5 0 b によって同一のメモリ空間の異なる領域にマッピングされているので、受信用 R A M 5 3 3 のデータが格納されているアドレスを指定することにより、そのデータにアクセスすることができる。

40

## 【0137】

なお、主記憶部 3 0 8 へのアクセスも同様の処理により可能となる。

中央処理部 3 0 6 によって所定の処理が施されたデータは、N E T # 1 ~ # n へ送出する場合は、送信用 R A M 5 3 2 に転送され、既に説明したように、内部バス 4 3 0 を介して、所定のデータ送受信部から出力されることになる。

## 【0138】

以上の実施の形態によれば、スイッチング処理部 3 0 1 は、汎用メモリ I / F 5 3 0 を持

50

ち、かつ受信用RAM533および送信用RAM532はいずれもランダムアクセス可能であるため、これらのRAM(受信用RAM533および送信用RAM532)を主記憶部308の記憶部311bとともにメモリ空間の異なる領域にマッピングし、任意のアドレスを指定することにより、所定のデータにアクセスすることが可能になる。

【0139】

また、入出力I/F350aが解放されるので、ここに他の装置を接続することが可能になる(複数接続することも可能)とともに、スイッチング処理部201と入出力I/F250aとの間のデータ転送を省略することができる。あるいは、入出力I/F350aを省略することにより、装置のサイズを小型化することが可能になる。

【0140】

なお、以上の実施の形態では、転送するデータとしては、ヘッダを有するパケットを想定して説明を行ったが、本発明はそのような構造を有するデータのみ限定されるものではないことはいうまでもない。

【0141】

また、以上に示した実施の形態は、本発明の一実施例であって、本発明がこのような場合のみに限定されるものでないことはもちろんである。

更に、図3に示すスイッチング処理部120をLSIC(Large Scale Integrated Circuit)化し、1チップの半導体装置として実施することも可能であることはいうまでもない。

【0142】

また、スイッチング処理部120のみならず、中央処理部106、DMAC109、および、主記憶部108を適宜組み合わせる半導体装置として実施することも可能であることはいうまでもない。

【0143】

なお、以上の実施の形態では、受信データについては、データを1つのかたまりとして、データ送受信部からスイッチ部407を経由してホストI/F450へ転送し、また、送信データについては、同様にして内部バス110からホストI/F450を経由して送受信部へ転送するようにした。しかしながら、以下に示すように、データを複数の部分に分解し、それぞれのデータを逐次転送するようにしてもよい。

【0144】

即ち、データを受信する場合には、データ送受信部によって受信されつつあるデータを細分してスイッチ部407に徐々に転送し、スイッチ部407に全てのデータが蓄積された場合には、ホストI/F450に転送する。

【0145】

また、データを送信する場合には、ホストI/F450によって内部バス110から受信されつつあるデータを細分してスイッチ部407に徐々に転送し、スイッチ部407に全てのデータが蓄積された場合には、データ送受信部に転送する。

【0146】

このような構成によっても、前述したような本発明の効果を期待することが可能である。また、以上の実施の形態では、データ送受信部(送信の場合はホストI/F450)にデータが格納されている場合に、宛先判定部440がデータの宛先を判定するようにしたが、データ送受信部(送信の場合はホストI/F450)からスイッチ部450へデータを転送する際に、内部バス430に現れるヘッダを参照することも可能である。

【0147】

更に、DMAC109が転送を開始するタイミングとしては、ホストI/F450の受信用バッファ535が十分な容量を有している場合、制御信号生成部426が、ホストI/F450の受信用バッファ535に所定量のデータが蓄積された場合に始めてDMAC109に対して主記憶部108に転送するデータが存在する旨を通知するようにしてもよい。

【0148】

10

20

30

40

50



(付記 1) 複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置において、データを入出力するための複数のポートと、前記複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、前記ポートから入力されたデータを格納する格納手段と、外部に配置され、前記格納手段に格納されているデータに対して所定の処理を施す処理装置から、前記格納手段へのアクセスを受け付けるアクセス受け付け手段と、を有することを特徴とするスイッチ装置。

【0149】

(付記 2) 前記格納手段は、前記ポートから入力されたデータを格納する第 1 の格納手段と、前記ポートへ出力するデータを格納する第 2 の格納手段とを有することを特徴とする付記 1 記載のスイッチ装置。

【0150】

(付記 3) 前記第 1 および第 2 の格納手段は、データの書き込みと読み出しを同時に行うことが可能なデュアルポートメモリによってそれぞれ構成されていることを特徴とする付記 2 記載のスイッチ装置。

【0151】

(付記 4) 前記格納手段は、データの書き込み、データの読み出し、および、前記処理装置からのアクセスとを、同時に実行可能なマルチポートメモリによって構成されていることを特徴とする付記 1 記載のスイッチ装置。

【0152】

(付記 5) 前記処理装置は、バスによって接続されていることを特徴とする付記 1 記載のスイッチ装置。

(付記 6) 前記処理装置は、ブリッジによって接続されていることを特徴とする付記 1 記載のスイッチ装置。

【0153】

(付記 7) 複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置と、必要に応じてデータに所定の処理を施す処理装置と、を有するデータ転送システムにおいて、

前記スイッチ装置は、データを入出力するための複数のポートと、前記複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、前記ポートから入力されたデータを格納する格納手段と、前記処理装置による前記格納手段の所定のデータへのアクセスを受け付けるアクセス受け付け手段と、を有することを特徴とするデータ転送システム。

【0154】

(付記 8) 前記格納手段は、前記ポートから入力されたデータを格納する第 1 の格納手段と、前記ポートへ出力するデータを格納する第 2 の格納手段とを有することを特徴とする付記 7 記載のデータ転送システム。

【0155】

(付記 9) 前記第 1 および第 2 の格納手段は、データの書き込みと読み出しを同時に行うことが可能なデュアルポートメモリによってそれぞれ構成されていることを特徴とする付記 8 記載のデータ転送システム。

【0156】

(付記 10) 前記格納手段は、データの書き込み、データの読み出し、および、前記処理装置からのアクセスとを、同時に実行可能なマルチポートメモリによって構成されていることを特徴とする付記 7 記載のデータ転送システム。

10

20

30

40

50

## 【 0 1 5 7 】

(付記 1 1) 前記スイッチ装置と、処理装置とは、バスによって接続されていることを特徴とする付記 7 記載のデータ転送システム。

(付記 1 2) 前記スイッチ装置と、処理装置とは、ブリッジによって接続されていることを特徴とする付記 7 記載のデータ転送システム。

## 【 0 1 5 8 】

(付記 1 3) 前記処理装置が実行するプログラムを格納した記憶装置を更に有することを特徴とする付記 7 記載のデータ転送システム。

## 【 0 1 5 9 】

## 【 発明の効果 】

以上説明したように本発明では、複数のポートの何れかから入力されたデータを、対応する他のポートに転送するためのスイッチング処理を行うスイッチ装置において、データを入出力するための複数のポートと、複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、ポートから入力されたデータのうち、処理装置によって処理が必要なデータを、処理装置からのアクセスがあるまで他の記憶手段へ転送することなく格納する格納手段と、処理装置から、格納手段へのアクセスを受け付けるアクセス受け付け手段と、を設けるようにしたので、データの処理を迅速に行うことが可能になる。

## 【 0 1 6 0 】

また、複数のポートの何れかから入力されたデータを、対応する他のポートに転送するデータ転送システムにおいて、必要に応じてデータに所定の処理を施す処理装置と、データを入出力するための複数のポートと、複数のポートから入力されたデータをその宛先に応じてスイッチングするスイッチング手段と、ポートから入力されたデータのうち、処理装置によって処理が必要なデータを、前記処理装置からのアクセスがあるまで他の記憶手段へ転送することなく格納する格納手段と、処理装置から格納手段へのアクセスを受け付けるアクセス受け付け手段と、を備えるスイッチ装置とを設けるようにしたので、処理装置の処理が追いつかずにデータが喪失することを防止することが可能になる。

## 【 図面の簡単な説明 】

【 図 1 】 本発明の動作原理を説明する原理図である。

【 図 2 】 本発明のスイッチ装置を含むシステムの構成例を示すブロック図である。

【 図 3 】 図 2 に示すスイッチ装置の詳細な構成例を示す図である。

【 図 4 】 図 3 に示すスイッチング処理部の詳細な構成例を示す図である。

【 図 5 】 図 4 に示すホスト I / F の詳細な構成例を示す図である。

【 図 6 】 図 5 に示す汎用メモリ I / F の詳細な構成例を示す図である。

【 図 7 】 図 1 7 に示す従来のスイッチ装置の受信処理の一例を説明するフローチャートである。

【 図 8 】 図 1 7 に示す従来のスイッチ装置の送信処理の一例を説明するフローチャートである。

【 図 9 】 図 2 に示す本実施の形態の受信処理の一例を説明するフローチャートである。

【 図 1 0 】 図 2 に示す本実施の形態の送信処理の一例を説明するフローチャートである。

【 図 1 1 】 図 4 に示すホスト I / F の他の構成例を示す図である。

【 図 1 2 】 図 4 に示すホスト I / F の他の構成例を示す図である。

【 図 1 3 】 図 4 に示すホスト I / F の他の構成例を示す図である。

【 図 1 4 】 図 4 に示すホスト I / F の他の構成例を示す図である。

【 図 1 5 】 本発明のスイッチ装置の他の構成例を示す図である。

【 図 1 6 】 本発明のスイッチ装置の更に他の構成例を示す図である。

【 図 1 7 】 従来のスイッチ装置の詳細な構成例を示す図である。

【 図 1 8 】 図 1 7 に示すスイッチング処理部の詳細な構成例を示す図である。

【 図 1 9 】 図 1 8 に示すホスト I / F の詳細な構成例を示す図である。

## 【 符号の説明 】

10

20

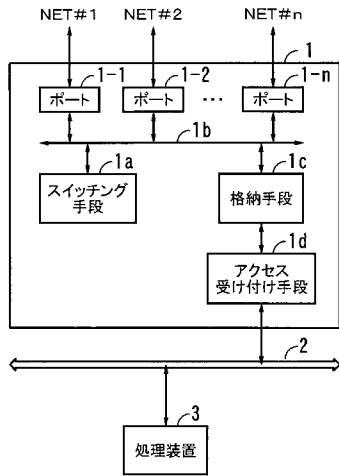
30

40

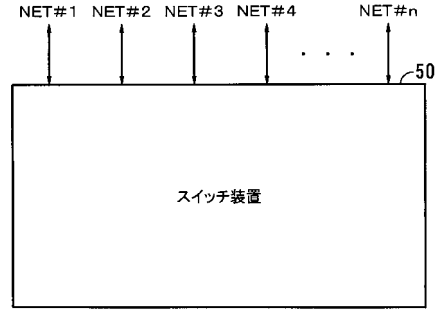
50

1	スイッチ装置	
1 - 1 ~ 1 - n	ポート	
1 a	スイッチング手段	
1 b	バス	
1 c	格納手段	
1 d	アクセス受け付け手段	
2	バス	
3	処理装置	
5 0	スイッチ装置	
5 1 , 5 2	周辺装置	10
1 0 6	中央処理部	
1 0 8	主記憶部	
1 0 9	D M A C	
1 1 0	内部バス	
1 1 1 a	汎用メモリ I / F	
1 1 1 b	記憶部	
1 2 0	スイッチング処理部	
4 0 3 a ~ 4 0 3 n	データ送受信部	
4 0 7	スイッチ部	
4 2 6	制御信号生成部	20
4 3 0	内部バス	
4 4 0	宛先判定部	
4 5 0	ホスト I / F	
5 3 0	汎用メモリ I / F	
5 3 2	送信用 R A M	
5 3 3	受信用 R A M	
5 3 4	送信用バッファ	
5 3 5	受信用バッファ	
7 0 1	制御信号バッファ部	
7 0 2	アドレスバッファ部	30
7 0 3	制御回路	
7 0 4	データバッファ部	
7 0 5	データ入出力制御部	

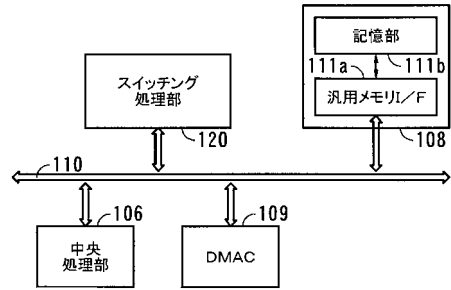
【 図 1 】



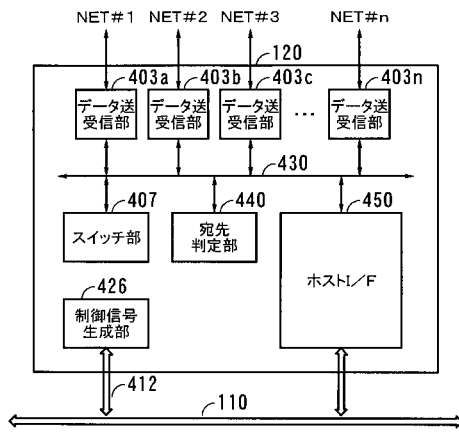
【 図 2 】



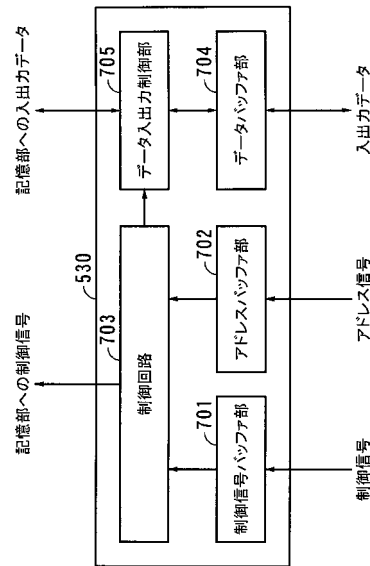
【 図 3 】



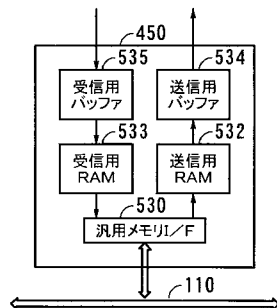
【 図 4 】



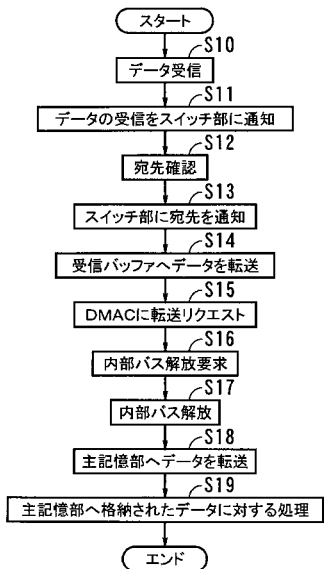
【 図 6 】



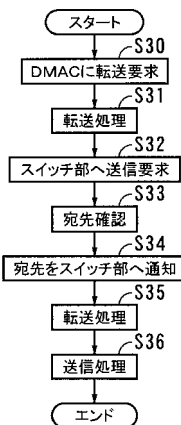
【 図 5 】



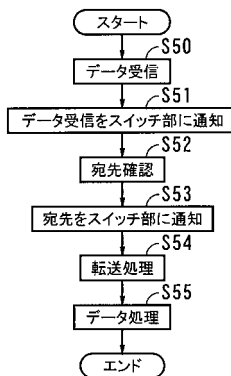
【 図 7 】



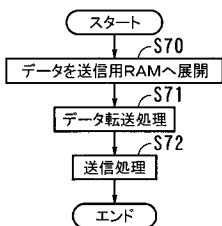
【 図 8 】



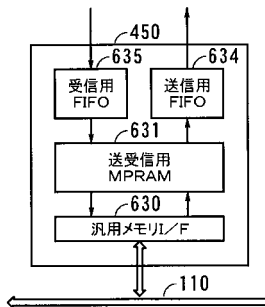
【 図 9 】



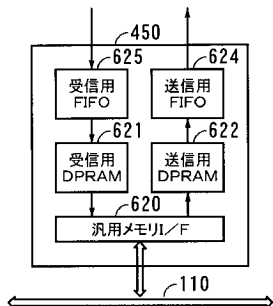
【 図 10 】



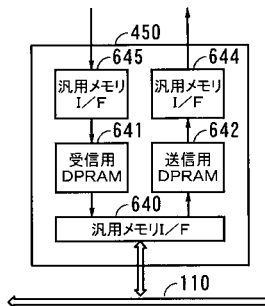
【 図 12 】



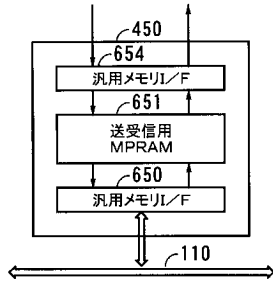
【 図 11 】



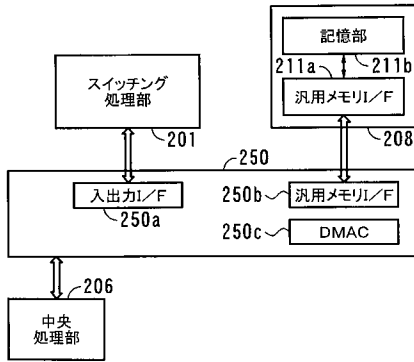
【 図 13 】



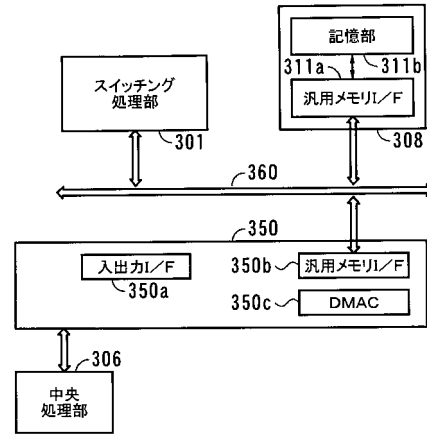
【図14】



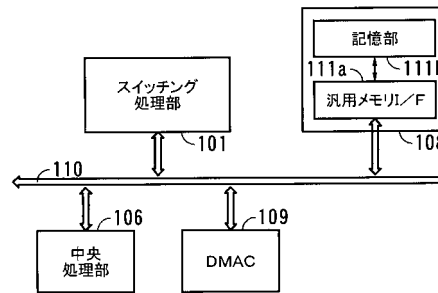
【図15】



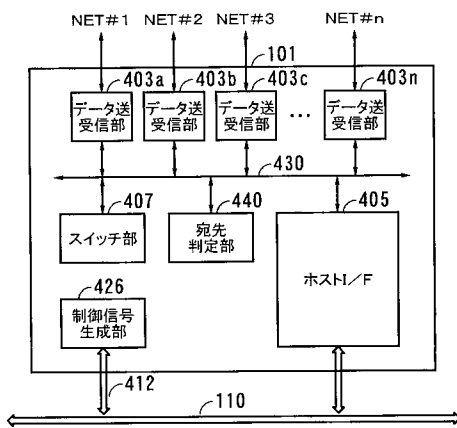
【図16】



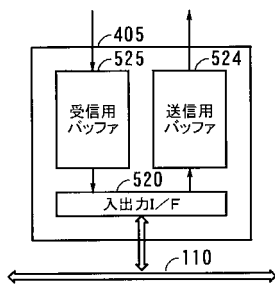
【図17】



【図18】



【図19】



フロントページの続き

審査官 矢頭 尚之

(56)参考文献 特開平11-163945(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 12/44