



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0125096
(43) 공개일자 2012년11월14일

(51) 국제특허분류(Int. Cl.)
H03L 7/099 (2006.01) H03L 7/085 (2006.01)
(21) 출원번호 10-2011-0043177
(22) 출원일자 2011년05월06일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
오태영
서울특별시 송파구 올림픽로4길 15, 아시아 선수촌 아파트 7동 1104호 (잠실동)
최주선
경기도 용인시 수지구 진산로 108, 삼성6차아파트 605동 901호 (풍덕천동)
(74) 대리인
박상수

전체 청구항 수 : 총 10 항

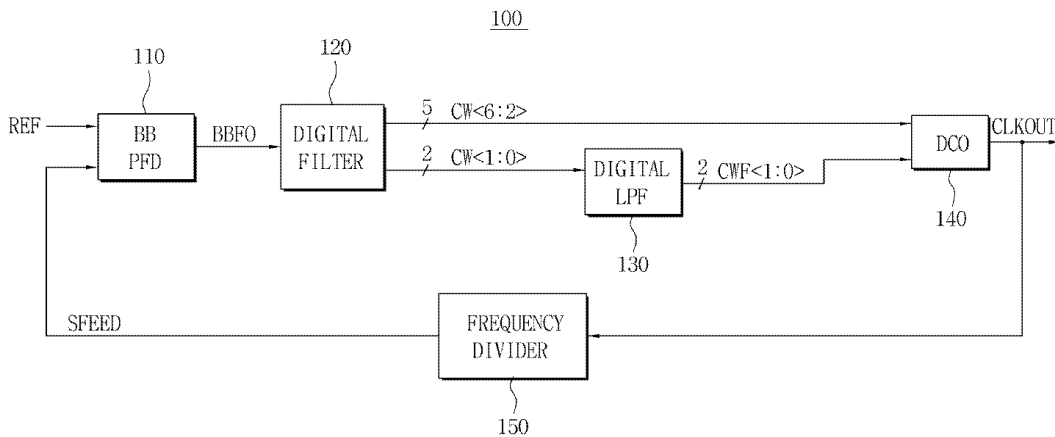
(54) 발명의 명칭 **디지털 제어 발진기를 포함하는 위상동기루프 회로**

(57) 요약

디지털 제어 발진 회로를 포함하는 위상동기루프 회로가 개시된다. 위상동기루프 회로는 위상/주파수 검출기, 디지털 필터, 디지털 로우 패스 필터, 디지털 제어 발진 회로 및 주파수 분할기를 포함한다.

디지털 로우 패스 필터는 제 1 디지털 데이터의 상기 하위 비트들에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생한다. 디지털 제어 발진 회로는 제 2 디지털 데이터 및 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 제 1 신호에 기초하여 발진 제어신호를 발생하고, 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생한다.

대표도



(72) 발명자

리 우근

중국 베이징 100084 칭화대 마이크로전자공학연구
소

왕 지화

중국 베이징 100084 칭화대 마이크로전자공학연구
소

루이 허

중국 베이징 100084 칭화대 마이크로전자공학연구
소

위 쉬에이

중국 베이징 100084 칭화대 마이크로전자공학연구
소

특허청구의 범위

청구항 1

입력신호와 피드백 신호 사이의 위상 및 주파수를 비교하여 제 1 신호를 발생하는 위상/주파수 검출기;

상기 제 1 신호에 대해 디지털 모드로 필터링을 수행하여 상위 비트들과 하위 비트들을 갖는 제 1 디지털 데이터를 발생하는 디지털 필터;

제 1 디지털 데이터의 상기 하위 비트들에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생하는 디지털 로우 패스 필터;

상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생하는 디지털 제어 발진 회로; 및

상기 출력 클럭신호의 주파수를 분할하여 상기 피드백 신호를 발생하는 주파수 분할기를 포함하는 위상동기루프 회로.

청구항 2

제 1 항에 있어서, 상기 디지털 제어 발진 회로는

상기 제 3 디지털 데이터의 비트들을 상위 비트들로 사용하고 상기 제 2 디지털 데이터의 비트들을 하위 비트들로 사용하여 상기 디지털-아날로그 변환을 수행하는 것을 특징으로 하는 위상동기루프 회로.

청구항 3

제 1 항에 있어서, 상기 디지털 로우 패스 필터는

상기 제 2 디지털 데이터의 비트들을 복수의 세트들로 발생하는 것을 특징으로 하는 위상동기루프 회로.

청구항 4

제 3 항에 있어서, 상기 디지털 제어 발진 회로는

상기 제 2 디지털 데이터의 비트들의 세트들을 아날로그 모드로 합하는 것을 특징으로 하는 위상동기루프 회로.

청구항 5

제 1 항에 있어서, 상기 디지털 로우 패스 필터는

서로 직렬 연결된 복수의 D형 플립플롭을 포함하고, 상기 제 1 디지털 데이터의 하위 비트들을 지연시켜 지연된 데이터 세트들을 발생하는 것을 특징으로 하는 위상동기루프 회로.

청구항 6

제 1 항에 있어서, 상기 디지털 제어 발진 회로는

상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 전압신호를 발생하는 디지털-아날로그 변환 회로;

상기 제 1 전압신호에 기초하여 발진 제어신호를 발생하는 전압-전류 변환 회로; 및

상기 발진 제어신호에 응답하여 발진하는 상기 출력 클럭신호를 발생하는 발진 회로를 포함하는 것을 특징으로 하는 위상동기루프 회로.

청구항 7

제 6 항에 있어서, 상기 디지털-아날로그 변환 회로는

상기 제 3 디지털 데이터의 비트들의 값에 응답하여 상위 비트 전류신호를 발생하는 제 1 전류 신호 발생 회

로;

상기 제 2 디지털 데이터의 비트들의 값에 응답하여 하위 비트 전류신호를 발생하는 제 2 전류 신호 발생 회로; 및

상기 상위 비트 전류신호 및 상기 하위 비트 전류신호를 합한 전류를 공급하는 전류 공급부를 포함하는 것을 특징으로 하는 위상동기루프 회로.

청구항 8

제 7 항에 있어서, 상기 제 2 전류 신호 발생 회로는

동일한 회로 구성을 갖고 상기 디지털 로우 패스 필터의 탭(tap) 수에 대응하는 수의 회로 블록들을 포함하는 것을 특징으로 하는 위상동기루프 회로.

청구항 9

제 1 항에 있어서,

상기 제 1 디지털 데이터의 하위 비트들에 대해 델타-시그마 변조를 수행하여 상기 디지털 로우 패스 필터에 제공하는 델타-시그마 변조기를 더 포함하는 것을 특징으로 하는 위상동기루프 회로.

청구항 10

입력 신호와 피드백 신호 사이의 위상 및 주파수를 비교하고 업 신호 및 다운 신호를 발생하는 제 1 위상/주파수 검출기;

상기 업 신호 및 상기 다운 신호에 응답하여 충전과 방전을 하고 제 1 펌핑신호 및 제 2 펌핑 신호를 발생하는 차지 펌프;

상기 제 1 펌핑신호 및 상기 제 2 펌핑 신호에 대해 로우 패스 필터링을 수행하고 제 1 제어 전압과 제 2 제어 전압을 발생하는 아날로그 로우 패스 필터;

상기 제 1 제어 전압과 상기 제 2 제어 전압을 비교하여 선택 신호를 발생하는 비교기;

상기 입력신호와 상기 피드백 신호 사이의 위상 및 주파수를 비교하여 비교출력신호를 발생하는 제 2 위상/주파수 검출기;

상기 선택 신호에 응답하여 상기 비교출력신호에 대해 디지털 모드로 필터링을 수행하여 상위 비트들과 하위 비트들을 갖는 제 1 디지털 데이터를 발생하는 디지털 필터;

제 1 디지털 데이터의 상기 하위 비트들에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생하는 디지털 로우 패스 필터;

상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호, 상기 제 1 제어 전압 및 상기 제 2 제어 전압에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생하는 디지털 제어 발진 회로; 및

상기 출력 클럭신호의 주파수를 분할하여 상기 피드백 신호를 발생하는 주파수 분할기를 포함하는 위상동기루프 회로.

명세서

기술분야

[0001] 본 발명은 위상동기루프 회로 관한 것으로, 특히 디지털 제어 발진기를 포함하는 위상동기루프 회로에 관한 것이다.

배경기술

[0002] 위상동기루프 회로는 입력 클럭신호와 내부 회로에서 사용할 출력 클럭신호의 주파수를 동기화시키는 데 사용

된다.

[0003] 최근에는 디지털 방식의 위상동기루프 회로가 널리 사용되고 있다. 디지털 방식의 위상동기루프 회로는 디지털 방식으로 제어하므로 지터 노이즈 특성이 좋지 않다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 지터 노이즈 특성이 개선된 위상동기루프 회로를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 지터 노이즈 특성이 개선된 위상동기루프 회로의 디지털 제어 발진기를 제공하는 것이다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위하여 본 발명의 하나의 실시형태에 따른 위상동기루프 회로는 위상/주파수 검출기, 디지털 필터, 디지털 로우 패스 필터, 디지털 제어 발진 회로 및 주파수 분할기를 포함한다.

[0007] 위상/주파수 검출기는 입력신호와 피드백 신호 사이의 위상 및 주파수를 비교하여 제 1 신호를 발생한다. 디지털 필터는 상기 제 1 신호에 대해 디지털 모드로 필터링을 수행하여 상위 비트들과 하위 비트들을 갖는 제 1 디지털 데이터를 발생한다. 디지털 로우 패스 필터는 제 1 디지털 데이터의 상기 하위 비트들에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생한다. 디지털 제어 발진 회로는 상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생한다. 주파수 분할기는 상기 출력 클럭신호의 주파수를 감소시켜 상기 피드백 신호를 발생한다.

[0008] 본 발명의 하나의 실시예에 의하면, 상기 디지털 제어 발진 회로는 상기 제 3 디지털 데이터의 비트들을 상위 비트들로 사용하고 상기 제 2 디지털 데이터의 비트들을 하위 비트들로 사용하여 상기 디지털-아날로그 변환을 수행할 수 있다.

[0009] 본 발명의 하나의 실시예에 의하면, 상기 디지털 로우 패스 필터는 상기 제 2 디지털 데이터의 비트들을 복수의 세트들로 발생할 수 있다.

[0010] 본 발명의 하나의 실시예에 의하면, 상기 제 2 디지털 데이터의 비트들의 세트들을 아날로그 모드로 합할 수 있다.

[0011] 본 발명의 하나의 실시예에 의하면, 상기 디지털 로우 패스 필터는 서로 직렬 연결된 복수의 D형 플립플롭을 포함하고, 상기 제 1 디지털 데이터의 하위 비트들을 지연시켜 지연된 데이터 세트들을 발생할 수 있다.

[0012] 본 발명의 하나의 실시예에 의하면, 상기 디지털 제어 발진 회로는 디지털-아날로그 변환 회로, 전압-전류 변환 회로 및 발진 회로를 포함할 수 있다.

[0013] 디지털-아날로그 변환 회로는 상기 제 2 디지털 데이터 및 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 전압신호를 발생한다. 전압-전류 변환 회로는 상기 제 1 전압신호에 기초하여 발진 제어신호를 발생하고, 발진 회로는 상기 발진 제어신호에 응답하여 발진하는 상기 출력 클럭신호를 발생한다.

[0014] 본 발명의 하나의 실시예에 의하면, 상기 디지털-아날로그 변환 회로는 제 1 전류 신호 발생 회로, 제 2 전류 신호 발생 회로 및 전류 공급부를 포함할 수 있다.

[0015] 제 1 전류 신호 발생 회로는 제 1 디지털 데이터의 상기 상위 비트들의 비트들의 값에 응답하여 상위 비트 전류신호를 발생하고, 제 2 전류 신호 발생 회로는 상기 제 2 디지털 데이터의 비트들의 값에 응답하여 하위 비트 전류신호를 발생한다. 전류 공급부는 상기 상위 비트 전류신호 및 상기 하위 비트 전류신호를 합한 전류를 공급한다.

[0016] 본 발명의 하나의 실시예에 의하면, 상기 제 2 전류 신호 발생 회로는 동일한 회로 구성을 갖고 상기 디지털 로우 패스 필터의 탭(tap) 수에 대응하는 수의 회로 블록들을 포함할 수 있다.

[0017] 본 발명의 하나의 실시형태에 따른 위상동기루프 회로는 제 1 위상/주파수 검출기, 차지 펌프, 아날로그 로우

패스 필터, 비교기, 제 2 위상/주파수 검출기, 디지털 필터, 디지털 로우 패스 필터, 디지털 제어 발진 회로 및 주파수 분할기를 포함한다.

[0018] 제 1 위상/주파수 검출기는 입력 신호와 피드백 신호 사이의 위상 및 주파수를 비교하고 업 신호 및 다운 신호를 발생한다. 차지 펌프는 상기 업 신호 및 상기 다운 신호에 응답하여 충전과 방전을 하고 제 1 펌핑신호 및 제 2 펌핑 신호를 발생한다. 아날로그 로우 패스 필터는 상기 제 1 펌핑신호 및 상기 제 2 펌핑 신호에 대해 로우 패스 필터링을 수행하고 제 1 제어 전압과 제 2 제어 전압을 발생한다. 비교기는 상기 제 1 제어 전압과 상기 제 2 제어 전압을 비교하여 선택 신호를 발생한다. 제 2 위상/주파수 검출기는 상기 입력신호와 상기 피드백 신호 사이의 위상 및 주파수를 비교하여 비교 출력신호를 발생한다. 디지털 필터는 상기 선택 신호에 응답하여 상기 비교 출력신호에 대해 디지털 모드로 필터링을 수행하여 상위 비트들과 하위 비트들을 갖는 제 1 디지털 데이터를 발생한다. 디지털 로우 패스 필터는 제 1 디지털 데이터의 상기 하위 비트들에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생한다. 디지털 제어 발진 회로는 상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호, 상기 제 1 제어 전압 및 상기 제 2 제어 전압에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생한다. 주파수 분할기는 상기 출력 클럭신호의 주파수를 감소시켜 상기 피드백 신호를 발생한다.

[0019] 본 발명의 하나의 실시예에 의하면, 상기 디지털 제어 발진 회로는 디지털-아날로그 변환 회로, 전압-전류 변환 회로 및 발진 회로를 포함할 수 있다.

[0020] 디지털-아날로그 변환 회로는 상기 제 2 디지털 데이터 및 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 전압신호를 발생한다. 전압-전류 변환 회로는 상기 제 1 상기 전압, 상기 제 2 제어 전압 및 상기 제 1 전압신호에 기초하여 발진 제어신호를 발생한다. 발진 회로는 상기 발진 제어신호에 응답하여 발진하는 상기 출력 클럭신호를 발생한다.

[0021] 본 발명의 하나의 실시예에 의하면, 상기 디지털-아날로그 변환 회로는 제 1 전류 신호 발생 회로, 제 2 전류 신호 발생 회로 및 전류 공급부를 포함할 수 있다.

[0022] 제 1 전류 신호 발생 회로는 상기 제 1 디지털 데이터의 상기 상위 비트들의 값에 응답하여 상위 비트 전류신호를 발생하고, 제 2 전류 신호 발생 회로는 상기 제 2 디지털 데이터의 비트들의 값에 응답하여 하위 비트 전류신호를 발생한다. 전류 공급부는 상기 상위 비트 전류신호 및 상기 하위 비트 전류신호를 합한 전류를 공급한다.

[0023] 본 발명의 하나의 실시예에 의하면, 상기 전압-전류 변환 회로는 상기 제 1 제어 전압 및 상기 제 2 제어 전압에 대응하는 제 1 전류와 상기 제 1 전압신호에 대응하는 제 2 전류를 합해서 제어 전류를 발생하고 상기 제어 전류에 기초하여 상기 발진 제어신호를 발생할 수 있다.

[0024] 본 발명의 하나의 실시예에 따른 디지털 제어 발진기는 디지털 로우 패스 필터 및 디지털 제어 발진부를 포함한다.

[0025] 디지털 로우 패스 필터는 제 1 디지털 데이터에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터를 발생한다. 디지털 제어 발진부는 상기 제 2 디지털 데이터 및 상기 제 1 디지털 데이터의 상기 상위 비트들에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호를 발생한다.

발명의 효과

[0026] 본 발명의 실시예들에 따른 디지털 제어 발진기를 포함한 위상동기루프 회로는 지터 노이즈 특성이 우수하다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 하나의 실시예에 따른 위상동기루프 회로를 나타내는 블록도이다.
 도 2는 도 1의 위상동기루프 회로에 포함된 디지털 로우 패스 필터의 하나의 예를 나타내는 회로도이다.
 도 3은 도 1의 위상동기루프 회로에 포함된 디지털 제어 발진 회로의 하나의 예를 나타내는 회로도이다.
 도 4는 도 3의 디지털 제어 발진 회로에 포함된 제 2 전류 신호 발생 회로를 구성하는 블록의 하나의 예를 나타내는 회로도이다.

도 5는 도 3의 디지털 제어 발진 회로에 포함된 발진 회로의 하나의 예를 나타내는 회로도이다.

도 6은 본 발명의 다른 하나의 실시예에 따른 위상동기루프 회로를 나타내는 블록도이다.

도 7은 본 발명의 또 다른 하나의 실시예에 따른 위상동기루프 회로를 나타내는 블록도이다.

도 8은 도 7의 위상동기루프 회로에 포함된 디지털 제어 발진 회로의 하나의 예를 나타내는 회로도이다.

도 9는 본 발명의 또 다른 하나의 실시예에 따른 위상동기루프 회로를 나타내는 블록도이다.

도 10은 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하는 위상동기루프 회로의 시뮬레이션 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 안 된다.
- [0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0031] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0032] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0033] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0034] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0035] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.
- [0036] 도 1은 본 발명의 하나의 실시예에 따른 위상동기루프 회로(100)를 나타내는 블록도이다.
- [0037] 도 1을 참조하면, 위상동기루프 회로(100)는 위상/주파수 검출기(110), 디지털 필터(120), 디지털 로우 패스 필터(130), 디지털 제어 발진 회로(140) 및 주파수 분할기(frequency divider)(150)를 포함한다.
- [0038] 위상/주파수 검출기(110)는 입력신호(REF)와 피드백 신호(SFEED) 사이의 위상 및 주파수를 비교하여 제 1 신호(BBFO)를 발생한다. 디지털 필터(120)는 제 1 신호(BBFO)에 대해 디지털 모드로 필터링을 수행하여 상위 비

트들(CW<6:2>)과 하위 비트들(CW<1:0>)을 갖는 제 1 디지털 데이터를 발생한다. 디지털 로우 패스 필터(130)는 제 1 디지털 데이터의 하위 비트들(CW<1:0>)에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터(CWF<1:0>)를 발생한다. 후술하는 바와 같이, 제 2 디지털 데이터(CWF<1:0>)는 8 개의 데이터 세트들(CWF0<1:0> 내지 CWF7<1:0>)을 포함할 수 있다.

- [0039] 디지털 제어 발진 회로(140)는 제 2 디지털 데이터(CWF<1:0>) 및 제 1 디지털 데이터의 상기 상위 비트들(CW<6:2>)에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호(CLKOUT)를 발생한다. 주파수 분할기(150)는 출력 클럭신호(CLKOUT)의 주파수를 분할하여 피드백 신호(SFEED)를 발생한다.
- [0040] 도 2는 도 1의 위상동기루프 회로에 포함된 디지털 로우 패스 필터(130)의 하나의 예를 나타내는 회로도이다.
- [0041] 도 2를 참조하면, 디지털 로우 패스 필터(130)는 서로 직렬 연결된 복수의 D형 플립플롭들(131 내지 138)을 포함하고, 클럭신호(CLK1)에 응답하여 제 1 디지털 데이터의 하위 비트들(CW<1:0>)을 지연시켜 지연된 데이터 세트들(CWF0<1:0> 내지 CWF7<1:0>)을 발생할 수 있다.
- [0042] 도 2에 도시된 바와 같이, 제 2 디지털 데이터(CWF<1:0>)는 8 개의 데이터 세트들(CWF0<1:0> 내지 CWF7<1:0>)을 포함할 수 있다.
- [0043] 도 3은 도 1의 위상동기루프 회로(100)에 포함된 디지털 제어 발진 회로(140)의 하나의 예를 나타내는 회로도이다.
- [0044] 도 3을 참조하면, 디지털 제어 발진 회로(140)는 디지털-아날로그 변환 회로(141), 전압-전류 변환 회로(142) 및 발진 회로(143)를 포함할 수 있다.
- [0045] 디지털-아날로그 변환 회로(141)는 제 2 디지털 데이터(CWF0<1:0> 내지 CWF7<1:0>) 및 제 1 디지털 데이터의 상위 비트들(CW<6:2>)에 대해 디지털-아날로그 변환을 수행하여 제 1 전압신호(VDAC)를 발생한다. 전압-전류 변환 회로(142)는 제 1 전압신호(VDAC)에 기초하여 발진 제어신호(VCON)를 발생하고, 발진 회로(143)는 발진 제어신호(VCON)에 응답하여 발진하는 출력 클럭신호(CLKOUT)를 발생한다.
- [0046] 디지털-아날로그 변환 회로(141)는 제 1 전류 신호 발생 회로(145), 제 2 전류 신호 발생 회로(146) 및 전류 공급부(144)를 포함할 수 있다.
- [0047] 제 1 전류 신호 발생 회로(145)는 제 1 디지털 데이터의 상위 비트들(CW<6:2>)의 값에 응답하여 상위 비트 전류신호를 발생하고, 제 2 전류 신호 발생 회로(146)는 제 2 디지털 데이터(CWF0<1:0> 내지 CWF7<1:0>)의 비트들의 값에 응답하여 하위 비트 전류신호를 발생한다. 전류 공급부(144)는 상기 상위 비트 전류신호 및 상기 하위 비트 전류신호를 합한 전류를 공급한다.
- [0048] 제 1 전류 신호 발생 회로(145)는 NMOS 트랜지스터들(MN2 내지 MN16)을 포함할 수 있으며, 제 2 전류 신호 발생 회로(146)는 NMOS 트랜지스터들(MN17 내지 MN22)을 포함할 수 있다. NMOS 트랜지스터들(MN2 내지 MN6)의 게이트에는 제 1 디지털 데이터의 상위 비트들(CW<6:2>)의 각 비트가 인가되고, NMOS 트랜지스터들(MN17, MN18)의 게이트에는 제 2 디지털 데이터(CWF0<1:0> 내지 CWF7<1:0>)의 각 비트가 인가될 수 있다. NMOS 트랜지스터들(MN7 내지 MN11)의 게이트 및 NMOS 트랜지스터들(MN19, MN20)의 게이트에는 바이어스 전압(VBN1)이 인가될 수 있다. NMOS 트랜지스터들(MN12 내지 MN16)의 게이트 및 NMOS 트랜지스터들(MN21, MN22)의 게이트에는 바이어스 전압(VBN2)이 인가될 수 있다.
- [0049] 전류 공급부(144)는 PMOS 트랜지스터들(MP1, MP2)을 포함할 수 있다. PMOS 트랜지스터(MP1)의 게이트는 PMOS 트랜지스터(MP2)의 드레인에 연결되고, PMOS 트랜지스터(MP2)의 게이트에는 바이어스 전압(VBP)이 인가될 수 있다. 전압-전류 변환 회로(142)는 PMOS 트랜지스터들(MP3, MP4) 및 NMOS 트랜지스터(MN1)을 포함할 수 있다. PMOS 트랜지스터(MP3)의 게이트는 PMOS 트랜지스터(MP1)의 게이트에 연결되고, PMOS 트랜지스터(MP4)의 게이트는 PMOS 트랜지스터(MP2)의 게이트에 연결될 수 있다. PMOS 트랜지스터(MP3)의 드레인은 PMOS 트랜지스터(MP4)의 소스에 연결되고, PMOS 트랜지스터(MP4)의 드레인은 다이오드 형태로 연결된 NMOS 트랜지스터(MN1)의 드레인에 연결된다.
- [0050] 상기 제 2 디지털 데이터의 비트들의 세트들은 아날로그 모드로 합할 수 있다.
- [0051] 도 4는 도 3의 디지털 제어 발진 회로(140)에 포함된 제 2 전류 신호 발생 회로(146)를 구성하는 하나의 블록(CLB8)의 구성을 나타낸다. CLB8은 NMOS 트랜지스터들(MN23 내지 MN28)을 포함할 수 있다. 도 3 및 도 4를 참조하면, 제 2 전류 신호 발생 회로(146)는 동일한 회로 구성을 갖고 디지털 로우 패스 필터(130)의 탭(tap)

수에 대응하는 수의 회로 블록들(CLB1 내지 CLB8)을 포함할 수 있다.

- [0052] 도 5는 도 3의 디지털 제어 발진 회로(140)에 포함된 발진 회로(143)의 하나의 예를 나타내는 회로도이다.
- [0053] 도 5를 참조하면, 발진 회로(143)는 홀수 개의 지연 셀들(DCELL1, DCELL2, DCELL3)을 포함한다. 지연 셀들(DCELL1, DCELL2, DCELL3)은 각각 앞 단의 출력단자가 다음 단의 입력단자에 연결되어 있고, 지연 셀들(DCELL1, DCELL2, DCELL3) 각각은 인버터의 기능을 수행한다. 제 1 지연 셀(DCELL1)은 PMOS 트랜지스터들(MP5, MP6) 및 NMOS 트랜지스터들(MN31, MN32, MN37)을 포함하고, 제 2 지연 셀(DCELL2)은 PMOS 트랜지스터들(MP7, MP8) 및 NMOS 트랜지스터들(MN33, MN34, MN38)을 포함하고, 제 3 지연 셀(DCELL3)은 PMOS 트랜지스터들(MP9, MP10) 및 NMOS 트랜지스터들(MN35, MN36, MN39)을 포함할 수 있다.
- [0054] 도 6은 본 발명의 다른 하나의 실시예에 따른 위상동기루프 회로(100a)를 나타내는 블록도이다.
- [0055] 도 6을 참조하면, 위상동기루프 회로(100a)는 위상/주파수 검출기(110), 디지털 필터(120), 디지털 로우 패스 필터(130), 디지털 제어 발진 회로(140), 주파수 분할기(frequency divider)(150) 및 델타-시그마 변조기(155)를 포함한다.
- [0056] 위상/주파수 검출기(110)는 입력신호(REF)와 피드백 신호(SFEED) 사이의 위상 및 주파수를 비교하여 제 1 신호(BBFO)를 발생한다. 디지털 필터(120)는 제 1 신호(BBFO)에 대해 디지털 모드로 필터링을 수행하여 상위 비트들(CW<6:2>)과 하위 비트들(CW<1:0>)을 갖는 제 1 디지털 데이터를 발생한다. 델타-시그마 변조기(155)는 제 1 디지털 데이터의 하위 비트들에 대해 델타-시그마 변조를 수행한다. 디지털 로우 패스 필터(130)는 델타-시그마 변조기(155)의 출력 데이터에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터(CWF<1:0>)를 발생한다. 제 2 디지털 데이터(CWF<1:0>)는 8 개의 데이터 세트들(CWF0<1:0> 내지 CWF7<1:0>)을 포함할 수 있다.
- [0057] 디지털 제어 발진 회로(140)는 제 2 디지털 데이터(CWF<1:0>) 및 제 1 디지털 데이터의 상기 상위 비트들(CW<6:2>)에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호(CLKOUT)를 발생한다. 주파수 분할기(150)는 출력 클럭신호(CLKOUT)의 주파수를 분할하여 피드백 신호(SFEED)를 발생한다.
- [0058] 도 7은 본 발명의 또 다른 하나의 실시예에 따른 위상동기루프 회로(200)를 나타내는 블록도이다.
- [0059] 도 7을 참조하면, 위상동기루프 회로(200)는 제 1 위상/주파수 검출기(210), 차지 펌프(220), 아날로그 로우 패스 필터(230), 비교기(250), 제 2 위상/주파수 검출기(260), 디지털 필터(270), 디지털 로우 패스 필터(280), 디지털 제어 발진 회로(240) 및 주파수 분할기(290)를 포함한다.
- [0060] 제 1 위상/주파수 검출기(210)는 입력 신호(REF)와 피드백 신호(SFEED) 사이의 위상 및 주파수를 비교하고 업 신호(UP) 및 다운 신호(DN)를 발생한다. 차지 펌프(220)는 업 신호(UP) 및 다운 신호(DN)에 응답하여 충전과 방전을 하고 제 1 펌핑신호(CPOP) 및 제 2 펌핑 신호(CPON)를 발생한다. 아날로그 로우 패스 필터는(230) 제 1 펌핑신호(CPOP) 및 제 2 펌핑 신호(CPON)에 대해 로우 패스 필터링을 수행하고 제 1 제어 전압(VCP)과 제 2 제어 전압(VCN)을 발생한다. 비교기(250)는 제 1 제어 전압(VCP)과 제 2 제어 전압(VCN)을 비교하여 선택 신호(SEL)를 발생한다. 제 2 위상/주파수 검출기(260)는 입력신호(REF)와 피드백 신호(SFEED) 사이의 위상 및 주파수를 비교하여 비교 출력신호(BBFO)를 발생한다. 디지털 필터(270)는 선택 신호(SEL)에 응답하여 비교 출력신호(BBFO)에 대해 디지털 모드로 필터링을 수행하여 상위 비트들(CW<6:2>)과 하위 비트들(CW<1:0>)을 갖는 제 1 디지털 데이터를 발생한다. 디지털 로우 패스 필터(280)는 제 1 디지털 데이터의 상기 하위 비트들(CW<1:0>)에 대해 디지털 모드로 로우 패스 필터링을 수행하여 필터링된 제 2 디지털 데이터(CWF<1:0>)를 발생한다. 디지털 제어 발진 회로(240)는 제 2 디지털 데이터(CWF<1:0>) 및 상기 제 1 디지털 데이터의 상기 상위 비트들(CW<6:2>)에 대해 디지털-아날로그 변환을 수행하여 제 1 신호를 발생하고 상기 제 1 신호, 제 1 제어 전압(VCP) 및 제 2 제어 전압(VCN)에 기초하여 발진 제어신호를 발생하고, 상기 발진 제어신호에 응답하여 발진하는 출력 클럭신호(CLKOUT)를 발생한다. 주파수 분할기(290)는 출력 클럭신호(CLKOUT)의 주파수를 감소시켜 상기 피드백 신호를 발생한다.
- [0061] 도 8은 도 7의 위상동기루프 회로(200)에 포함된 디지털 제어 발진 회로(240)의 하나의 예를 나타내는 회로도이다.
- [0062] 도 8을 참조하면, 디지털 제어 발진 회로(240)는 디지털-아날로그 변환 회로(241), 전압-전류 변환 회로(242) 및 발진 회로(243)를 포함할 수 있다.

- [0063] 디지털-아날로그 변환 회로(241)는 제 2 디지털 데이터(CWF0<1:0> 내지 CWF7<1:0>) 및 제 1 디지털 데이터의 상위 비트들(CW<6:2>)에 대해 디지털-아날로그 변환을 수행하여 제 1 전압신호(VDAC)를 발생한다. 전압-전류 변환 회로(242)는 제 1 전압신호(VDAC), 제 1 제어 전압(VCP) 및 제 2 제어 전압(VCN)에 기초하여 발진 제어 신호(VCON)를 발생하고, 발진 회로(243)는 발진 제어신호(VCON)에 응답하여 발진하는 출력 클럭신호(CLKOUT)를 발생한다.
- [0064] 디지털-아날로그 변환 회로(241)는 제 1 전류 신호 발생 회로(245), 제 2 전류 신호 발생 회로(246) 및 전류 공급부(244)를 포함할 수 있다.
- [0065] 제 1 전류 신호 발생 회로(245)는 제 1 디지털 데이터의 상위 비트들(CW<6:2>)의 값에 응답하여 상위 비트 전류신호를 발생하고, 제 2 전류 신호 발생 회로(246)는 제 2 디지털 데이터(CWF0<1:0> 내지 CWF7<1:0>)의 비트들의 값에 응답하여 하위 비트 전류신호를 발생한다. 전류 공급부(244)는 상기 상위 비트 전류신호 및 상기 하위 비트 전류신호를 합한 전류를 공급한다.
- [0066] 전압-전류 변환 회로(242)는 PMOS 트랜지스터들(MP3, MP4, MP11, MP12, MP13,), NMOS 트랜지스터들(MN1, MN41, MN42, MN43, MN44) 및 저항들(R1, R2)을 포함할 수 있다.
- [0067] 도 9는 본 발명의 또 다른 하나의 실시예에 따른 위상동기루프 회로(200a)를 나타내는 블록도이다.
- [0068] 도 9를 참조하면, 위상동기루프 회로(200a)는 제 1 위상/주파수 검출기(210), 차지 펌프(220), 아날로그 로우 패스 필터(230), 비교기(250), 제 2 위상/주파수 검출기(260), 디지털 필터(270), 델타-시그마 변조기(275), 디지털 로우 패스 필터(280), 디지털 제어 발진 회로(240) 및 주파수 분할기(290)를 포함한다.
- [0069] 도 9의 위상동기루프 회로(200a)는 디지털 필터(270)의 출력을 델타-시그마 변조기(275)에 의해 델타-시그마 변조를 수행한 후 디지털 로우 패스 필터(280)에 입력된다는 점 외에는 도 8의 위상동기루프 회로(200)와 유사한 회로 구성을 가진다. 따라서 도 9의 위상동기루프 회로(200a)의 동작 설명은 생략한다.
- [0070] 도 10은 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하는 위상동기루프 회로의 시뮬레이션 결과를 나타내는 그래프이다.
- [0071] 도 10에서, 그래프(GR1)은 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하지 않은 종래의 디지털 위상동기루프 회로의 스펙트럼 밀도(spectral density)를 나타내고, 그래프(GR2)은 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하는 본 발명의 실시예에 따른 디지털 위상동기루프 회로의 스펙트럼 밀도(spectral density)를 나타내는 그래프이다. 도 9에서 8.1 X 10⁸ Hz에서 원하는 신호가 있으며 8.1 X 10⁸ Hz 주위에 지터(jitter) 노이즈 파형이 나타나 있다.
- [0072] 도 10에서 알 수 있듯이, 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하는 본 발명의 실시예에 따른 디지털 위상동기루프 회로는 디지털 제어 발진 회로의 앞 단에 디지털 로우 패스 필터를 포함하지 않은 종래의 디지털 위상동기루프 회로에 비해 지터 노이즈가 줄어들었음을 알 수 있다.

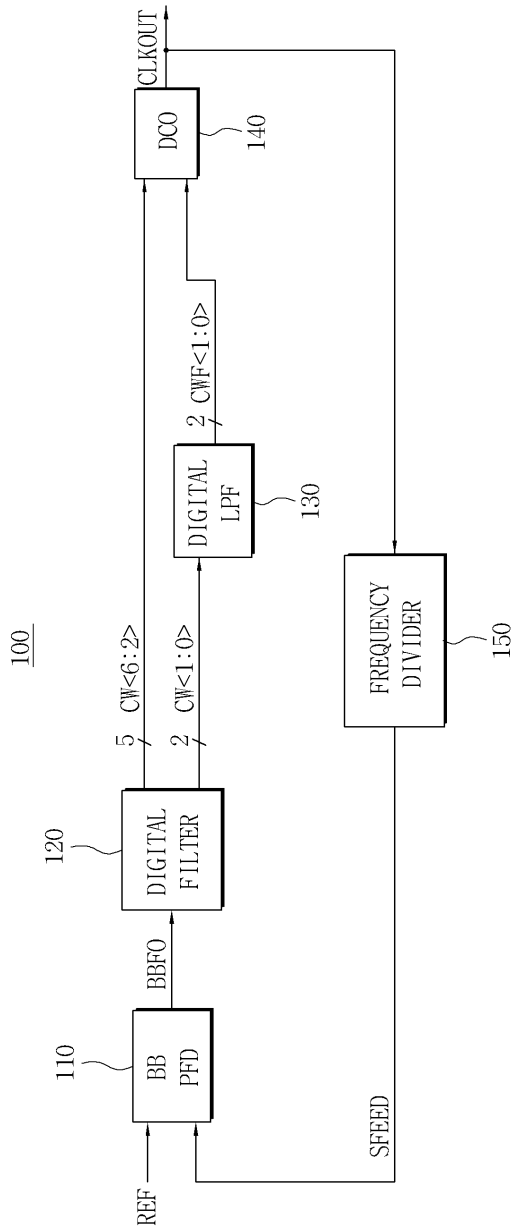
산업상 이용가능성

- [0073] 본 발명은 디지털 제어 발진기를 포함하는 위상동기루프 회로에 적용이 가능하다.
- [0074] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

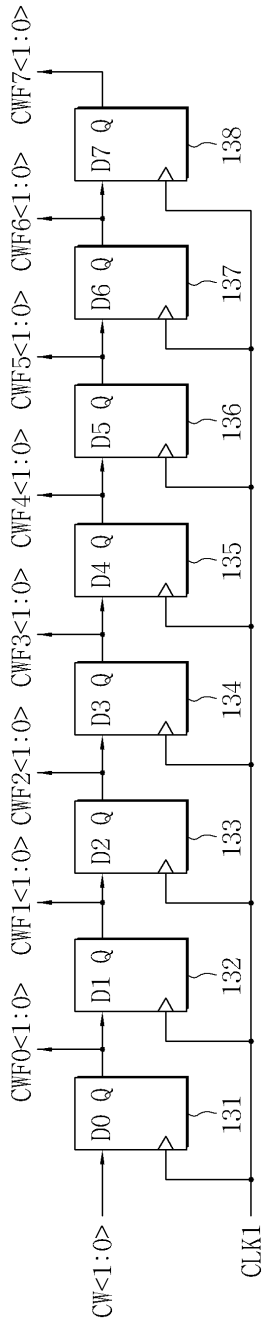
- [0075] 100, 200: 위상동기루프 회로

도면
도면1

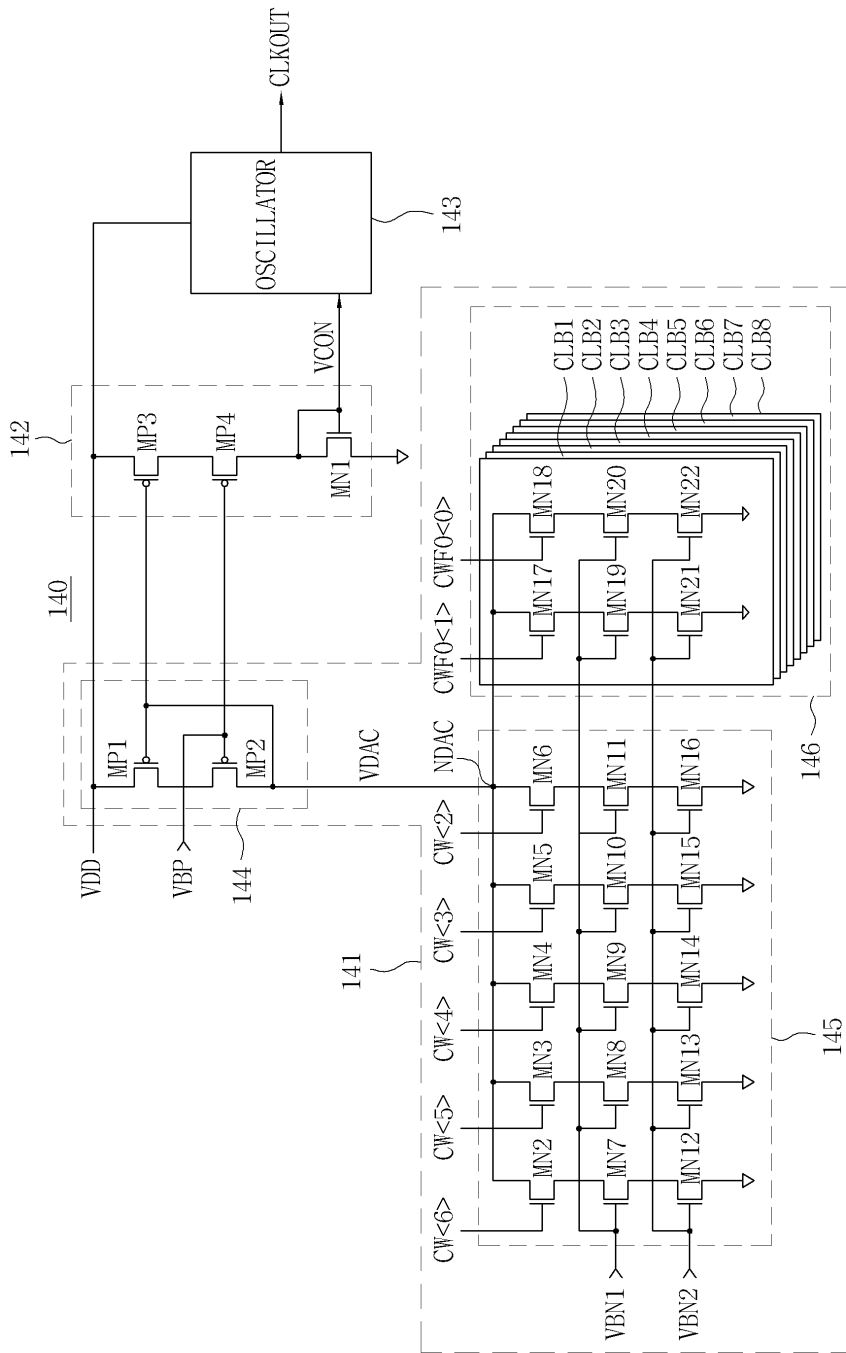


도면2

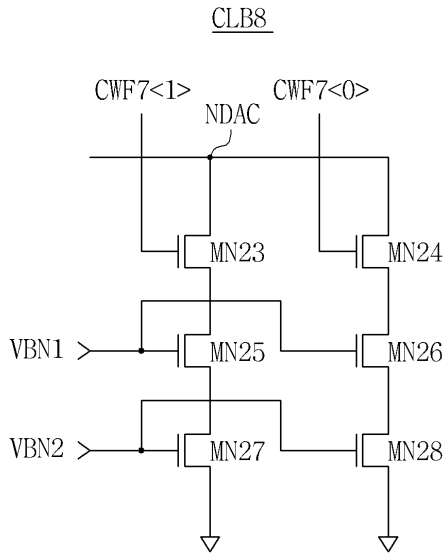
130



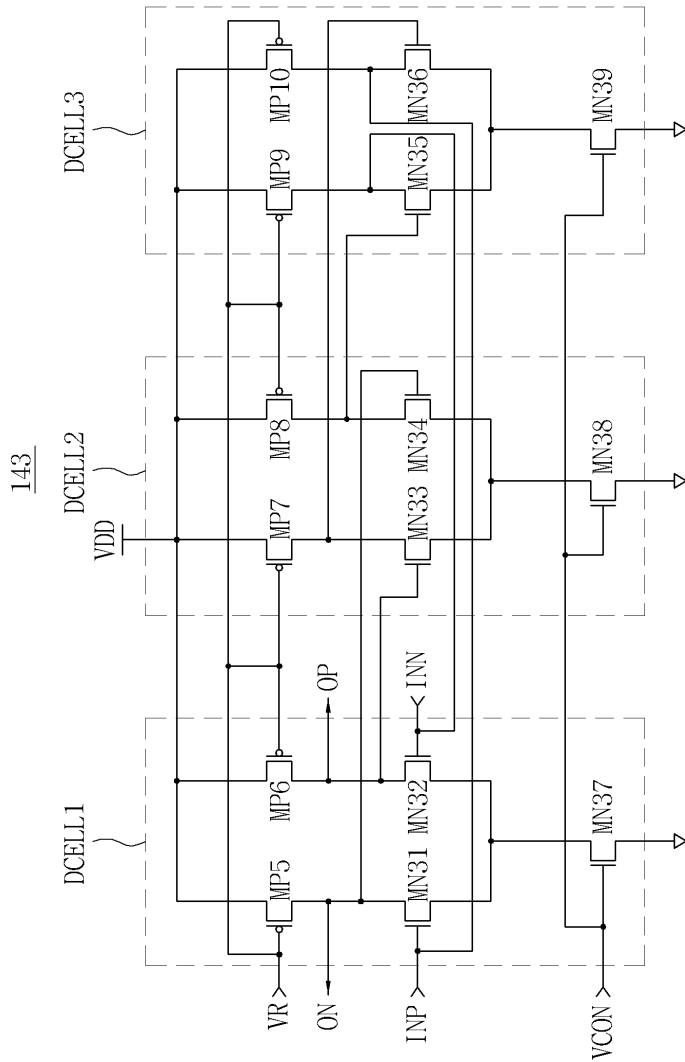
도면3



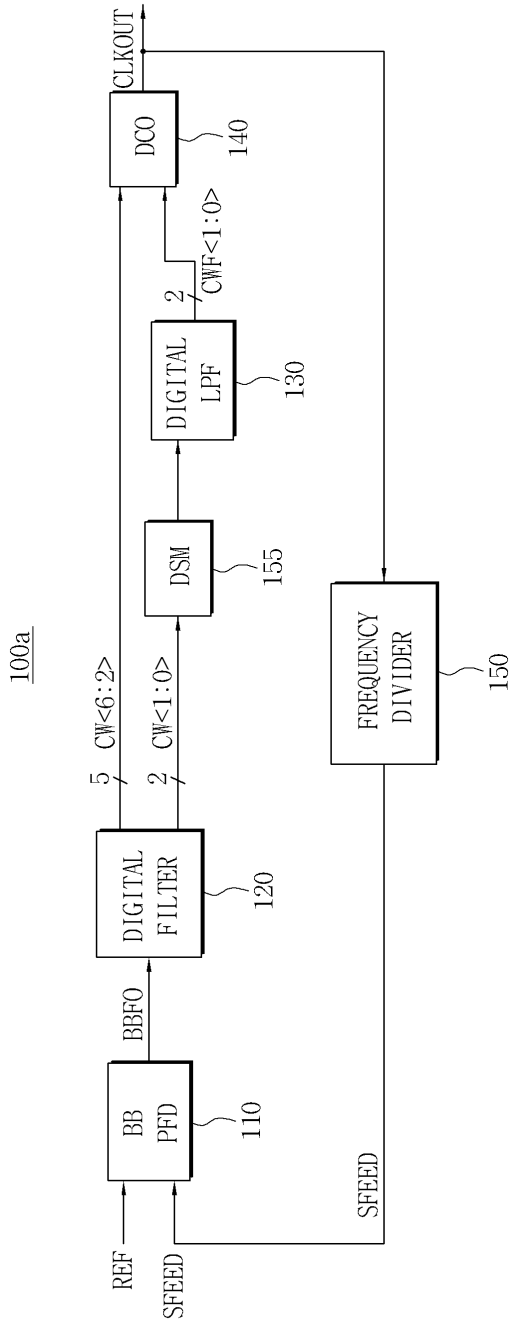
도면4



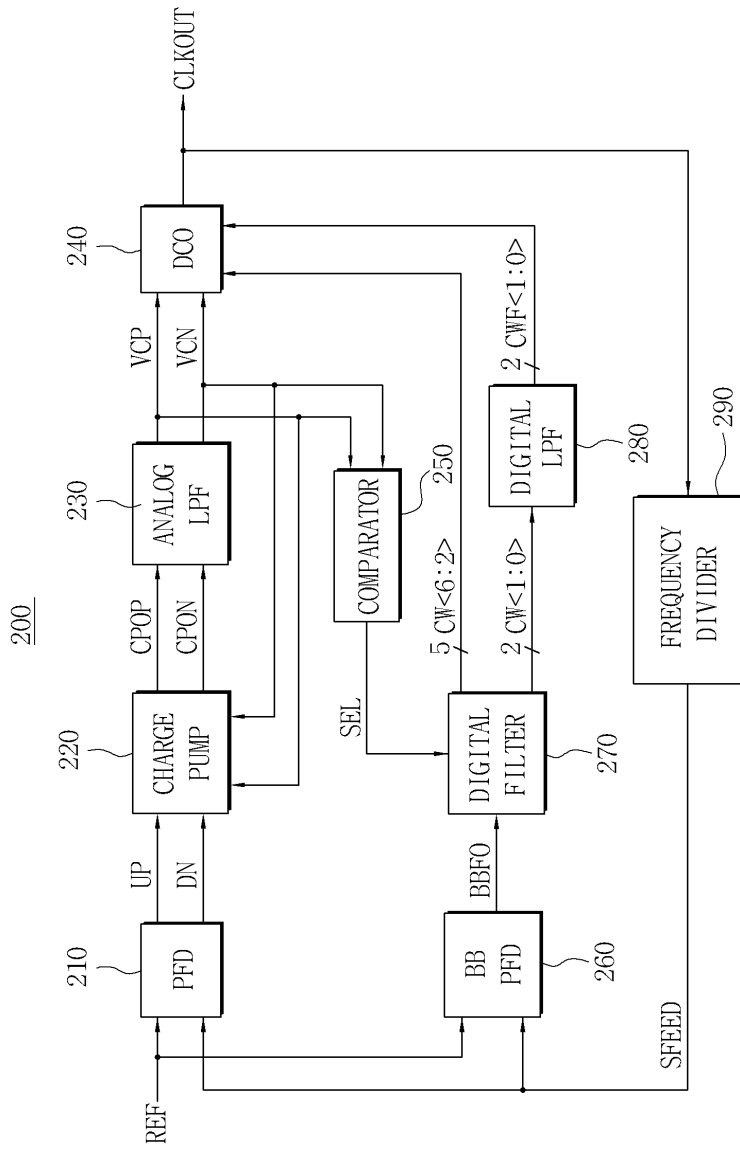
도면5



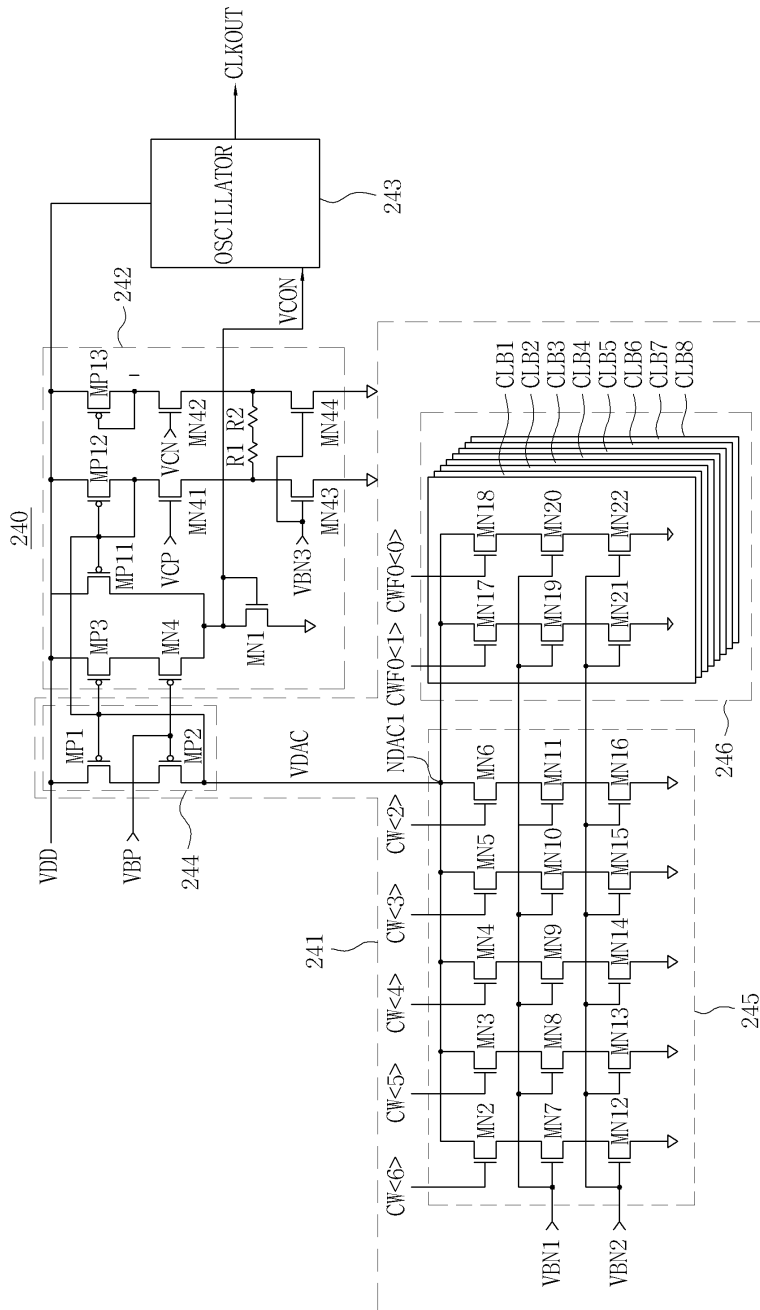
도면6



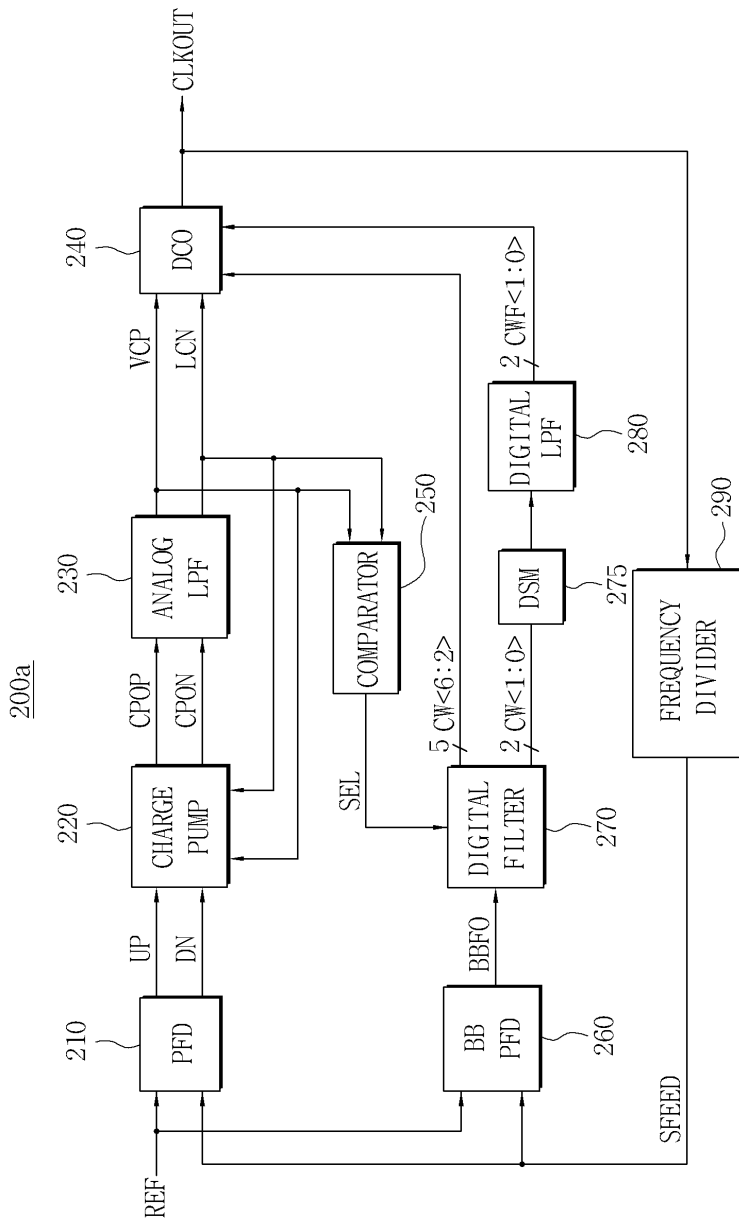
도면7



도면8



도면9



도면10

