

POLSKA  
RZECZPOSPOLITA  
LUDOWA



URZĄD  
PATENTOWY  
PRL

# OPIS PATENTOWY

# 107341

Patent dodatkowy  
do patentu nr \_\_\_\_\_

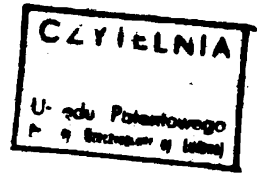
Zgłoszono: 01.07.76 (P. 190892)

Pierwszeństwo \_\_\_\_\_

Zgłoszenie ogłoszono: 16.01.78

Opis patentowy opublikowano: 30.08.1980

Int. Cl.<sup>2</sup> G06F 7/38



Twórca wynalazku: Stanisław Majerski

Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa  
(Polska)

## Układ cyfrowy do obliczania iloczynu skalarnego wektorów o składowych binarnych

1  
Przedmiotem wynalazku jest układ cyfrowy do obliczania iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$  wektorów o n składowych binarnych  $a_1, a_2, \dots, a_n$  i  $b_1, b_2, \dots, b_n$ . Układ jest przeznaczony do zastosowania w dużych elektronicznych maszynach i systemach cyfrowych oraz wchodzących w ich skład bardzo szybkich procesorach przystosowanych specjalnie do obliczeń na dużych macierzach o wyrazach wielocyfrowych.

Znany jest elektroniczny układ cyfrowy do bardzo szybkiego mnożenia dwóch liczb binarnych, w którym są do siebie równolegle dodawane równocześnie wszystkie, przyporządkowane kolejnym grupom bitów mnożnika, iloczyny częściowe potrzebne do wyznaczania iloczynu końcowego.

W układzie mnożenia liczb 48-bitowych, w którym pojedyncze iloczyny częściowe przyporządkowane są parom kolejnych bitów mnożnika, dodawane jest równocześnie 24 takich iloczynów. Zespół cyfrowy wykonujący to dodawanie złożony jest z 22 sumatorów z zachowaniem przeniesień (carry save adders) i 1 sumatora z propagacją przeniesień (carry propagating adder.) Sumatory te są połączone w wielowarstwową kaskadę zawierającą w 7 warstwach kolejno 8, 5, 3, 2, 2, 1, 1 sumatorów z zachowaniem przeniesień i ósmej warstwie 1 sumator z propagacją przeniesień. Wszystkie te sumatory tworzą zespół cyfrowy stanowiący jedną łączną kombinacyjną sieć przełączającą, bez elementów pamiętających.

Czas wykonania dodawania 24 iloczynów częściowych w takim zespole sumatorów jest sumą maksymalnego czasu propagacji sygnałów przez 7 połączonych w szereg

2  
sumatorów jednopozycyjnych i propagacji przeniesień przez 1 sumator około 90 pozycyjny. Ten ostatni sumator posiada rozbudowane obwody przeskoków przeniesień (carry skips) dla zminimalizowania maksymalnego czasu propagacji przeniesień.

Ilozyny częściowe, dodawane w omówionym zespole sumatorów, stanowią wzajemnie przesunięte wielokrotności mnożnej, przyporządkowane parom bitów mnożnika, reprezentujących liczby całkowite z zakresu od 0 do 3.

10 Dla uniknięcia czasochłonnego wyznaczania 3-krotnej mnożnej, wymagającego dodatkowego dodawania wzajemnie przesuniętych mnożnych, omawiany układ mnożenia zawiera sieć przełączającą, przekształcającą równolegle mnożnik. Sygnały wyjściowe tej sieci przyporządkowane  
15 kolejnym grupom bitów mnożnika, reprezentują, zamiast liczb 0, 1, 2, 3, liczby -2, -1, 0, 1, 2. Dwukrotną mnożną otrzymuje się w omawianym układzie mnożenia przez przesunięcie mnożnej o jeden bit w lewo, a wielokrotności ujemne — przez zanegowanie bitów wielokrotności dodatnich i uwzględnienie kolekcyjnej jedynki na najmniej znaczącej pozycji binarnej.

20 Układ mnożenia zawierający omówiony zespół sumatorów opisany został w pracach: C. S. Wallace „A Suggestion for a Fast Multiplier”, The Institute of Electrical and Electronics Engineers, Transactions on Electronic Computers, tom EC-13, strony 14—17, luty 1964; T. G. Hallin, M. J. Flynn „Pipelining of Arithmetic Functions”, The Institute of Electrical and Electronics Engineers, Transactions on Electronic Computers, tom EC-21,  
25 strony 890—886, sierpień 1972, J. W. Gawrilow, A. N. Pu-

czko "Aritmetičeskie ustroistwa bystrodiejstwujuszczich elektronnych cifrowych wyczislitelnych maszin", Izdatielstwo: Sowietsoje radio, Moskwa 1970, strony 133-180, a obwody przeskokow przeniesien w pracy: O. L. MacSorley High Speed Arithmetic in Binary Computers, Proceedings of Institute of Radio Engineers, tom 49, numer 1, 1961, strony 67-91.

Znane są również układy potokowego przetwarzania informacji (pipeline processing), w których warstwy sieci przełączających przetwarzające informacje są rozdzielone od siebie warstwami rejestrów, dla zapewnienia w poszczególnych warstwach sieci przełączających stopniowego wykonywania, w tym samym czasie, części różnych operacji.

Przebieżanie kolejnych informacji odbywa się w poszczególnych warstwach takich układów z jednakową częstotliwością zależną od maksymalnego opóźnienia warstwy. Układy potokowego przetwarzania opisane zostały w pracach: M. J. Flynn „Pipelining of Arithmetic Functions”, The Institute of Electrical and Electronics Engineers, Transactions on Electronic Computers, tom EC-21, strony 880-886, sierpień 1972, T. C. Chen i inni „Introduction to Computer Architecture” rozdział 9, strona 417, Wydanie: Science Research Associates, Chicago USA, 1975.

Należy zatem uznać za znany, układ do obliczania iloczynu skalarnego, złożony z opisanego wyżej układu mnożenia, podzielonego na niezależnie działające warstwy, dla zapewnienia potokowego przetwarzania informacji, oraz z dołączonego na jego wyjściu sumatora, stanowiącego dodatkową ostatnią warstwę potokowego przetwarzania, w którym dodawane są kolejno iloczyny stanowiące składniki iloczynu skalarnego.

Wadą takiego układu, zwłaszcza dla liczb o dużej dokładności jest stosunkowo długi czas wykonywania dodawania, nawet w sumatorach o bardzo krótkich czasach propagacji przeniesień. Czas ten jako czas opóźnienia jednej z warstw układu decyduje o szybkości potokowego przetwarzania całego układu obliczania iloczynu skalarnego.

Zgodnie z wynalazkiem układ cyfrowy do obliczania iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$  wektorów o  $n$  składowych binarnych  $a_1, a_2, \dots, a_n$  i  $b_1, \dots, b_n$ , jest układem, w którym czynniki iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$  wprowadzane są równoległe parami przez dwa rejestry pamiętające czynniki iloczynów do zespołu przetwarzania, przygotowującego iloczyny częściowe stanowiące składniki tych iloczynów i redukującego liczbę tych składników z zachowaniem ich sumy, z którego następnie otrzymane składniki przesyłane są do rejestrów równoległych pamiętających zredukowane składniki oraz do sumatora równoległego dodającego te zredukowane składniki.

Pod pojęciem rejestru równoległego rozumie się dowolny zespół cyfrowy, do którego wprowadza się równocześnie sygnały reprezentujące bity jednej liczby binarnej w celu ich zapamiętania i z którego dostarczane są, przez wystarczająco długi do wykonania określonej czynności czas, sygnały reprezentujące równocześnie wszystkie pamiętane bity.

Wchodzący w skład układu iloczynu skalarnego zespół przetwarzania posiada strukturę warstwową, o warstwach zawierających sieci przełączające, rozdzielonych od siebie warstwami rejestrów równoległych, dla zapewnienia w poszczególnych warstwach sieci przełączających, stopniowego redukowania w tym samym czasie składników różnych iloczynów obliczanego iloczynu skalarnego.

Ostatnia warstwa sieci przełączających zespołu przetwarzania posiada wyjścia równoległe stanowiące równocześnie

wejścia rejestrów pamiętających zredukowane składniki, oraz wejścia równoległe stanowiące równocześnie wyjścia tych rejestrów, jak również oddzielne i niezależne wejścia równoległe stanowiące wyjścia przedostatniej warstwy zespołu przetwarzania.

Każde z wymienionych wejść i wyjść dostosowane jest do równoległego wprowadzania lub wyprowadzania sygnałów reprezentujących bity jednej liczby. Rejestry pamiętające zredukowane składniki i ostatnia warstwa zespołu przetwarzania tworzą pętlę zamkniętą o ustalonej częstotliwości obiegu informacji, zależnej od opóźnienia wprowadzanego przez warstwę rejestrów i warstwę sieci przełączających. Częstotliwość ta równa jest częstotliwości wprowadzania par czynników kolejnych iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$  z pamiętających je rejestrów do zespołu przetwarzania, oraz równa jest częstotliwości wprowadzania do wszystkich warstw rejestrów w zespole przetwarzania nowych składników otrzymanych w poprzedzających je warstwach sieci przełączających tego zespołu, przez co zapewnione jest potokowe przetwarzanie informacji (pipeline processing) w kolejnych warstwach sieci przełączających zespołu przetwarzania.

Korzystne jest wyposażenie rejestrów wchodzących w skład układu iloczynu skalarnego w środki zapewniające utrzymanie na ich wyjściach niezakłóconych sygnałów poprzednich, aż do momentu zapamiętania nowej zawartości rejestrów (np. „masterslave registers”). Z równoległymi wyjściami ostatniej warstwy zespołu przetwarzania, lub z równoległymi wyjściami rejestrów pamiętających zredukowane składniki, połączone są wejścia sumatora równoległego dodającego zredukowane składniki. Wyjście tego sumatora jest wyjściem zewnętrznym układu obliczania iloczynu skalarnego. Sumator ten dostosowany jest do równoczesnego dodawania równoległego zredukowanych składników, których liczba równa jest liczbie wyjść równoległych zespołu przetwarzania i liczbie rejestrów równoległych pamiętających zredukowane składniki.

Korzystne jest realizowanie sumatora w postaci kombinacyjnej sieci przełączającej, która w przypadku liczby składników większej niż 2 złożona jest z równoległej sieci redukującej tę liczbę składników do 2 składników z zachowaniem ich sumy, oraz z szybkiego równoległego sumatora dwuskładnikowego.

Pod pojęciem objętego niniejszym zgłoszeniem układu iloczynu skalarnego rozumie się nie oddzielną jednostkę konstrukcyjną, ale zestaw współpracujących ze sobą elementów logicznych, które mogą obejmować jeden lub więcej modułów konstrukcyjnych albo stanowić część jednego modułu konstrukcyjnego.

Układem według wynalazku jest w szczególności układ iloczynu skalarnego, w którym ostatnia warstwa sieci przełączających zespołu przetwarzania złożona jest z szeregu nie połączonych bezpośrednio ze sobą koderów binarnych posiadających po 3 wyjścia jednobitowe i po 5, 6 lub 7 wejść jednobitowych. Na wyjściach tych koderów otrzymuje się sygnały reprezentujące zakodowaną binarnie liczbę jedynek reprezentowanych przez sygnały wprowadzone równoległe na ich wejścia. Pojedynczy szereg takich koderów stanowiący ostatnią warstwę zespołu przetwarzania, zapewnia redukcję 5, 6 lub 7 składników wyjściowych do 3 składników wyjściowych o takiej samej sumie. Liczba rejestrów równoległych pamiętających zredukowane składniki równa liczbie wyjść równoległych ostatniej warstwy zespołu przetwarzania wynosi w tym układzie 3. Wyjściowy sumator równoległy tego układu jest szybkim trójskładniko-

wym sumatorem binarnym, stanowiącym kombinacyjną sieć przełączającą. Sieć ta złożona jest z dwóch części. Pierwsza z nich zawiera szereg nie połączonych bezpośrednio ze sobą jednopozycyjnych sumatorów binarnych, posiadających po 3 wejścia i po 2 wyjścia jednobitowe. Łącznie redukują one 3 składniki do 2 składników o tej samej sumie. Drugą część stanowi szybki równoległy dwuskładnikowy sumator binarny.

Korzystne jest jeśli układ według wynalazku zawiera zespół przetwarzania o warstwach kombinacyjnych sieci przełączających, złożonych z podwójnych warstw sumatorów binarnych jednopozycyjnych, nie połączonych ze sobą w ramach tej samej warstwy sumatorowej. Sumatory te uporządkowane są w szeregi, a każdy taki szereg redukuje bez propagacji przeniesień 3 składniki do 2 składników z zachowaniem ich sumy. Korzystne jest jeśli liczba rejestrów równoległych pamiętających zredukowane składniki, równa liczbie wyjść równoległych ostatniej warstwy zespołu przetwarzania wynosi w takim układzie 2, a wyjściowy sumator równoległy jest szybkim dwuskładnikowym sumatorem binarnym stanowiącym kombinacyjną sieć przełączającą.

Dla uzyskania maksymalnej częstotliwości wprowadzania par czynników kolejnych iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$ , dla dużych wartości  $n$ , układ według wynalazku zawiera zespół przetwarzania o warstwach kombinacyjnych sieci przełączających, złożonych z sumatorów jednopozycyjnych, nie połączonych bezpośrednio ze sobą. Sumatory te uporządkowane są w szeregi, z których każdy redukuje 3 składniki do 2 składników z zachowaniem ich sumy. Liczba rejestrów równoległych pamiętających zredukowane składniki, równa liczbie wyjść równoległych ostatniej warstwy zespołu przetwarzania jest w takim układzie nie mniejsza niż 4. Wyjściowy sumator równoległy tego układu dodający równocześnie nie mniej niż 4 składniki binarne, stanowi kombinacyjną sieć przełączającą. Sieć ta jest złożona z co najmniej 2 warstw nie połączonych ze sobą w ramach jednej warstwy jednopozycyjnych sumatorów binarnych, oraz z szybkiego równoległego dwuskładnikowego sumatora binarnego.

Dla zwiększenia szybkości wykonywania obliczeń przez ich zrównoleżenie, jeden układ według wynalazku łączy się z innymi układami obliczania iloczynu skalarnego o takiej samej lub podobnej strukturze. Wszystkie te układy obliczania iloczynu skalarnego połączone są ze sobą w ten sposób, że posiadają wspólny wieloskładnikowy równoległy sumator wyjściowy o jednym wyjściu równoległym.

Dla uzyskania maksymalnej szybkości obliczeń iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$  dla bardzo wielkich wartości  $n$ , jeden układ według wynalazku łączy się z innymi podobnymi układami w taki sposób, że równoległe wyjścia zespołów przetwarzania, należących do poszczególnych układów obliczania iloczynu skalarnego, połączone są z oddzielnymi równoległymi wejściami wieloskładnikowego sumatora wyjściowego. Sumator ten dodaje równoległe zredukowane składniki otrzymane równocześnie w poszczególnych układach obliczania iloczynu skalarnego.

Dla równoległego obliczania w tym samym czasie wartości wielu różnych iloczynów skalarnych, jeden układ według wynalazku łączy się z innymi podobnymi układami w taki sposób, że równoległe wyjścia zespołów przetwarzania, należących do poszczególnych układów obliczania iloczynu skalarnego, łączy się ze wspólnymi dla wszystkich tych układów równoległymi wejściami jednego wieloskładnikowego sumatora wyjściowego. Sumator ten dodaje

równoległe, w różnych odcinkach czasu zredukowane składniki różnych iloczynów skalarnych, otrzymane w poszczególnych układach obliczania iloczynu skalarnego.

Układ cyfrowy do obliczania iloczynu skalarnego, według niniejszego zgłoszenia, działa w sposób niżej opisany. Wprowadzenie par czynników kolejnych iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$  do dwóch rejestrów równoległych, a z nich do zespołu przetwarzania i stopniowe ich przetwarzanie w kolejnych warstwach sieci przełączających tego zespołu odbywa się synchronicznie z ustaloną częstotliwością. Częstotliwość ta dostosowana jest do czasu obiegu informacji w pętli zamkniętej utworzonej przez rejestry pamiętające zredukowane składniki i ostatnią warstwę sieci przełączających zespołu przetwarzania. Czas ten decyduje również o liczbie warstw sieci przełączających, na które jest podzielony zespół przetwarzania.

W kolejnych warstwach sieci przełączających zespołu przetwarzania następuje kolejno dla każdego z iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$  przygotowanie iloczynów częściowych stanowiących jego składniki i stopniowe redukowanie liczby składników z zachowaniem ich sumy. Działanie ostatniej warstwy sieci przełączających zespołu przetwarzania różni się od poprzedzających ją warstw tego zespołu tym, że łącznie ze składnikami kolejnego iloczynu z poprzedniej warstwy redukuje ona również składniki z rejestrów pamiętających zredukowane składniki, których suma równa jest sumie wszystkich wcześniej wprowadzonych kolejnych iloczynów. Po zredukowaniu, przez ostatnią warstwę zespołu przetwarzania, składników ostatniego iloczynu  $a_nb_n$  wraz ze składnikami z rejestrów pamiętających zredukowane składniki, których suma równa jest wówczas sumie  $a_1b_1 + a_2b_2 + \dots + a_{n-1}b_{n-1}$ , otrzymane na wyjściach ostatniej warstwy zespołu przetwarzania składniki dodaje się w wyjściowym sumatorze równoległym otrzymując w wyniku wartość iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$ .

Podstawową zaletą cyfrowego układu do obliczania iloczynu skalarnego, stanowiącego przedmiot wynalazku, jest bardzo duża jego szybkość działania, uzyskana przez zastosowanie potokowego przetwarzania informacji tylko w początkowej i środkowej fazie obliczania kolejnych iloczynów stanowiących składniki iloczynu skalarnego, to znaczy bez obliczania do końca ich wartości. Wyeliminowano dzięki temu w układzie czasochłonny proces propagacji przeniesień przy obliczaniu kolejnych iloczynów. Obliczenie iloczynu skalarnego wektorów o  $n$  składowych wymaga mianowicie w omawianym układzie tylko jednokrotnego procesu propagacji przeniesień występującego na końcu obliczenia, przy dodawaniu dwóch składników wyniku.

Wynalazek zostanie bliżej wyjaśniony w przykładzie wykonania pokazanym na rysunku przedstawiającym układ w schemacie blokowym. Zgodnie z rysunkiem układ zawiera dwa rejestry równoległe, A, B pamiętające czynniki kolejnych iloczynów, trzy rejestry równoległe C, D, E pamiętające zredukowane składniki, zespół przetwarzania P oraz trójskładnikowy sumator równoległy S. Zespół przetwarzania P zawiera cztery warstwy 1, 3, 5, 7 sieci przełączających rozdzielone trzema warstwami 2, 4, 6 rejestrów równoległych. Trójskładnikowy sumator S składa się z warstwy redukującej 8 i szybkiego dwuskładnikowego sumatora równoległego 9.

Każde z wejść i wyjść wymienionych rejestrów i zespołów cyfrowych dostosowane jest do równoległego wprowadzania lub wyprowadzania wszystkich bitów jednej

liczby binarnej. Wprowadzone do układu czynniki są liczbami 32-bitowymi. Pokazane na rysunku wejścia  $wA, wB$  rejestrów  $A, B$  wyprowadzone są na zewnątrz układu obliczania iloczynu skalarnego, a wyjścia  $zA, zB$  tych rejestrów połączone są z dwoma wejściami  $w_1P, w_2P$  warstwy 1 zespołu  $P$ . Trzy wejścia  $w_3P, w_4P, w_5P$  warstwy 7 zespołu  $P$  połączone są natomiast z wyjściami  $zC, zD, zE$  rejestrów  $C, D, E$ , których wejścia  $wC, wD, wE$  stanowią równocześnie wyjścia z  $1P, 2P, 3P$  tej warstwy. Wyjścia z  $1P, 2P, 3P$  połączone są również z wejściami  $w_1S, w_2S, w_3S$  sumatora  $S$ , którego wyjście  $zS$  wyprowadzone jest na zewnątrz układu obliczania iloczynu skalarnego..

Pary czynników kolejnych iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$  wprowadzane są równolegle, z ustaloną częstotliwością, przez rejestry  $A, B$ , do warstwy 1 zespołu  $P$ . W zespole  $P$  następuje stopniowo ich przetwarzanie i przesyłanie z taką samą częstotliwością do kolejnych jego warstw. Warstwa 1 zespołu  $P$  złożona jest z prostych sieci przełączających, na wyjściach których otrzymuje się równolegle, równocześnie wszystkie bity 16 iloczynów częściowych, stanowiących składniki jednego z iloczynów  $a_ib_i$ , kolejno dla  $i=1, 2, \dots, n$ .

Poszczególne iloczyny częściowe iloczynu  $a_ib_i$  przyporządkowane są parom pozycji binarnych mnożnika  $b_i$  i stanowią wzajemnie przesunięte wielokrotności mnożnej  $a_i$ , o różnicach  $-2, -1, 0, +1, +2$ . Warstwa 3 zawiera 2 szeregi, a warstwy 5 i 7 po 1 szeregu, niepołączonych ze sobą koderów posiadających po 7 wejść jednobitowych i po 3 wyjścia jednobitowe. Sygnały wyjściowe każdego z tych koderów reprezentują zakodowaną binarnie liczbę jedynkowych sygnałów wejściowych. Pojedynczy szereg takich niepołączonych ze sobą koderów redukuje 7 składników wejściowych do 3 składników wyjściowych o takiej samej sumie. Łącznie warstwa 3 redukuje z 16 do 8 składników, warstwa 5 — z 8 do 4, a warstwa 7 — z 7 do 3 składników. Warstwy 2, 4, 6 zespołu  $P$  zawierają kolejno 16, 8, 4 rejestry równolegle pamiętające stopniowo zredukowane składniki. Zredukowane w warstwie 5 i pamiętane w czterech rejestrach warstwy 6 cztery składniki kolejnego iloczynu  $a_ib_i$  są następnie zredukowane w warstwie 7 łącznie z trzema składnikami z rejestrów  $C, D, E$ , których suma równa jest wtedy  $a_1b_1 + a_2b_2 + \dots + a_{i-1}b_{i-1}$ .

W wyniku redukcji na wyjściach  $z_1P, z_2P, z_3P$  warstwy 7 zespołu  $P$  otrzymuje się trzy składniki o sumie równej  $a_1b_1 + a_2b_2 + \dots + a_ib_i$ , które wprowadzane są następnie do rejestrów  $C, D, E$ . W rejestrach  $C, D, E$  pamiętane są zatem trzy zredukowane składniki, które w szczególności są składnikami zerowymi do czasu gdy w rejestrach warstwy 6 zespołu  $P$  zapamiętane są składniki iloczynu  $a_1b_1$  oraz są składnikami sumy  $a_1b_1 + a_2b_2 + \dots + a_{n-1}b_{n-1}$ , gdy w rejestrach warstwy 6 pamiętane są składniki iloczynu  $a_nb_n$ . Po zredukowaniu przez warstwę 7 pamiętanych w warstwie 6 czterech składników iloczynu  $a_nb_n$  wraz z trzema pamiętanymi w rejestrach  $C, D, E$  składnikami sumy  $a_1b_1 + a_2b_2 + \dots + a_{n-1}b_{n-1}$ , otrzymuje się na wyjściach  $z_1P, z_2P, z_3P$  warstwy 7 trzy składniki iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$ . Składniki te wprowadzane są następnie na równoległe wejścia  $w_1S, w_2S, w_3S$  trójskładnikowego sumatora  $S$ , na którego równoległym wyjściu  $zS$  otrzymuje się wynik  $a_1b_1 + a_2b_2 + \dots + a_nb_n$ . Sumator  $S$  jest kombinacyjną siecią przełączającą, złożoną z warstwy redukującej 8, stanowiącej szereg niepołączonych ze sobą sumatorów jednopozycyjnych redukujący równoległe 3 składniki do 2 składników o tej samej sumie, oraz z szybkiego dwuskładnikowego sumatora równoległego. 9. Czas działania trój-

składnikowego sumatora  $S$  nie jest ograniczony czasem obiegu informacji w pętli zamkniętej utworzonej przez rejestry  $C, D, E$  i warstwę 7 zespołu  $P$ .

## Zastrzeżenia patentowe

1. Układ cyfrowy do obliczania iloczynu skalarnego  $a_1b_1 + a_2b_2 + \dots + a_nb_n$  wektorów o  $n$  składowych binarnych  $a_1, a_2, \dots, a_n$  i  $b_1, b_2, \dots, b_n$ , które jako czynniki iloczynów  $a_1b_1, a_2b_2, \dots, a_nb_n$ , wprowadzane są równoległe parami przez dwa rejestry pamiętające czynniki iloczynów do zespołu przetwarzania, przygotowującego iloczyny częściowe stanowiące składniki tych iloczynów i redukującego liczbę tych składników z zachowaniem ich sumy, z którego następnie otrzymane składniki przesyłane są do rejestrów równoległych pamiętających zredukowane składniki, oraz do sumatora równoległego dodającego zredukowane składniki, **znamienny tym**, że zespół przetwarzania ( $P$ ) posiada strukturę warstwową o warstwach (1, 3, 5, 7) zawierających sieci przełączające, rozdzielonych od siebie warstwami (2, 4, 6) rejestrów równoległych, dla zapewnienia w poszczególnych warstwach (1, 3, 5, 7) sieci przełączających stopniowego zredukowania w tym samym czasie składników różnych iloczynów obliczanego iloczynu skalarnego, przy czym ostatnia z warstw (7) sieci przełączających zespołu przetwarzania ( $P$ ) posiada wyjścia równoległe ( $z_1P, z_2P, z_3P$ ) stanowiące równocześnie wejścia ( $wC, wD, wE$ ) rejestrów ( $C, D, E$ ) pamiętających zredukowane składniki, oraz wejścia równoległe ( $w_3P, w_4P, w_5P$ ) stanowiące równocześnie wyjścia ( $zC, zD, zE$ ) tych rejestrów, tak że rejestry te ( $C, D, E$ ) i ostatnia warstwa (7) zespołu przetwarzania ( $P$ ) tworzą pętlę zamkniętą o ustalonej częstotliwości obiegu informacji, równej częstotliwości wprowadzania par czynników kolejnych iloczynów  $a_ib_i, a_2b_2, \dots, a_nb_n$  z pamiętających je rejestrów ( $A, B$ ) do zespołu przetwarzania ( $P$ ), oraz równej częstotliwości wprowadzania do wszystkich warstw (2, 4, 6) rejestrów w zespole przetwarzania ( $P$ ) nowych składników otrzymanych w poprzedzających je warstwach (1, 3, 5) sieci przełączających tego zespołu ( $P$ ), natomiast sumator równoległy ( $S$ ) dodający zredukowane składniki posiada wejścia równoległe ( $w_1S, w_2S, w_3S$ ) połączone z wyjściami ( $z_1P, z_2P, z_3P$ ) ostatniej warstwy (7) zespołu przetwarzania ( $P$ ), lub z wyjściami ( $zC, zD, zE$ ) rejestrów ( $C, D, E$ ) pamiętających zredukowane składniki, oraz wyjście równoległe ( $zS$ ), stanowiące wyjście zewnętrzne układu obliczania iloczynu skalarnego.

2. Układ według zastrz. 1, **znamienny tym**, że ostatnia warstwa (7) sieci przełączających zespołu przetwarzania ( $P$ ) złożona jest z szeregu koderów binarnych, posiadających po 3 wyjścia jednobitowe i po 5, 6 lub 7 wejść jednobitowych dla zredukowania 5, 6 lub 7 składników wejściowych do 3 składników wyjściowych o takiej samej sumie, przy czym liczba rejestrów równoległych ( $C, D, E$ ) pamiętających zredukowane składniki, równa liczbie wyjść równoległych ( $z_1P, z_2P, z_3P$ ) ostatniej warstwy (7) zespołu przetwarzania ( $P$ ) wynosi 3, a wyjściowy sumator równoległy jest szybkim trójskładnikowym sumatorem binarnym stanowiącym kombinacyjną sieć przełączającą, złożoną z szeregu niepołączonych bezpośrednio ze sobą jednopozycyjnych sumatorów binarnych, redukujących łącznie 3 składniki do 2 składników o tej samej sumie, oraz z szybkiego równoległego dwuskładnikowego sumatora binarnego.

3. Układ według zastrz. 1, **znamienny tym**, że zespół przetwarzania zawiera warstwy kombinacyjnych sieci przełączających złożone z podwójnych warstw sumatorów

jednopozycyjnych uporządkowanych w szeregi, gdzie każdy taki szereg redukuje bez propagacji przeniesień 3 składniki do 2 składników z zachowaniem ich sumy, przy czym liczba rejestrów równoległych pamiętających zredukowane składniki równa liczbie wyjść równoległych ostatniej warstwy zespołu przetwarzania wynosi 2, a wyjściowy sumator równoległy jest szybkim dwuskładnikowym sumatorem binarnym stanowiącym również kombinacyjną sieć przełączającą.

4. Układ według zastrz. 1, **znamienny tym**, że zespół przetwarzania zawiera warstwy kombinacyjnych sieci przełączających złożone z niepołączonych ze sobą sumatorów jednopozycyjnych uporządkowanych w szeregi, z których każdy redukuje 3 składniki do 2 składników z zachowaniem ich sumy, przy czym liczba rejestrów równoległych pamiętających zredukowane składniki równa liczbie wyjść równoległych ostatniej warstwy zespołu przetwarzania jest nie mniejsza niż 4, a wyjściowy sumator równoległy dodający równocześnie nie mniej niż 4 składniki binarne jest kombinacyjną siecią przełączającą złożoną z co najmniej 2 warstw nie połączonych ze sobą w ramach jednej warstwy jednopozycyjnych sumatorów binarnych, oraz z szybkiego równoległego dwuskładnikowego sumatora binarnego.

5. Układ według zastrz. 1, **znamienny tym**, że połączony jest z innymi układami obliczania iloczynu skalarnego, o takiej samej lub podobnej strukturze, przy czym wszystkie te układy obliczania iloczynu skalarnego posiadają wspólny wieloskładnikowy równoległy sumator wyjściowy, o jednym wyjściu równoległym.

6. Układ według zastrz. 5, **znamienny tym**, że równoległe wyjścia zespołów przetwarzania, należących do poszczególnych układów obliczania iloczynu skalarnego, połączone są z oddzielnymi równoległymi wejściami wieloskładnikowego sumatora wyjściowego, dodającego równoległe zredukowane składniki, otrzymane równocześnie w poszczególnych układach obliczania iloczynu skalarnego.

7. Układ według zastrz. 5, **znamienny tym**, że równoległe wyjścia zespołów przetwarzania, należących do poszczególnych układów obliczających w tym samym czasie wartości różnych iloczynów skalarnych, połączone są z wspólnymi dla wszystkich tych układów równoległymi wejściami jednego wieloskładnikowego sumatora wyjściowego, dodającego w różnych odcinkach czasu zredukowane składniki różnych iloczynów skalarnych, otrzymane w poszczególnych układach obliczania iloczynu skalarnego.

