

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5096483号  
(P5096483)

(45) 発行日 平成24年12月12日(2012.12.12)

(24) 登録日 平成24年9月28日(2012.9.28)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O

請求項の数 3 (全 15 頁)

(21) 出願番号	特願2009-539352 (P2009-539352)	(73) 特許権者	510188975
(86) (22) 出願日	平成19年11月30日(2007.11.30)		オムニビジョン テクノロジーズ, イン
(65) 公表番号	特表2010-512004 (P2010-512004A)		コーポレイテッド
(43) 公表日	平成22年4月15日(2010.4.15)		アメリカ合衆国 カリフォルニア, サン
(86) 国際出願番号	PCT/US2007/024684		タ クララ, パートン ドライブ 4 2
(87) 国際公開番号	W02008/069994		7 5
(87) 国際公開日	平成20年6月12日(2008.6.12)	(73) 特許権者	390009531
審査請求日	平成22年11月26日(2010.11.26)		インターナショナル・ビジネス・マシーン
(31) 優先権主張番号	11/565,801		ズ・コーポレーション
(32) 優先日	平成18年12月1日(2006.12.1)		INTERNATIONAL BUSIN
(33) 優先権主張国	米国 (US)		ESS MASCHINES CORPO
			RATION
			アメリカ合衆国10504 ニューヨーク
			州 アーモンク ニュー オーチャード
			ロード
			最終頁に続く

(54) 【発明の名称】 撮像素子トランスファゲートデバイスにおけるシリサイドストラップ

(57) 【特許請求の範囲】

【請求項 1】

第1導電性タイプ材料から成る基板；

該基板上に形成されたゲート誘電体層と、該ゲート誘電体層上に形成されたデュアル仕事関数ゲート導体層とを含むトランスファゲートデバイス、

該デュアル仕事関数ゲート導体層は、第1導電性タイプ材料から成る第1ドープ領域及び第2導電性タイプ材料から成る第2ドープ領域を含む；

入射する光に応答して電荷キャリアを捕集するための、前記トランスファゲートデバイスの前記第1ドープ領域に隣接する基板表面に又は該基板表面の下側に形成されたフォトセンシングデバイス；

前記トランスファゲートデバイスの前記第2ドープ領域に隣接する前記基板表面に形成された、第2導電性タイプ材料から成る拡散領域、

該トランスファゲートデバイスは、前記フォトセンシングデバイスと前記拡散領域との間の電荷移動を可能にするチャネル領域を形成している；及び

前記トランスファゲートデバイスの第1導電性タイプ材料から成る前記第1ドープ領域と、前記トランスファゲートデバイスの第2導電性タイプ材料から成る前記第2ドープ領域とを電氣的にカップリングするための、前記デュアル仕事関数ゲート導体層の最上部に形成されたシリサイド構造

を含んで成るアクティブピクセルセンサ(APS)セル構造であって、

前記シリサイド構造が、面積寸法で、前記デュアル仕事関数ゲート導体層の面積寸法よ

10

20

りも小さいアクティブピクセルセンサ（ＡＰＳ）セル構造。

【請求項２】

前記ＡＰＳセル構造が、アクティブピクセルセンサ（ＡＰＳ）セル構造をそれぞれ含んでいる各ピクセルを有するＣＭＯＳ画像センサのピクセルアレイに含まれ、そして当該ＣＭＯＳ画像センサが、画像捕獲装置に含まれる、請求項１に記載のＡＰＳセル構造。

【請求項３】

第１導電性タイプ材料から成る基板を用意すること；

該基板上に形成されたゲート誘電体層及び該ゲート誘電体層上に形成されたデュアル仕事関数ゲート導体層を含むトランスファゲートデバイスを形成すること、

該デュアル仕事関数ゲート導体層は、第１導電性タイプ材料から成る第１ドープ領域及び第２導電性タイプ材料から成る第２ドープ領域を含む；

前記トランスファゲートデバイスの前記第１ドープ領域に隣接する基板表面に又は該基板表面の下側に形成された、入射する光に応答して電荷キャリアを捕集するための、フォトセンシングデバイスを形成すること；

前記トランスファゲートデバイスの前記第２ドープ領域に隣接する前記基板表面ところに、第２導電性タイプ材料から成る拡散領域を形成すること、

前記トランスファゲートデバイスは、前記フォトセンシングデバイスと前記拡散領域との間の電荷移動を可能にするチャネル領域を形成する；そして

前記トランスファゲートデバイスの第１導電性タイプ材料から成る前記第１ドープ領域と、前記トランスファゲートデバイスの第２導電性タイプ材料から成る前記第２ドープ領域とを電氣的にカップリングするための、前記デュアル仕事関数ゲート導体層の最上部にシリサイド構造を形成すること

を含んで成るアクティブピクセルセンサ（ＡＰＳ）セル構造を形成する方法であって、

前記シリサイド構造が、面積寸法で、前記デュアル仕事関数ゲート導体層の面積寸法よりも小さいアクティブピクセルセンサ（ＡＰＳ）セル構造を形成する方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体光学画像センサに関し、特に、低減されたラグ、より高い容量、及びより低い暗電流を示す新規のＣＭＯＳ（相補型金属酸化膜半導体）画像センサ・セル構造に関する。

【背景技術】

【０００２】

ＣＭＯＳ画像センサは、デジタルカメラ、携帯電話機、広範囲なデジタルデバイス、例えばＰＤＡ（パーソナル・デジタル・アシスタント）、パーソナル・コンピュータ、医療機器などのような撮像を必要とする用途に対して、コンベンショナルなＣＣＤセンサに取って代わり始めている。ＣＭＯＳ画像センサは、半導体デバイス、例えばフォトダイオードなどのための現行のＣＭＯＳ製造プロセスを適用することにより、低いコストで製作されるので有利である。さらに、ＣＭＯＳ画像センサは、単一電源によって操作することができるので、そのための消費電力を、ＣＣＤセンサよりも低く抑えることができ、そしてさらに、ＣＭＯＳ論理回路及び同様の論理処理デバイスはセンサ・チップ内に容易に集積され、従ってＣＭＯＳ画像センサを小型化することができる。

【０００３】

現在のＣＭＯＳ画像センサは、ＣＭＯＳアクティブピクセルセンサ（Active Pixel Sensor (APS)）セル・アレイを含んでおり、これらのセルは、光エネルギーを捕集し、そしてこれを読み取り可能な電気信号に変換するために使用される。各ＡＰＳセルは、光生成電荷を下側部分に蓄積するための基板のドープされた領域の上に位置する感光性素子、例えばフォトダイオード、フォトゲート、又は光伝導体を含む。各ピクセルセルには読み取り回路が接続されており、この回路はしばしば、読み取り時に感光性素子からの電荷を受容するための拡散領域を含む。典型的には、このことは、浮動拡散領域に電氣的に接続

10

20

30

40

50

されたゲートを有するトランジスタデバイスによって達成される。撮像素子は、感光性素子からチャンネルを横切って浮動拡散領域へ電荷を移動するための、トランスファゲートを有するトランジスタと、電荷移動前に浮動拡散領域を所定の電荷レベルにリセットするためのトランジスタとを含んでいてもよい。

#### 【0004】

図1に示されているように、典型的なCMOS APSセル10は、ドープp型ピニング層18と、下側の軽度ドープn型領域17とを有するピンド・フォトダイオード20を含む。典型的には、ピンド・ダイオード20は、ダイオード・ピニング層18よりもp型濃度が低いp型基板15又はp型エピタキシャル層又はpウェル表面層の最上部に形成されている。図から明らかなように、表面ドープp型ピニング層18は基板15（又はp型エピタキシャル層又はpウェル表面層）と電氣的に接触している。フォトダイオード20はこうして、n型ドープ領域17がピニング電圧（ $V_p$ ）で完全消耗するように、同じ電位を有する2つのp型領域18及び15を備えている。すなわち、表面ピニング層18は、基板と電氣的な接触状態になる。ピンド・フォトダイオードは、フォトダイオードが完全消耗した時にフォトダイオード中の電位が一定の値 $V_p$ にピン固定されるので「ピン（pinned）」と呼ばれる。このピンド・フォトダイオードの形態は、暗電流（暗環境においてピクセルによって出力される電流）を減少させることにより、デバイス性能を改善する。しかし、ピンド・フォトダイオードの形態は、フォトダイオードから浮動ノードへの電荷の不完全な移動による画像ラグを招くおそれがある。

#### 【0005】

図1にさらに示されているように、フォトダイオード20のn型ドープ領域17及びp領域18は、絶縁領域、すなわちシャロートレンチ分離（STI）領域40と、薄型スペーサ構造23a、bによって取り囲まれた電荷移動トランジスタ・ゲート25との間に、所定の間隔を置いて設けられている。シャロートレンチ分離（STI）領域40は、セルを隣接ピクセルセルから分離するために、ピクセル画像セルの近くに配置されている。動作中、ピクセルから来た光は、ダイオードを通してフォトダイオード上に集束され、ここで、電子がn型領域17に集まる。トランスファゲート25が操作されると、すなわち、例えば薄型誘電体層60上のn型ドープ・ポリシリコン層70を含むトランスファゲート70に電圧を印加することによりオンにされると、光生成電荷24は、電荷を蓄積するドープn型領域17から、トランスファデバイス・チャンネル16を介して、浮動拡散領域30、例えば浮動「ノード」ドープn+型に移動される。

#### 【0006】

図2はさらに、p型材料部分70aと、n型部分70bとを有するゲート25'が内蔵された別の従来技術CMOS APSセル10'を示している。ゲートのn型部分70bは、より低い $V_t$ を有しており、ゲートのp型部分70aはより高い $V_t$ を有している。同時にゲート内に存在する両方を有することにより、トランスファゲートは、フォトダイオードから浮動拡散領域へ電子を引き付ける、組み込まれた場を有する。加えて、CMOS APSセル10'の構成において、アレイ内で浮動ノード拡散領域上に形成されたシリサイド（silicide）コンタクト領域（図示せず）の存在が、輝点欠陥漏れの問題を引き起こすことが示されている。すなわち、これらの拡散領域上に形成されたシリサイドコンタクトの追加の存在によって、偶発的なピクセルが、そのピクセルを使用不能にするのに十分な高さのレベルで電流を漏らすシリサイド「スパイク」を被ることが判っている。その結果として、シリサイドは、輝点収率のために、CMOS撮像素子のアレイから除去されている。

#### 【0007】

図3Aはシリサイドが光を遮断するため、シリサイド層をフォトダイオード表面から遮断された状態で有するCMOS撮像素子12を示しているが、トランスファゲートポリシリコン及び浮動拡散領域上に形成されたシリサイド層80はそのまま残っている。図3Bは、図3AのCMOS撮像素子12を、漏れ挙動をさらに低くするために、シリサイド層80をゲートポリ及び浮動拡散領域から除去した状態で示している。

## 【 0 0 0 8 】

図 3 C は、図 2 の C M O S 撮像素子 1 0 ' を、シリサイド表面層をフォトダイオード 2 0、ゲートポリ領域 7 0 a、7 0 b 及び浮動拡散ノード 3 0 から除去した状態で示す頂面図である。

## 【 0 0 0 9 】

しかし、残念ながら、n 領域及び p 領域を有するトランスファゲートを備えた撮像素子からシリサイドを除去すると、ゲート内部の内蔵型ダイオードを有するように形成された各 C M O S A P S セル・ゲート・ポリシリコンは、ゲート全体がコンタクト形成されるのを妨げる。すなわち、ポリシリコンゲートの n 型又は p 型にだけ接続するコンタクトは、ゲートポリ層の他方の極性に十分に接続されることはない。このことは、ゲートのコンタクト形成されていない部分に時間依存性の電圧をもたらす。すなわち、ゲートの n 型部分に対するコンタクトが形成されると、p 型部分が浮動し、同様に、ゲートの p 型部分に対するコンタクトが形成されると、n 型部分が浮動する。コンタクトが境界エッジ上に直接形成されると、コンタクト・オーバーレイは、コンタクトが統計的に見て一方の側だけに接触することしか許さない。

10

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 1 0 】

従って、低減された（低）ラグ及び暗電流を示す新規の A P S セル構造、並びに輝点スパイク漏れ現象を排除する新規の A P S セル構造を含む、C M O S 画像センサ・セル構造を提供することが強く望まれる。

20

## 【 課題を解決するための手段 】

## 【 0 0 1 1 】

本発明は概ね、改善された半導体撮像素子に関し、そして具体的には、標準的な C M O S 法を用いて製造することができる撮像素子に関する。

## 【 0 0 1 2 】

本発明は、C M O S 画像センサであって、センサが、光検出領域（例えばフォトダイオード）；浮動拡散領域；光検出領域と浮動拡散領域との間に配置されたトランスファゲート、該トランスファゲートはダイオードを形成するために n 型ドープ領域と p 型ドープ領域とを含む；トランスファゲートの n 型ドープ領域と p 型ドープ領域と電気的にカップリングする相互接続層（例えばシリサイド構造）を含んで成る C M O S 画像センサに関する。

30

## 【 0 0 1 3 】

本発明の 1 つの態様の場合、相互接続層はシリサイドを含む、ポリシリコントランスファゲートの p 型領域の少なくとも一部と、n 型領域の少なくとも一部と物理的に接触状態にあるように形成されている。シリサイド層は、ポリゲート幅全体にわたって又はその一部だけに形成されていてよく、またシリサイドは、拡散領域（すなわちフォトダイオード及び浮動拡散領域）上には形成されない。

## 【 0 0 1 4 】

好ましくは、2 つの仕事関数（n 型及び p 型ゲートポリ）を有するトランスファゲートデバイスとシリサイドストラップとを含む本発明の C M O S 撮像素子は協働して、暗電流に対しては、フォトダイオードに高いバリアを示すのに対して、低いラグ・パフォーマンスに対しては浮動拡散領域に低いバリアが提供される。シリサイドストラップは、ダイオード挙動が、ゲートの一方又は他方の側が不確定電圧に浮動するのを許すのを防止する。

40

## 【 0 0 1 5 】

このように、本発明の 1 つの観点によれば、アクティブピクセルセンサ（A P S）セル構造、及び製造方法が提供される。アクティブピクセルセンサ（A P S）セル構造は、第 1 導電性タイプ材料から成る基板；

該基板上に形成されたゲート誘電体層と、該ゲート誘電体層上に形成されたデュアル仕事関数ゲート導体層とを含むトランスファゲートデバイス、

50

該デュアル仕事関数ゲート導体層は、第1導電性タイプ材料から成る第1ドーブ領域及び第2導電性タイプ材料から成る第2ドーブ領域を含む；

入射する光に応答して電荷キャリアを捕集するための、前記トランスファゲートデバイスの前記第1ドーブ領域に隣接する基板表面に又は該基板表面の下側に形成されたフォトセンシングデバイス；

前記トランスファゲートデバイスの前記第2ドーブ領域に隣接する前記基板表面に形成された、第2導電性タイプ材料から成る拡散領域、

該トランスファゲートデバイスは、前記フォトセンシングデバイスと前記拡散領域との間の電荷移動を可能にするチャンネル領域を形成している；及び

前記トランスファゲートデバイスの第1導電性タイプ材料から成る前記第1ドーブ領域と、前記トランスファゲートデバイスの第2導電性タイプ材料から成る前記第2ドーブ領域とを電氣的にカップリングするための、前記デュアル仕事関数ゲート導体層の最上部に形成されたシリサイド構造を含んで成る。

【0016】

1つの態様の場合、フォトセンシングデバイスは、基板表面の下側に形成された第2導電性タイプ材料から成る捕集ウェル；及び基板表面に捕集ウェルの最上部に形成された第1導電性タイプ材料から成るピニング層を含むフォトダイオードを含む。

【0017】

1つの態様の場合、基板、第1導電性タイプ材料から成るピニング層、及びトランスファゲートデバイスのデュアル仕事関数ゲート導体層の第1ドーブ領域が、p型ドーパント材料、例えばホウ素又はインジウムを含む。第2導電性タイプ材料から成る捕集ウェル、第2導電性タイプ材料から成る拡散領域、及びトランスファゲートのデュアル仕事関数ゲート導体層の第2ドーブ領域が、n型ドーパント材料、例えばリン、ヒ素、又はアンチモンを含む。

【0018】

さらに、シリサイド構造は、Ti、Ta、W、Co、Ni、Pt、Pd、又はこれらの合金のシリサイドを含む。

【0019】

1つの態様の場合、トランスファゲートデバイスの第1導電性タイプ材料から成る第1ドーブ領域と、第2導電性タイプ材料から成る第2ドーブ領域とを電氣的にカップリングするための、デュアル仕事関数ゲート導体層の上に形成された前記シリサイド構造は、面積寸法で、デュアル仕事関数ゲート導体層の面積寸法よりも小さい。

【0020】

或いは、トランスファゲートデバイスの第1導電性タイプ材料から成る第1ドーブ領域と、第2導電性タイプ材料から成る第2ドーブ領域とを電氣的にカップリングするための、デュアル仕事関数ゲート導体層の上に形成されたシリサイド構造は、長さ寸法で、デュアル仕事関数ゲート導体層の長さ寸法よりも小さい。

【0021】

トランスファゲートデバイスが、トランスファゲートデバイスの下側の捕集ウェルと浮動拡散領域との間で電荷移動が可能にされる導電チャンネル領域を画定する状況において、さらに別の態様では、シリサイド構造は、導電チャンネル領域を画定する領域の外側で、トランスファゲートデバイスの第1導電性タイプ材料から成る第1ドーブ領域と、第2導電性タイプ材料から成る第2ドーブ領域とを電氣的にカップリングするために、デュアル仕事関数ゲート導体層の最上部に形成されている。

【0022】

有利には、本発明の教示内容は、両極性のデバイス、すなわちn型フォトダイオード及びp型ピニング層及びnFET、並びにp型フォトダイオード、及びpFETを有するn型ピニング層に適用することができる。

【0023】

10

20

30

40

50

本発明の目的、特徴、及び利点は、添付の図面と組み合わせて下記詳細な説明を参照すれば当業者に明らかである。

【図面の簡単な説明】

【0024】

【図1】図1は、従来技術による画像センサのためのCMOSアクティブピクセルセンサ（APS）セル10を示す図である。

【図2】図2は、内蔵型ダイオード、例えばpn接合を備えたゲートポリシリコン層を有する、従来技術によるCMOSアクティブピクセルセンサ（APS）セル10'を示す断面図である。

【図3A】図3Aは、従来技術によるCMOSアクティブピクセルセンサ（APS）セル12を、シリサイドコンタクト領域をフォトダイオードから除去した状態で示す断面図である。

10

【図3B】図3Bは、従来技術によるCMOSアクティブピクセルセンサ（APS）セル12を、シリサイド表面層コンタクト領域をゲートポリ層及び浮動拡散層から除去した状態で示す断面図である。

【図3C】図3Cは、図2のCMOS撮像素子10'を、シリサイド表面層を、フォトダイオード20、ゲートポリ領域70a、70b、及び浮動拡散ノード30から除去した状態で示す頂面図である。

【図4】図4は、シリサイドコンタクト領域をフォトダイオード及び浮動ノード拡散領域から除去し、そしてゲート・バリアac特性を改善するためにゲートポリシリコン上に部分導電性ストラップを形成する、本発明の第1の態様によるCMOS APSセル100を示す断面図である。

20

【図5A】図5Aは、図4に示された本発明の態様に従って形成されたCMOS APSセル100を示す頂面図である。

【図5B】図5Bは、図4に示された本発明の態様の第1変更形に従って形成されたCMOS APSセル100'を示す頂面図である。

【図5C】図5Cは、図4に示された本発明の態様の第2変更形に従って形成されたCMOS APSセル100''を示す頂面図である。

【図5D】図5Dは、図4に示された本発明の態様の第3変更形に従って形成されたCMOS APSセル100'''を示す頂面図である。

30

【図6】図6は、本発明に従って形成されたCMOSアクティブピクセルセンサ（APS）セルを有する画像センサを実現するカメラデバイスを示す側面図である。

【発明を実施するための形態】

【0025】

本発明を詳細に説明する前に、念のために述べておきたいのは、本発明は、好ましくは、CMOSアクティブピクセルセンサに使用されるが、しかしこれには限定されないことである。アクティブピクセルセンサ（APS）は、スイッチとして機能するトランジスタ以外の、ピクセル内部のアクティブ電気素子を意味する。例えば浮動拡散領域又は増幅器は、アクティブ素子である。CMOSは、相補型金属酸化膜シリコン・タイプの電気素子、例えばトランジスタを意味する。これらのトランジスタは、ピクセルと連携するが、しかし典型的にはピクセル内にはなく、またトランジスタのソース/ドレインが1つのドーパント・タイプを有し、且つその相手となるトランジスタが対向ドーパント・タイプを有すると形成される。CMOSデバイスはいくつかの利点を有しており、そのうちの1つは消費電力が少ないことである。

40

【0026】

図4は、フォトセンシングデバイス、例えばフォトダイオード200、及びシリコン含有トランスファゲート、例えばポリシリコントランスファゲート125を含む、本発明の第1態様によるラインCMOS撮像素子APS100の後端部を示す断面図である。ポリシリコントランスファゲート125は、ダイオードを形成する、アノード（p型ドーブ）領域と、隣接するカソード領域（n型ドーブ）領域とを含んでいる。1つの非限定的な例

50

において、ポリシリコントランスファゲート 125 はショットキーダイオードを含む。さらに、図 4 に示されているように、本明細書中で以下により詳細に説明するようなゲート・バリア ac 特性を改善するために、p 型部分 175a と n 型部分 175b とを有するポリゲートの表面上に、導電性構造、例えば部分シリサイド「ストラップ」190 が形成されている。

#### 【0027】

図 4 に示されているように、部分シリサイドストラップ層 190 は、ポリシリコンゲート 125 の p 型ドープ部分 175a と n 型ドープ部分 175b とを電気的に接続する。さらに、図 4 に示されているように、部分シリサイド「ストラップ」190 は、ゲートの境界から所定の距離を置いて形成されたエッジを有している。すなわち、シリサイドストラップ 190 は、ポリゲート層の各エッジ 171, 172 から所定の距離、例えば距離  $d_1$  及び  $d_2$  だけ内方に設けられている。形成される部分シリサイドストラップの、内方へ引き込まれた距離  $d_1$  及び  $d_2$  は、等しい必要はない。すなわち、シリサイドストラップ 190 が p 型部分 175a から n 型部分 175b へ電気的に短絡する限り、ストラップは、ポリ幅の一部だけに被さるように形成される。こうして、図 5A の頂面図に示すように、シリサイドストラップ 190 は、ポリ幅の一部の最上部に形成されている。好ましい態様では、シリサイドストラップ 190 は、拡散領域 130 から離れた状態で形成されることは明らかである。

#### 【0028】

図示はしていないが、図 4 に示された CMOS 撮像素子 APS100 構造の製造方法の一例をここで説明する。言うまでもなく、ダイオード構造、当業者に知られているような隣接する p 型及び n 型のゲートポリシリコン領域を有するトランスファゲートを形成するために、他の技術を用いることもできる。デバイス 100 は基板 15 上に形成され、基板 15 は、例えば Si、SiGe、SiC、SiGeC、GaAs、InP、InAs 及びその他の半導体を含むバルク半導体であってよく、或いは、層状半導体、例えばシリコン・オン・インシュレータ (SOI)、SiC・オン・インシュレータ (SiCOI)、又はシリコンゲルマニウム・オン・インシュレータ (SGOI) であってもよい。説明のため、基板 15 は、例えばホウ素又はインジウム (III-V 半導体の場合にはベリリウム又はマグネシウム) のような p 型ドーパント材料で、例えば  $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-3}$  まで軽度ドープされた第 1 導電性タイプの Si 含有半導体基板である。次いで、基板 15 上に、標準的な堆積 / 成長技術によって誘電体材料層 60 を形成し、これは最終的なトランスファゲート誘電体を形成することになる。誘電体層は、例えば厚さ  $40 \sim 100$  に形成されてよく、好適なゲート誘電体材料、例えば酸化物 (例えば  $\text{SiO}_2$ )、窒化物 (例えば窒化ケイ素)、酸窒化物 (例えば酸窒化 Si)、 $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{ZrO}_2$ 、又はその他の同様の材料を含んでよい。1つの態様において、ゲート誘電体 60 は、酸化物、例えば  $\text{SiO}_2$ 、 $\text{HfO}_2$ 、 $\text{ZrO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_3$ 、 $\text{SrTiO}_3$ 、 $\text{LaAlO}_3$ 、及びこれらの混合物から成る。誘電体層 60 は、コンベンショナルな熱酸化を用いて、又は好適な堆積法、例えば化学蒸着、プラズマ支援化学蒸着、原子層堆積 (ALD)、蒸発、反応性スパッタリング、化学溶液堆積、及びその他の同様の堆積法によって、Si 含有半導体基板 15 の表面上に形成される。ゲート誘電体 16 は、上記方法の任意の組み合わせを利用して形成されてもよい。図示はしないが、誘電体層は、誘電体材料のスタックを含んでもよいことは明らかである。

#### 【0029】

次いで、コンベンショナルな堆積法、例えば CVD、プラズマ支援 CVD、スパッタリング、めっき、蒸発、及びその他の同様の堆積法 (例えば低圧 CVD) を用いて、誘電体層 60 上に、シリコン含有層、例えば多結晶シリコンを形成する。ポリシリコン層は、約  $1 \text{ k} \sim 2 \text{ k}$  の厚さに形成されてよいが、しかしこの範囲から外れていてもよい。或いは、シリコン含有層は、ポリシリコン層のスタックを含んでもよい。次いで、フォトリソグラフィ法、例えばマスク、例えばフォトレジスト層をポリシリコン層上に適用し、そして例えば、形成されるべきトランスファゲートの有効チャネル長を決定する長さにわたっ

10

20

30

40

50

て、ゲート領域を画定するようにパターン化されたマスクを適用し、次いでレジストを現像し、そしてエッチング法を実施することにより、トランスファゲート125を形成する。基本的には、エッチング窓がレジストマスク内に設けられており、そのサイズ及び形状が、形成されるべきゲート領域の横方向のサイズ及び形状をほぼ画定する。次いで、ポリシリコン層及び誘電体層60又は誘電体層スタックの適正なエッチングを保证するように最適化された1種又は2種以上のエッチング法、例えば反応性イオン・エッチング(RIE)法を実施することにより、トランスファゲート構造をもたらす。

#### 【0030】

ゲート誘電体層上に固有のポリシリコン層を含むトランスファゲート構造を形成した後、トランスファゲート構造の一部を覆う後続のマスク堆積法、及びイオン注入法を実施することにより、第2導電性タイプから成るドーパント材料、例えばn型ドーパント材料(例えばリン、ヒ素又はアンチモン)をポリシリコン層内に注入することにより、n型ドーパント・ゲート・ポリシリコン部分175bを形成する。n型ドーパント材料は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の添加濃度を達成するように注入されてよい。同様に、残りの部分、すなわちトランスファゲート構造の他方の側を覆う後続のマスク堆積法を用いて、イオン注入法を実施することにより、第1導電性タイプから成るドーパント材料、例えばp型ドーパント材料(例えばホウ素又はガリウム又はインジウム)をポリシリコン層内に注入することにより、図4に示されたp型ドーパント・ゲート・ポリシリコン部分175aを形成する。p型ドーパント材料は、ゲートポリ中、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の添加濃度を達成するように注入されてよい。或いは、ポリシリコンのドーパントは、プロセス中に既に存在する注入物を使用して、これらの注入物マスクを適正に使用することによって達成することもでき、同時に、これらの注入はチップ内の他の場所で実施される(一例としてソース・ドレイン注入物及びマスクが挙げられるが、他のものの可能である)。

#### 【0031】

なお、上記方法の変更形において、現場でドーピングされたn型、p型、又はn型及びp型両方のポリシリコン材料を、現場ドーピング堆積法又は堆積(例えばCVD、プラズマ支援など)に従って、ゲート誘電体層60の最上部に堆積することができる。現場ドーピング堆積法は、例えば、ゲート誘電体が後続の高温アニーリングに耐えられないときに採用することができるのに対して、イオン注入及びアニールは、ゲート誘電体がこのような高温アニーリングに耐えられる材料であるときに採用することができる。

#### 【0032】

追加の任意選択の工程において、当業者によく知られているコンベンショナルな堆積法によって、トランスファゲートのいずれかの側にゲート側壁スペース(図示せず)を形成することでき、ゲート側壁スペースは、任意のコンベンショナルな酸化物又は窒化物(例えば $\text{Si}_3\text{N}_4$ )又は酸化物/窒化物を含んでよく、これらは次いで、RIE又は別の同様のエッチング法によってエッチングされる。スペーサの厚さは種々様々であってよいが、しかし典型的にはこれらの厚さは約5nm~約150nmである。

#### 【0033】

トランスファゲート側壁スペーサを任意選択的に形成した後、フォトダイオード・ピニング領域180を提供するために、次の工程を実施する。この工程は、フォトレジスト層(図示せず)パターンを形成し、そしてゲートエッジとほぼ一致する、又はできる限り精密な整合許容誤差が与えられるマスク・エッジを形成するための当業者に知られた技術に従ってイオン注入マスクを作成することにより、ゲートのエッジと、形成された絶縁領域、例えばSTI領域(図示せず)との間の区域に開口を設ける。この開口に、フォトダイオードの電荷蓄積領域が形成されるようになっている。この開口は、図4に示されたp型ドーパント・ピニング領域180を形成するのに十分な濃度で、p型ドーパント材料、例えばホウ素から成るイオンを注入するのを可能にする。このピニング領域180は、スペーサ(図示せず)のエッジまで形成されてよい。活性p型ドーパント材料は、次いで $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の添加濃度でイオン注入される。或いは言うまでもなく、p型ピニング・フォトダイオード表面層180は、他の良く知られている技術によって形成す

ることにもできる。例えばp型表面層180は、ガス源プラズマ・ドーピング法によって、フォトダイオードが形成されるべき領域全体にわたって堆積された現場ドーピング層又はドーピング酸化層からp型ドーパントを拡散することにより形成されてよい。

#### 【0034】

フォトダイオード素子200の基板表面のp型ドーピング領域180の下側に、n型ドーパントをイオン注入するために、更なる工程を実施する。潜在的には、ピニング領域を形成するためにp型材料を注入したときと同じイオン注入マスクを使用することでもでき、第2導電性タイプから成るドーパント材料、例えばn型ドーパント材料（例えばリン、ヒ素又はアンチモン）を注入するために、イオン注入法を実施することにより、イオン注入されたp型ピニング層180の下側に電荷捕集層を形成する。図4に示されたフォトダイオード190のn型ドーピング領域170を形成するために、n型ドーパント材料は、より高いエネルギーレベルで注入される。活性n型ドーパント材料は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の添加濃度でイオン注入されてよい。図4に示されているように、光生成電子を捕集するための感光性電荷貯蔵領域170は、n型領域170のプロフィールを調整するために複数の注入物によって形成されてよい。

10

#### 【0035】

フォトダイオード200の形成に加えて、トランスファゲートの他方の側にn型浮動拡散領域130を形成する追加の工程が行われる。この工程は、フォトレジスト層を形成し、そしてゲートエッジとほぼ一致する、又はできる限り精密な整合許容誤差が与えられるマスク・エッジを形成するための当業者に知られた技術に従ってイオン注入マスクをパターン化してエッチングすることにより、図4に示されているような、又はゲート側壁スペーサ（図示せず）のエッジまでのn+型ドーピング浮動拡散領域を形成するのに十分な濃度で、n型ドーパント材料、例えばリン、ヒ素又はアンチモンの注入を可能にする開口を提供することを含む。活性n+型ドーパント材料は、次いで $1 \times 10^{18} \sim 1 \times 10^{20}$ の添加濃度で、浮動拡散領域にイオン注入される。このイオン注入工程の結果として、n型ドーパント材料は加えて、ドーピングトランスファゲートポリシリコン層175b部分にも注入されてもよい。

20

#### 【0036】

図5A～5Dに示すように、ポリシリコンゲート125を消費することにより、本発明による金属シリサイドストラップ190を形成するために、シリサイド法を実施する。

30

#### 【0037】

シリサイド法の第1工程は、よく知られた堆積技術を用いて、p型ドーピング・ポリシリコン・ゲート層175a及びn型ドーピング・ポリシリコン・ゲート層175b上に、ブランケット絶縁キャップを先ず形成することを含む。例えば、ポリシリコンゲート層175a, b上に、堆積法、物理蒸着又は化学蒸着を利用して、誘電体キャップ層を形成する。誘電体キャップ層は、酸化物、窒化物、酸窒化物又はこれらの任意の組み合わせであってよい。1つの態様の場合、窒化物、例えば $\text{Si}_3\text{N}_4$ が、誘電体キャップ層として採用される。誘電体キャップ層の厚さ、すなわち高さは約20nm～約180nmであってよい。

#### 【0038】

次いで、典型的なリソグラフィ工程、すなわち、キャップ（例えば窒化物）誘電体層上にパターン化レジストマスクを形成する工程を用いて、形成されるべきシリサイドストラップの輪郭となる領域をエッチングする。リソグラフィ工程は、誘電体キャップ層の上面にフォトレジストを適用し、このフォトレジストを、所望のパターンの輻射線に当て、そしてコンベンショナルなレジスト現像剤を利用して露光されたフォトレジストを現像することを含む。フォトレジスト内のパターンは、1つ又は2つ以上の乾式エッチング工程を利用して、誘電体キャップ層に転写され、下に位置するポリシリコンゲート層を露出したままにし、そして特に、露出された下に位置するポリシリコン層内の両ドーピング領域175a, bの隣接部分を露出させるように、誘電体キャップ層に窓を開ける。本発明によれば、所望されるパターンは、図5A～5Dに示すように、形成されるべきシリサイドストラップの面積及び寸法である。こうして、例えば図5Aに示された本発明の頂面図に示すよ

40

50

うに、上に位置するキャップ誘電体（窒化物）層（図示せず）に適用されるフォトリソグラフィ・マスク、現像及びエッチング法は結果として、ゲートの長さに沿って各ゲートエッジ 171, 172 のそれぞれから距離  $d_1$  及び  $d_2$  だけ内方に設けられた下に位置するポリシリコン層の露出領域 195 が生じる。この露出領域には、シリサイドコンタクトが形成されることになる。いくつかの態様の場合、パターン化フォトリソグラフィは、パターンが誘電体キャップ層が誘電体キャップ層内に転写された後、除去されてよい。

【0039】

パターン化ゲートを形成する際に本発明において用いることができる好適な乾式乾燥エッチング法の一例としては、反応性イオン・エッチング、イオンビーム・エッチング、プラズマ・エッチング又はレーザーアブレーションが挙げられる。

10

【0040】

次いで、エッチングによりパターン化された窒化物層内に金属シリサイド（図示せず）を堆積する工程が実施されるので、露出された下に位置するポリシリコン層には、金属シリサイドが充填されるようになる。シリサイドストラップを形成する上で使用される金属は、金属シリサイドを形成するようにシリコンと反応することができる任意の金属を含む。このような金属の一例としては、Ti、Ta、W、Co、Mo、Ni、Pt、Pd又はこれらの金属が挙げられる。金属は、例えばスパッタリング、化学蒸着、シリサイド蒸発の物理蒸着（PVD）、化学溶液堆積、及びめっきなどを含む任意のコンベンショナルな堆積法を用いて堆積されてよい。

【0041】

20

シリサイドストラップ 190 の寸法を定義する露出ポリシリコン領域上に金属シリサイドを堆積した後、構造内にシリサイド相、好ましくは金属シリサイドの最低抵抗率相を示すシリサイドを形成するために、熱アニール法が採用される。アニールは、図 4 に示された金属シリサイド層 190 を形成するために金属シリサイドが下に位置するポリシリコンと反応するようにする、当業者によく知られた環境及び温度を利用して実施される。1つの態様の場合、金属シリサイドはCo、特に当業者に良く知られた2工程アニール法を用いるCoSi<sub>2</sub>形態を含んでよい。本発明の別の態様の場合、金属シリサイドはNi又はPtであり、NiSi及びPtSiは単一アニール工程を用いて形成される。次いで、構造から非反応性金属シリサイドを除去するために、選択的な湿式エッチング工程を採用することができる。

30

【0042】

1つの態様において、ウェハーを次いで、ポリシリコン層部分 175a, bと反応するための窒素環境中でほぼ30秒にわたって約500 ~ 約800 でアニールすることにより、導電性シリサイドストラップ 190 を形成する。

【0043】

上述の本発明による金属シリサイドゲート処理が完了した後、トランジスタ間、及びトランジスタと外部コンタクトとの相互接続構造を形成するためのコンベンショナルな処置を採用することができる。

【0044】

図5Bは、図5Aに示した本発明の態様の第1変更形に従って形成されたCMOS APSセル 100'を示す頂面図である。ここでは、本明細書中に記載された方法を用いてシリサイドストラップ 191 が形成され、このシリサイドストラップ 191 は、境界ゲートのエッジから距離  $d_1$  及び  $d_2$  だけ内方に形成されたエッジを有しているが、しかしポリシリコンのほぼ全幅にわたって延びるように形成されている。このように、例えば、図5Aに関して本明細書中に説明したシリサイド法を参照すると、図5Bに示すように、上に位置するキャップ誘電体（窒化物）層（図示せず）に適用されるフォトリソグラフィ・マスク、現像及びエッチング法は結果として、例えば、ゲートの長さに沿って各ゲートエッジ 171, 172 のそれぞれから距離  $d_1$  及び  $d_2$  だけ内方に設けられるが、しかしポリ層の両エッジまでほぼ全幅にわたって距離  $d_w$  だけ延びる下に位置するポリシリコン層の露出領域 196 が形成されることになる。

40

50

## 【 0 0 4 5 】

図 5 C は、図 5 A に示した本発明の態様の第 2 変更形に従って形成された C M O S A P S セル 1 0 0 ' ' ' を示す頂面図である。ここでは、本明細書中に記載された方法を用いてシリサイドストラップ 1 9 2 が形成され、このシリサイドストラップ 1 9 2 は、境界ゲートのエッジから距離  $d_1$  及び  $d_2$  だけ内方に形成されたエッジを有しているが、しかしポリゲートの短い距離にわたって延びるように形成されている。このように、例えば、図 5 A に関して本明細書中に説明したシリサイド法を参照すると、図 5 C に示すように、上に位置するキャップ誘電体（窒化物）層（図示せず）に適用されるフォトリソグラフィ・マスク、現像及びエッチング法は結果として、例えば、ゲートの長さに沿って各ゲートエッジ 1 7 1 , 1 7 2 のそれぞれから距離  $d_1$  及び  $d_2$  だけ内方に設けられるが、しかしポリゲートの短い距離だけにわたって延びる下に位置するポリシリコン層の露出領域 1 9 7 が形成されることになる。

10

## 【 0 0 4 6 】

本発明の更なる態様によれば、C M O S 撮像素子 A P S トランスファゲートのためのシリサイドストラップは、導電チャネル上に直接には位置していないポリシリコンゲート部分上に形成することができる（すなわち n 領域と n 領域とが、或る場所のストラップによって短絡される限り）。図 5 D は、図 5 A に示した本発明の態様の第 3 変更形に従って形成された C M O S A P S セル 1 0 0 ' ' ' を示す頂面図である。ここでは、本明細書中に記載された方法を用いてシリサイドストラップ 1 9 3 が形成され、このシリサイドストラップ 1 9 3 は、境界ゲートのエッジから所定の距離だけ内方に形成されたエッジを有しており、しかもポリゲートの短い距離にわたって延びるように形成されている。しかしながら、このストラップ 1 9 3 は、トランスファデバイスのためのチャネル領域を画定するそのゲート部分 1 7 5 a , b から、ずらされている。すなわち、シリサイドストラップ 1 9 3 は、導電チャネル上に直接には位置していないポリシリコンゲート部分上に形成することができる。このように、例えば、図 5 A に関して本明細書中に説明したシリサイド法を参照すると、図 5 D に示すように、上に位置するキャップ誘電体（窒化物）層（図示せず）に適用されるフォトリソグラフィ・マスク、現像及びエッチング法は結果として、ゲートの長さに沿って各ゲートエッジ 1 7 1 , 1 7 2 のそれぞれから所定の距離だけ内方に設けられ、しかも、例えばデバイスのチャネル領域に直接には被さらない領域内で、ポリゲートの短い距離だけにわたって延びる下に位置するポリシリコン層の露出領域 1 9 8 が形成されることになる。

20

30

## 【 0 0 4 7 】

言うまでもなく、上記シリサイドコンタクト構造以外に、トランスファゲートポリのアノード部分 1 7 5 a とカソード部分 1 7 5 b とを電気的に短絡するためのいずれの導電性構造をも実現することもできる。しかし、光検出領域と浮動拡散領域とがシリサイド非含有であることは必須である。

## 【 0 0 4 8 】

図 5 A ~ 5 D に示し、これらの図面に関して説明した構造の利点は、暗電流漏れを低減するために、フォトリソグラフィに高いバリアが存在すること、及び、より低いラグのために、浮動拡散領域に低いバリアが存在することである。シリサイドストラップは、ダイオード挙動が、ゲートの一方又は他方の側が中間電圧まで浮動するのを許すのを防止する。

40

## 【 0 0 4 9 】

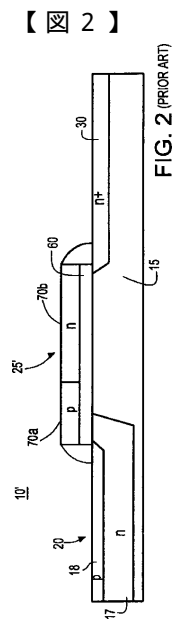
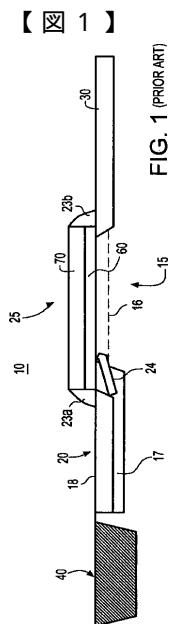
図 6 を参照すると、図 5 A ~ 5 D に示された本発明のそれぞれの態様に従って形成された C M O S アクティブピクセルセンサ（A P S）セル 1 0 0 ~ 1 0 0 ' ' ' を有する画像センサ 3 0 2 を実現するカメラデバイス 3 0 0 の側面図が示されている。

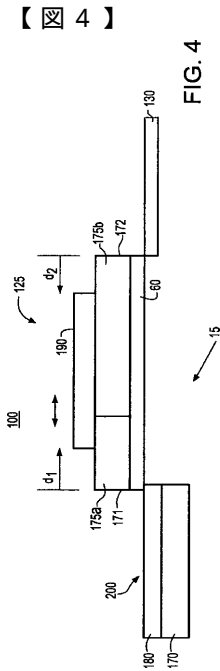
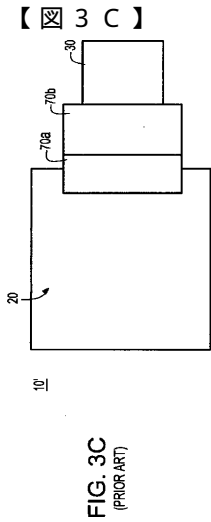
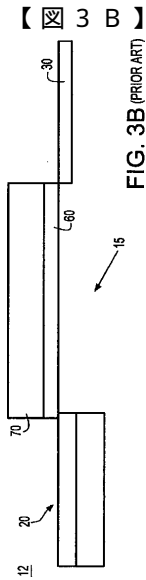
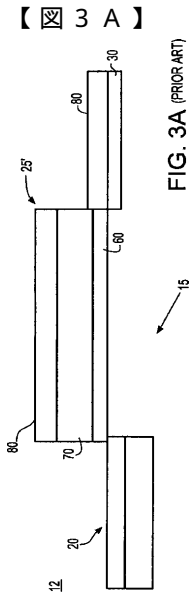
## 【 0 0 5 0 】

本発明の好ましい態様と考えられるものを図示して説明してきたが、もちろん、本発明の思想を逸脱することなしに、形態又は詳細の種々の改変及び変更を容易に加え得ることは明らかである。例えば、本明細書中に記載された好ましい態様は、n 型フォトリソグラフィ及び p 型ピニング層及び n F E T に向けられているが、本発明の原理を p 型フォトリソ

50

オード、及び p F E T を有する n 型ピニング層に適用することができる。従って、本発明は、記述・例示された形態そのままのものに限定されるものではなく、添付の特許請求の範囲の中に含まれる全ての改変形に及ぶものと解釈されるべきである。





【図 5 A】

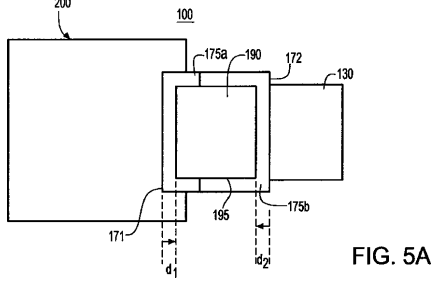


FIG. 5A

【図 5 C】

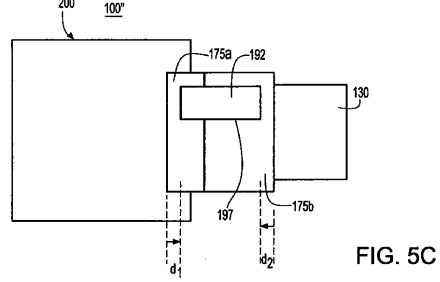


FIG. 5C

【図 5 B】

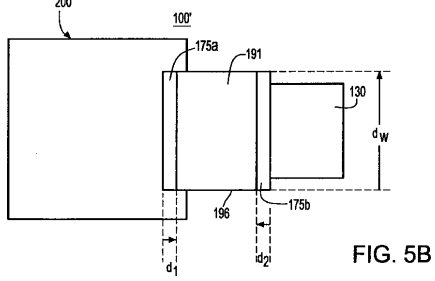


FIG. 5B

【図 5 D】

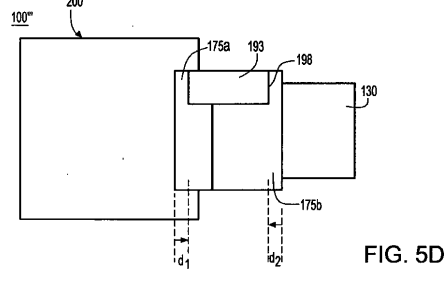


FIG. 5D

【図 6】

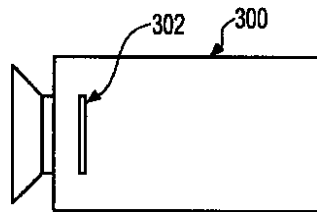


FIG. 6

## フロントページの続き

- (74)代理人 100099759  
弁理士 青木 篤
- (74)代理人 100077517  
弁理士 石田 敬
- (74)代理人 100087413  
弁理士 古賀 哲次
- (74)代理人 100102990  
弁理士 小林 良博
- (74)代理人 100128495  
弁理士 出野 知
- (74)代理人 100093665  
弁理士 蛭谷 厚志
- (72)発明者 アドキッソン, ジェイムズ ダブリュ.  
アメリカ合衆国, バーモント 05465, ジェリコ, フィールズ レーン 55
- (72)発明者 エリス - モナハン, ジョン ジェイ.  
アメリカ合衆国, バーモント 05458, グランド アイル, メイナード コート シックス
- (72)発明者 ガイダシュ, ロバート マイケル  
アメリカ合衆国, ニューヨーク 14618, ロチェスター, アントラース ドライブ 460
- (72)発明者 ジャッフェ, マーク ディー.  
アメリカ合衆国, バーモント 05482, シェルバーン, ガバナーズ レーン 447
- (72)発明者 ネルソン, エドワード ティー.  
アメリカ合衆国, ニューヨーク 14534, ビッツフォード, ブルック ロード 59
- (72)発明者 ラッセル, リチャード ジェイ.  
アメリカ合衆国, バーモント 05446, コルチェスター, グラニット クリーク ロード 225
- (72)発明者 スタンキャンピアーノ, チャールズ ブイ.  
アメリカ合衆国, ニューヨーク 14618, ロチェスター, オークデール ドライブ 175

審査官 橘 均憲

- (56)参考文献 米国特許出願公開第2006/0118835 (US, A1)  
米国特許出願公開第2006/0124976 (US, A1)  
国際公開第2005/004240 (WO, A1)  
特開平11-274320 (JP, A)  
特開平5-183117 (JP, A)  
特開2005-260077 (JP, A)  
特開2008-78489 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146  
H04N 5/374  
H01L 21/8238  
H01L 27/092