

12 DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 31.12.13.

30 Priorité :

43 Date de mise à la disposition du public de la demande : 03.07.15 Bulletin 15/27.

56 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

60 Références à d'autres documents nationaux apparentés :

Demande(s) d'extension :

71 Demandeur(s) : THALES Société anonyme — FR.

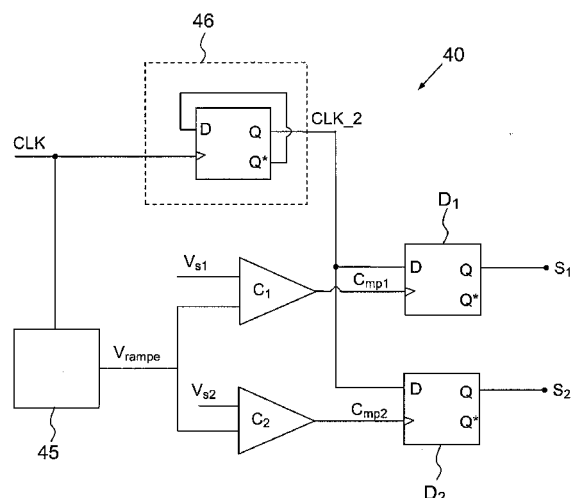
72 Inventeur(s) : GUEPRATTE KEVIN, LEBARS DAVID et STEPHAN HERVE.

73 Titulaire(s) : THALES Société anonyme.

74 Mandataire(s) : MARKS & CLERK FRANCE Société en nom collectif.

54 CIRCUIT DE GENERATION D'AU MOINS DEUX SIGNAUX RECTANGULAIRES A DEPHASAGE VARIABLE ET UTILISATION DUDIT CIRCUIT.

57 La présente invention concerne un circuit (40) de génération d'au moins deux signaux rectangulaires (S_1 , S_2) à déphasage variable comprenant un circuit diviseur de fréquence (46) recevant en entrée un signal d'horloge (CLK) et fournissant en sortie un signal (CLK_2), au moins deux comparateurs (C1, C2), recevant respectivement sur une entrée une première tension de seuil (V_{S1}) et au moins une seconde tension de seuil (V_{S2}) et sur une seconde entrée un signal rampe synchronisé avec le signal d'horloge (CLK), les au moins deux tensions de seuil (V_{S1} , V_{S2}) définissant le déphasage entre les au moins deux signaux rectangulaires et au moins deux bascules de type D (D1, D2) recevant respectivement sur leurs entrées d'horloge, le signal de sortie (Cmp1) du premier comparateur et le signal de sortie (Cmp2) du deuxième comparateur et sur leur entrée « D », le signal de sortie (CLK_2) du circuit diviseur de fréquence (46).



Circuit de génération d'au moins deux signaux rectangulaires à déphasage variable et utilisation dudit circuit

5 La présente invention concerne la génération de signaux. La présente invention concerne plus particulièrement un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable. Ce circuit peut notamment être utilisé dans un convertisseur d'énergie de type "phase shift".

10 La figure 1 représente un circuit de génération de signaux rectangulaires à déphasage variable connu de l'art antérieur. Le circuit comprend deux comparateurs 11, 12 et deux bascules 13, 14 de type "D". Chaque comparateur 11, 12 reçoit sur une de ses entrées de comparaison
15 un signal triangulaire de rampe, fourni par un dispositif de génération de signaux 15, et sur l'autre entrée une tension de référence V_{ref1} , V_{ref2} . La sortie de chaque comparateur 11, 12 est connectée à une bascule 13, 14 montée en diviseur de fréquence par deux, active au front montant.

20 Le fonctionnement du circuit va être expliqué en référence à la figure 2. Le premier chronogramme représente l'allure du signal de rampe. On suppose qu'au temps t_0 tous les signaux sont à l'état bas.

Au temps t_1 , la valeur du signal de rampe V_{rampe} devient supérieure à la valeur de la première tension de référence V_{ref1} , le signal de sortie P_{wm1}
25 du premier comparateur 11 passe de l'état bas à l'état haut. Ce front montant va faire déclencher la première bascule "D" 13 et son signal de sortie IP_1 va passer à l'état haut.

Le même phénomène va se reproduire avec le deuxième comparateur 12 et la deuxième bascule 14 au temps t_2 lorsque la valeur du signal de rampe V_{rampe} va devenir supérieure à la valeur de la deuxième tension de référence V_{ref2} .
30

Au temps t_3 , la valeur du signal de rampe revient à zéro, la sortie P_{wm1} , P_{wm2} des deux comparateurs 13, 14 passe de l'état haut à l'état bas. Les bascules 13, 14 étant actives au front montant, les signaux IP_1 , IP_2 en sortie
35 de ces dernières restent inchangés.

2

Au temps t_4 , la valeur du signal de rampe V_{rampe} devient de nouveau supérieure à la valeur de la première tension de référence V_{ref_1} . La sortie du premier comparateur 11 passe de l'état bas à l'état haut. Ce front montant va faire déclencher la première bascule "D" 13 et son signal de sortie IP_1 va passer de l'état haut à l'état bas.

De même, le signal de sortie de la deuxième bascule 14 IP_2 passe de l'état haut à l'état bas au temps t_5 .

Un problème se pose lorsqu'un parasite apparaît sur le signal de sortie d'un comparateur. Ce cas de figure est illustré figure 3 à travers un exemple dans lequel une impulsion parasite 30 apparaît sur le signal de sortie P_{wm1_Pb} du premier comparateur.

Sur cette figure, le premier chronogramme représente le signal de rampe. Le deuxième et le troisième chronogramme représentent respectivement l'allure du signal en sortie du premier comparateur P_{wm1_Pb} et l'allure du signal en sortie IP_1_Pb de la première bascule D. Le dernier chronogramme sert de comparaison et représente la forme du signal en sortie de la bascule dans le cas où le signal en sortie de comparateur n'est pas parasité.

On remarque que le front montant du parasite fait déclencher la bascule en sortie du comparateur et perturbe le signal de sortie de manière permanente.

Un problème se pose également au démarrage du circuit, au moment de sa mise sous tension car on ne sait pas si les bascules sont à l'état haut ou à l'état bas.

Il est possible de forcer les bascules à l'état bas au démarrage grâce à l'entrée de remise à zéro (ou *reset* selon la terminologie anglo-saxonne) desdites bascules. Cependant ces systèmes de remise à zéro sont aléatoires et les temps de montée des fonctions de remise à zéro ne sont pas fiables. Du fait de l'incertitude de la remise à zéro, le signal de rampe peut par exemple démarrer avant que les bascules soient initialisées. Ainsi, lorsque les bascules seront prêtes à démarrer, on se trouvera entre les deux fronts montants et donc un seul des deux fronts montants aura été pris en compte au démarrage. Les deux basculements seront alors décalés de 180° .

3

Un autre problème peut se poser si les deux commandes de remise à zéro ne se font pas exactement au même instant.

Un but de l'invention est notamment de corriger un ou plusieurs des
5 inconvénients de l'art antérieur en proposant une solution permettant de s'affranchir des problèmes d'initialisation des bascules et des parasites.

A cet effet, l'invention a pour objet un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable comprenant :

- 10 - un circuit diviseur de fréquence recevant en entrée un premier signal d'horloge et fournissant en sortie un deuxième signal d'horloge,
- au moins deux comparateurs, recevant respectivement sur une entrée de comparaison une première tension de seuil et au moins
15 une seconde tension de seuil et sur une seconde entrée de comparaison un signal triangulaire de rampe synchronisé avec le signal d'horloge, le groupe d'au moins deux tensions de seuil définissant le déphasage entre les signaux du groupe d'au moins deux signaux rectangulaires à déphasage variable,
- 20 - au moins deux bascules de type D recevant respectivement sur leurs entrées d'horloge, le signal de sortie du premier comparateur et le signal de sortie du deuxième comparateur et sur leur entrée "D", le signal de sortie du circuit diviseur de fréquence,
- 25 le groupe d'au moins deux signaux rectangulaires à déphasage variable étant disponible sur les sorties "Q" du groupe d'au moins deux bascules de type D.

Selon un mode de réalisation, le circuit diviseur de fréquence et un diviseur de fréquence par deux.

30 Selon un mode de réalisation, le circuit diviseur de fréquence comprend une bascule de type "D" dont l'entrée D est connectée à la sortie complémentaire "Q*".

Selon un mode de réalisation, le circuit comprend en outre un circuit d'horloge configuré pour générer un signal triangulaire de rampe, ledit circuit d'horloge recevant en entrée le signal d'horloge et la sortie dudit circuit d'horloge étant connecté à une des deux entrées de comparaison de chaque comparateur.

L'invention a également pour objet un convertisseur de puissance à décalage de phase comprenant un circuit de génération de deux signaux rectangulaires à déphasage variable comme décrit précédemment, lesdits signaux rectangulaires étant configurés pour commander des commutateurs des ponts primaire et secondaire dudit convertisseur de puissance.

D'autres particularités et avantages de la présente invention apparaîtront plus clairement à la lecture de la description ci-après, donnée à titre illustratif et non limitatif, et faite en référence aux dessins annexés, dans lesquels :

- la figure 1, précédemment décrite, représente un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable connu de l'art antérieur ;
- la figure 2, précédemment décrite, représente l'allure des signaux à différents points du circuit de la figure 1 ;
- la figure 3, précédemment décrite, représente l'allure des signaux à différents points du circuit de la figure 1 dans un cas de figure particulier ;
- la figure 4 représente un exemple de mode de réalisation d'un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable selon l'invention ;
- la figure 5 représente des exemples d'allure des signaux à différents points du circuit de la figure 4 ;
- la figure 6 représente des exemples d'allure des signaux à différents points du circuit de la figure 4 lorsque des parasites apparaissent.

- La figure 7 représente un exemple de mode de réalisation d'un convertisseur d'énergie à décalage de phase dans lequel les signaux de commande des commutateurs des convertisseurs DC/AC et AC-DC sont déphasés à l'aide d'un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable selon un mode de réalisation de l'invention.

La figure 4 représente un exemple de mode de réalisation d'un circuit de génération d'au moins deux signaux rectangulaires à déphasage variable selon l'invention. Afin de simplifier les explications et de ne pas surcharger les figures, on a représenté un cas particulier où le nombre de signaux générés est égal à deux.

Dans ce mode de réalisation le circuit comprend un circuit diviseur de fréquence 46, deux comparateurs C1, C2 et deux bascules de type "D" D1, D2.

Suivant un mode de réalisation, le circuit diviseur de fréquence 46 peut être un circuit diviseur de fréquence par deux.

Suivant un mode de réalisation, le circuit diviseur 46 peut être réalisé à l'aide d'une bascule de type "D" dont l'entrée D est connectée à la sortie complémentaire "Q*"

Dans le mode de réalisation illustré figure 4, le circuit diviseur de fréquence 46 reçoit en entrée un premier signal d'horloge CLK et fournit en sortie un deuxième signal d'horloge CLK_2.

Le premier comparateur C1 reçoit sur une de ses entrées de comparaison un premier signal V_{s1} et sur la seconde entrée un signal triangulaire de rampe V_{rampe} .

Le deuxième comparateur C2 reçoit sur une de ses entrées de comparaison un deuxième signal V_{s2} et sur la seconde entrée le même signal triangulaire V_{rampe} que précédemment.

Les deux signaux V_{s1} et V_{s2} sont des tensions analogiques permettant de définir le déphasage entre les deux signaux rectangulaires à déphasage variable.

Le signal triangulaire de rampe est synchronisé avec le premier signal d'horloge CLK du circuit diviseur de fréquence 46. Le signal premier d'horloge CLK peut servir à générer le signal de rampe.

Suivant un mode réalisation, le circuit 40 de génération d'au moins deux signaux rectangulaires S_1 , S_2 à déphasage variable peut comprendre un circuit d'horloge 45 configuré pour générer un signal triangulaire de rampe V_{rampe} . Le circuit d'horloge 45 peut recevoir en entrée le premier signal d'horloge CLK et fournir en sortie le signal triangulaire V_{rampe} pour les comparateurs C1 et C2. Pour ce faire, la sortie du circuit d'horloge 45 peut être connectée à une des deux entrées de comparaison de chaque comparateur C1, C2.

Le signal triangulaire V_{rampe} permet de définir la plage de variation du déphasage possible entre les deux signaux de sortie. Suivant le rapport cyclique du signal de rampe cette plage peut s'étaler jusqu'à 180° .

Le circuit selon un mode de réalisation de l'invention peut comprendre également deux bascules de type "D". Ces bascules peuvent être actives sur front montant ou descendant.

La première bascule D1 reçoit, sur son entrée d'horloge, le signal de sortie Cmp1 du premier comparateur C1 et la deuxième bascule D2 le signal de sortie Cmp2 du deuxième comparateur C2. Le signal de sortie CLK_2 du circuit diviseur de fréquence 46 est envoyé sur l'entrée "D" de chacune des bascules D1 et D2.

Le fonctionnement du circuit va à présent être expliqué à l'aide des exemples de chronogrammes de la figure 5.

Le premier chronogramme correspond au signal de rampe V_{rampe} . Les deux chronogrammes suivants représentent respectivement les signaux en sortie des premier et deuxième comparateurs C1, C2. Les quatrième et cinquième chronogrammes illustrent respectivement le premier signal d'horloge CLK en entrée du circuit diviseur de fréquence 46 et le signal de sortie CLK_2 dudit diviseur. Le signal premier d'horloge CLK est synchrone avec le signal de rampe et le signal de sortie CLK_2 présente une fréquence divisée par deux par rapport au signal d'entrée CLK du circuit diviseur de fréquence 46. Les deux derniers chronogrammes représentent les signaux en sortie des deux bascules D1, D2.

Au temps t_1 , la valeur du signal de rampe devient supérieure à la valeur de la première tension de seuil V_{S1} , le signal de sortie du premier comparateur C1 passe de l'état bas à l'état haut. La première bascule D1

7

détecte le front montant et recopie en sortie la valeur du deuxième signal d'horloge CLK_2 à savoir un état haut, le signal en sortie de la bascule D1 passe donc de l'état bas à l'état haut.

5 Au temps t_2 , la valeur du signal de rampe devient supérieure à la valeur de la deuxième tension de seuil V_{S2} . Le signal de sortie du deuxième comparateur C2 passe donc de l'état bas à l'état haut. La deuxième bascule D2 se déclenche et son signal de sortie prend la même valeur que le deuxième signal d'horloge CLK_2 à savoir un état haut.

10 Au temps t_3 , la valeur du signal de rampe revient à zéro, les signaux de sortie des deux comparateurs C1, C2 passent de l'état haut à l'état bas.

Au temps t_4 , la valeur du signal de rampe devient de nouveau supérieure à la valeur de la première tension de seuil V_{S1} , le signal de sortie du premier comparateur C1 passe à l'état haut et déclenche la première bascule D1 qui recopie en sortie la valeur du deuxième signal d'horloge CLK_2. Son signal de sortie passe de l'état haut à l'état bas.

15 De même, au temps t_5 , la valeur du signal de rampe devenant supérieure à la valeur de la deuxième tension de seuil V_{S2} déclenche un front montant en sortie du deuxième comparateur C2. Ce front montant fait déclencher la deuxième bascule D2 et son signal de sortie passe de l'état haut à l'état bas.

20 On obtient ainsi, en sortie du circuit 40, deux signaux d'horloge rectangulaires déphasés dans le temps. Le déphasage entre les deux signaux peut être réglé en modifiant la valeur des deux tensions de seuil V_{S1} et V_{S2} . Comme vu précédemment, la plage de variation du déphasage dépend du rapport cyclique du signal de rampe.

30 Bien entendu, ce circuit 40 peut se généraliser à un nombre de signaux rectangulaires supérieur à deux. Pour un nombre n de signaux rectangulaires déphasés dans le temps, avec n représentant un entier supérieur à un, le circuit comprendra n comparateurs et n bascules de type "D" et recevra en entrée n tensions de seuil.

35 La figure 6 illustre, par des exemples de chronogrammes, le cas où des parasites apparaîtraient sur le signal de sortie Cmp1_Pb du premier comparateur C1 du circuit 40 de la figure 4. Sur cette figure a été représenté

respectivement, un signal de rampe, le signal en sortie du premier comparateur C1, un signal de sortie CLK_2 du circuit diviseur de fréquence 46, un signal de sortie de la deuxième bascule D2 et un signal de sortie de la deuxième bascule D2 dans le cas sans parasite.

5 On suppose qu'un signal parasite 30 apparaît au temps t_1 sur le signal de sortie du premier comparateur C1. Le front montant de ce parasite 30 fait déclencher la bascule D1 qui recopie la valeur du deuxième signal d'horloge CLK_2 à savoir un état haut. Le signal de sortie S_{1_Pb} de la bascule D1 change donc d'état au temps t_1 au lieu du temps t_2 .

10 Au temps t_2 le signal de sortie du comparateur C1 présente de nouveau un front montant. En détectant ce front montant, la bascule D1 recopie le signal CLK_2 et reste à l'état haut. Contrairement au cas du circuit présenté à la figure 1, le signal de sortie S_{1_Pb} ne change pas d'état à chaque front montant présent sur le signal de sortie du comparateur. De même, on
15 peut remarquer que le signal de sortie S_{1_Pb} n'est pas perturbé de façon définitive mais seulement de façon temporaire. Le front montant suivant le signal parasite 30 permet de rétablir le signal de sortie de bascule S_1 à son niveau normal, c'est-à-dire à l'état logique qu'il aurait eu s'il n'y avait pas eu de parasites 30 sur le signal en sortie du comparateur C1.

20 On peut également remarquer que suivant l'instant où survient le signal parasite 30, ce dernier peut ne pas perturber le signal en sortie de bascule. Par exemple, le signal parasite à l'instant t_4 n'a aucun effet sur le signal de sortie S_1 .

25 Suivant un exemple nullement limitatif, ce circuit peut trouver une application dans un convertisseur d'énergie à décalage de phase ou "phase shift" selon la terminologie anglo-saxonne. A titre illustratif, la figure 7 représente un exemple de réalisation d'un convertisseur d'énergie à décalage de phase dans lequel un déphasage entre les bras de ponts
30 primaires et secondaires est créé à l'aide d'un circuit 40 de génération d'au moins deux signaux rectangulaires à déphasage variable selon un mode de réalisation de l'invention. Dans ce circuit, les signaux de sortie S_1 , S_2 du circuit 40 de génération de signaux rectangulaires à déphasage variable sont configurés pour commander les différents commutateurs des ponts primaire
35 et secondaire du convertisseur de puissance.

De façon avantageuse, le circuit de génération de signaux selon l'invention permet de s'affranchir des problèmes de synchronisation des bascules ainsi que des problèmes liés à la remise à zéro des bascules.

5 Ce circuit permet également de minimiser les conséquences d'une ou plusieurs impulsions parasites.

REVENDEICATIONS

- 5 1. Circuit (40) de génération d'au moins deux signaux rectangulaires (S_1 , S_2) à déphasage variable caractérisé en ce qu'il comprend :
- un circuit diviseur de fréquence (46) recevant en entrée un premier signal d'horloge (CLK) et fournissant en sortie un deuxième signal d'horloge (CLK_2),
 - 10 - au moins deux comparateurs (C1, C2), recevant respectivement sur une entrée de comparaison une première tension de seuil (V_{s1}) et au moins une seconde tension de seuil (V_{s2}) et sur une seconde entrée de comparaison un signal triangulaire de rampe synchronisé avec le signal d'horloge (CLK), le groupe d'au moins deux tensions de seuil (V_{s1} , V_{s2}) définissant le déphasage entre les signaux du groupe d'au moins deux signaux rectangulaires à déphasage variable,
 - 15 - au moins deux bascules de type D (D1, D2) recevant respectivement sur leurs entrées d'horloge, le signal de sortie (Cmp1) du premier comparateur et le signal de sortie (Cmp2) du deuxième comparateur et sur leur entrée "D", le signal de sortie (CLK_2) du circuit diviseur de fréquence (46),
- 20 le groupe d'au moins deux signaux rectangulaires (S_1 , S_2) à déphasage variable étant disponible sur les sorties "Q" du groupe d'au moins deux bascules de type D (D1, D2).
- 25 2. Circuit (40) suivant la revendication précédente selon lequel le circuit diviseur de fréquence (46) et un diviseur de fréquence par deux.
3. Circuit (40) suivant une des revendications précédentes selon lequel le circuit diviseur de fréquence (30) comprend une bascule de type "D" dont l'entrée D est connectée à la sortie complémentaire "Q*".
- 30 4. Circuit (40) suivant une des revendications précédentes comprenant en outre un circuit d'horloge (45) configuré pour générer un signal triangulaire de rampe, ledit circuit d'horloge (45) recevant en entrée le

signal d'horloge (CLK) et la sortie dudit circuit d'horloge étant connecté à une des deux entrées de comparaison de chaque comparateur (C1, C2).

- 5 5. Convertisseur de puissance à décalage de phase caractérisé en ce qu'il comprend un circuit (40) de génération de deux signaux rectangulaires à déphasage variable selon une des revendications précédentes, lesdits signaux rectangulaires étant configurés pour commander des commutateurs des ponts primaire et secondaire dudit convertisseur de puissance.

10

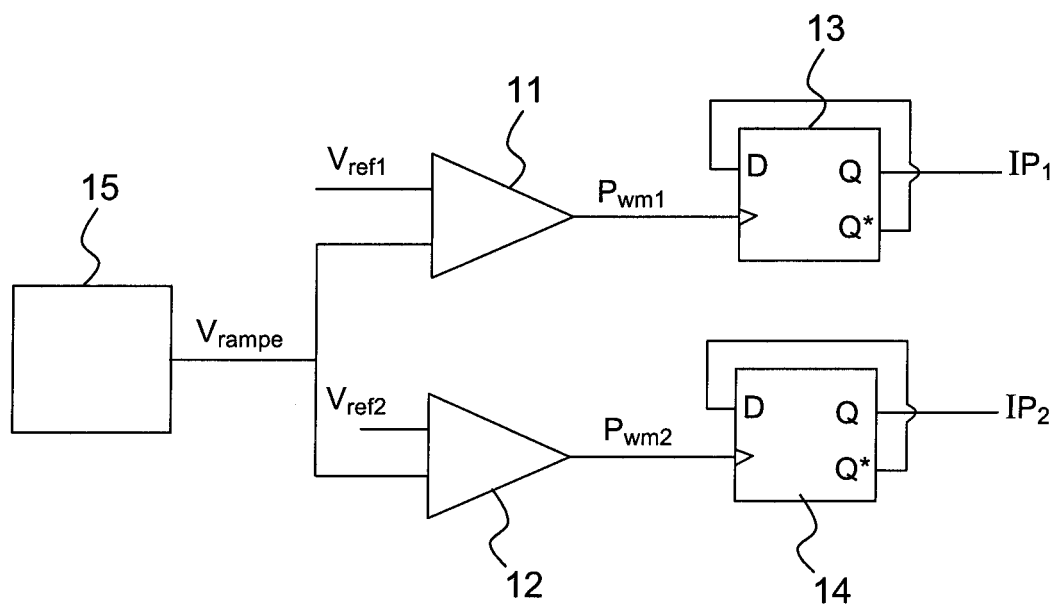


FIG.1

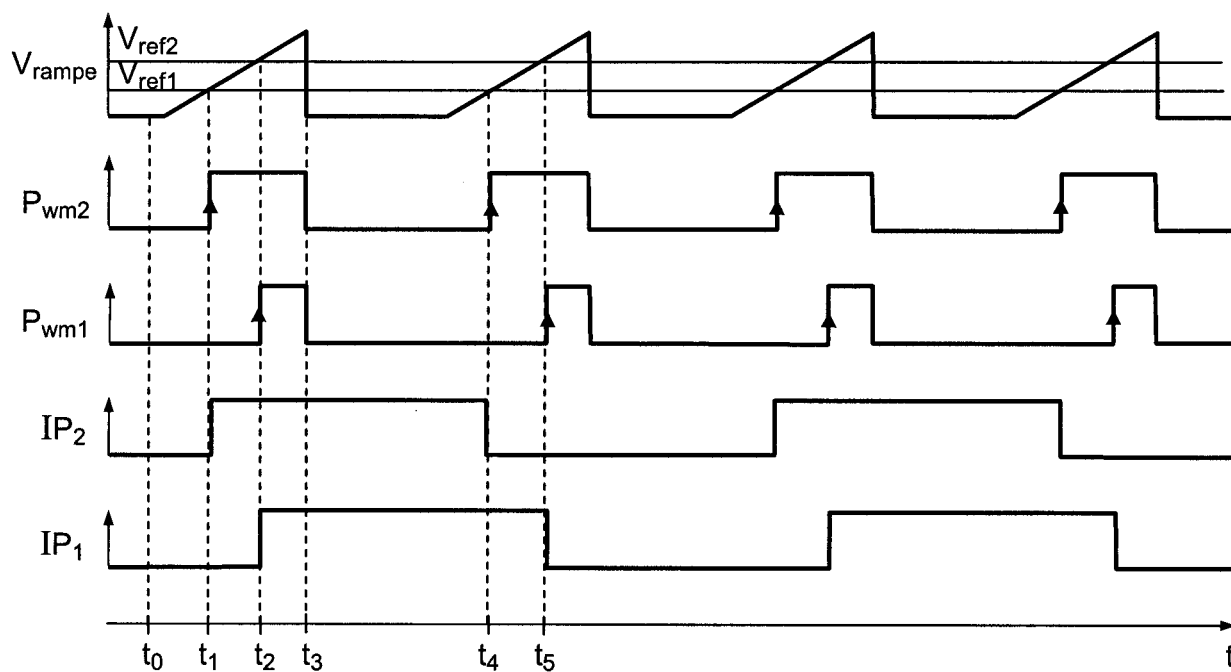


FIG.2

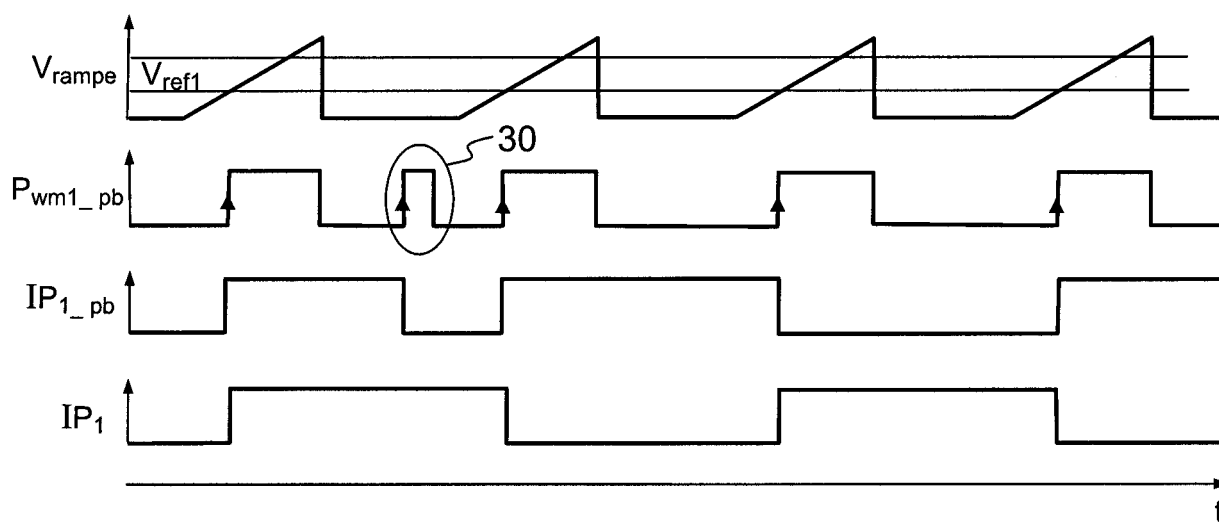


FIG.3

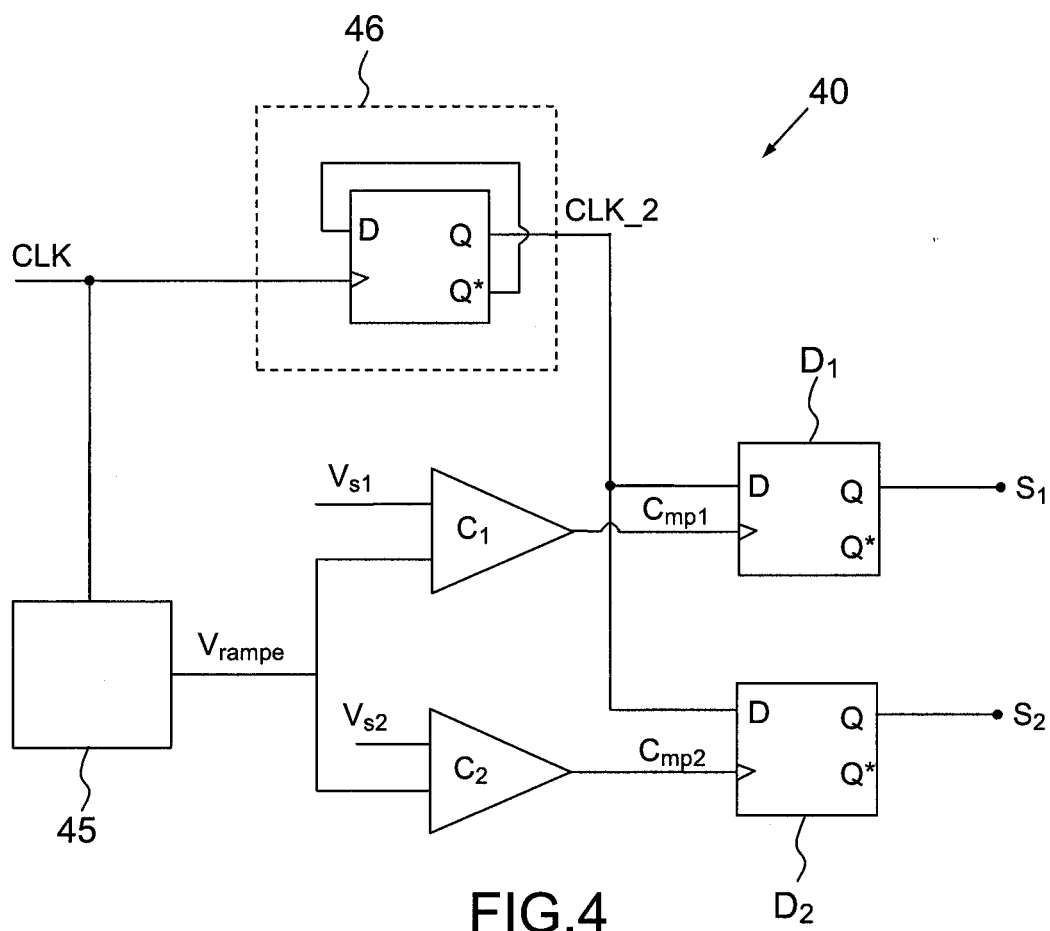


FIG.4

3/4

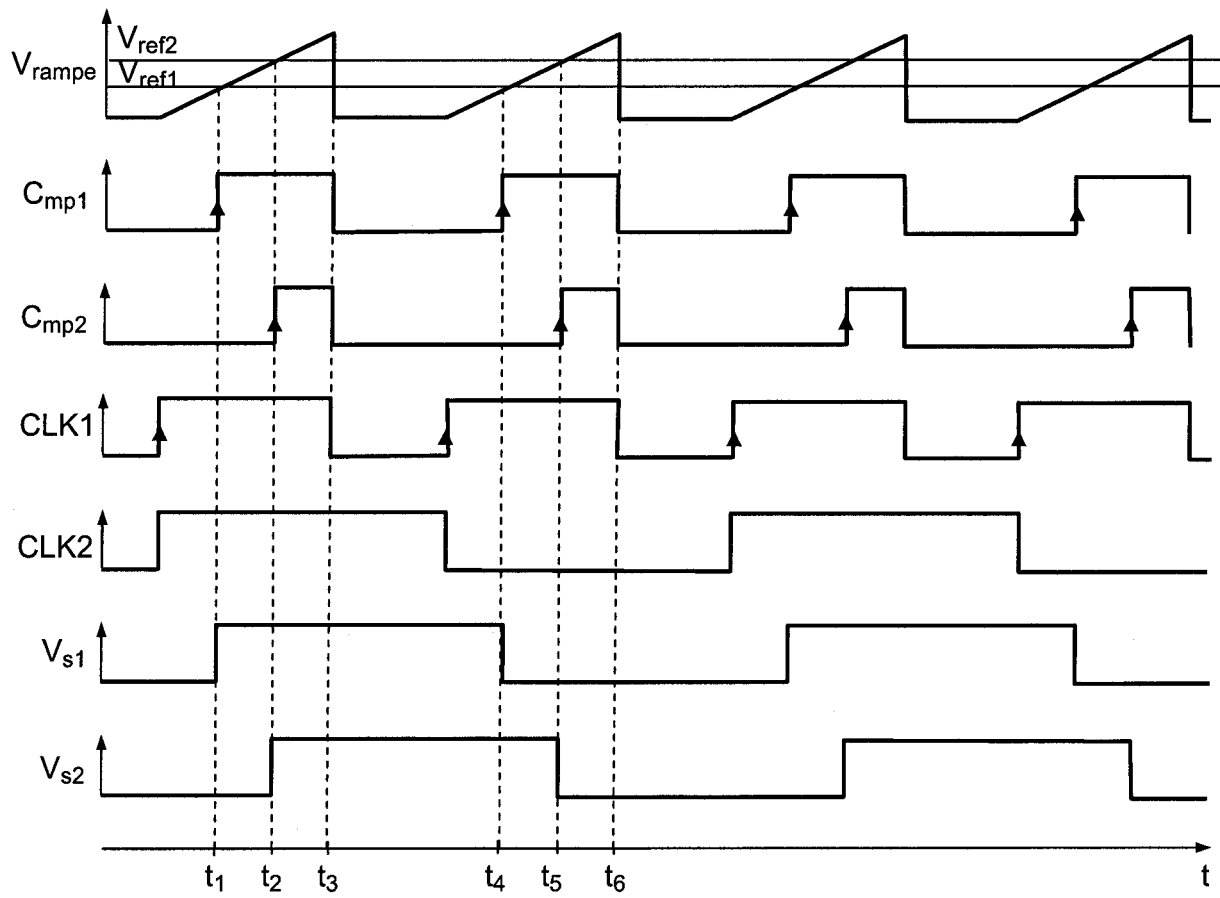


FIG.5

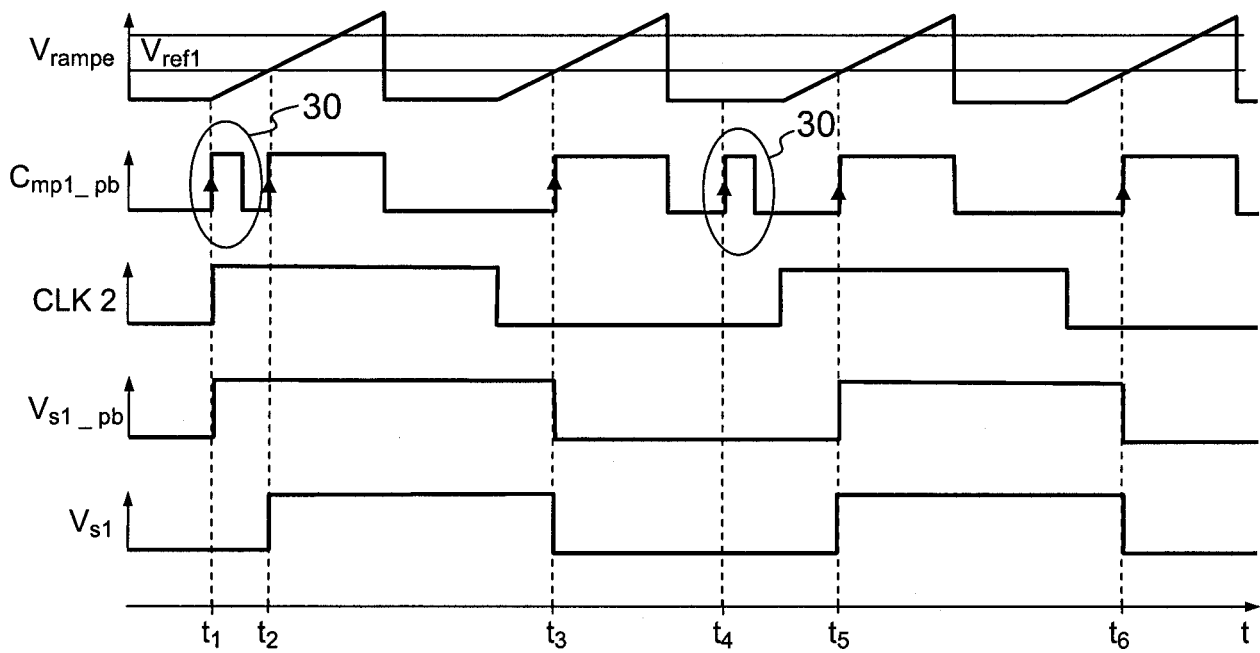


FIG.6

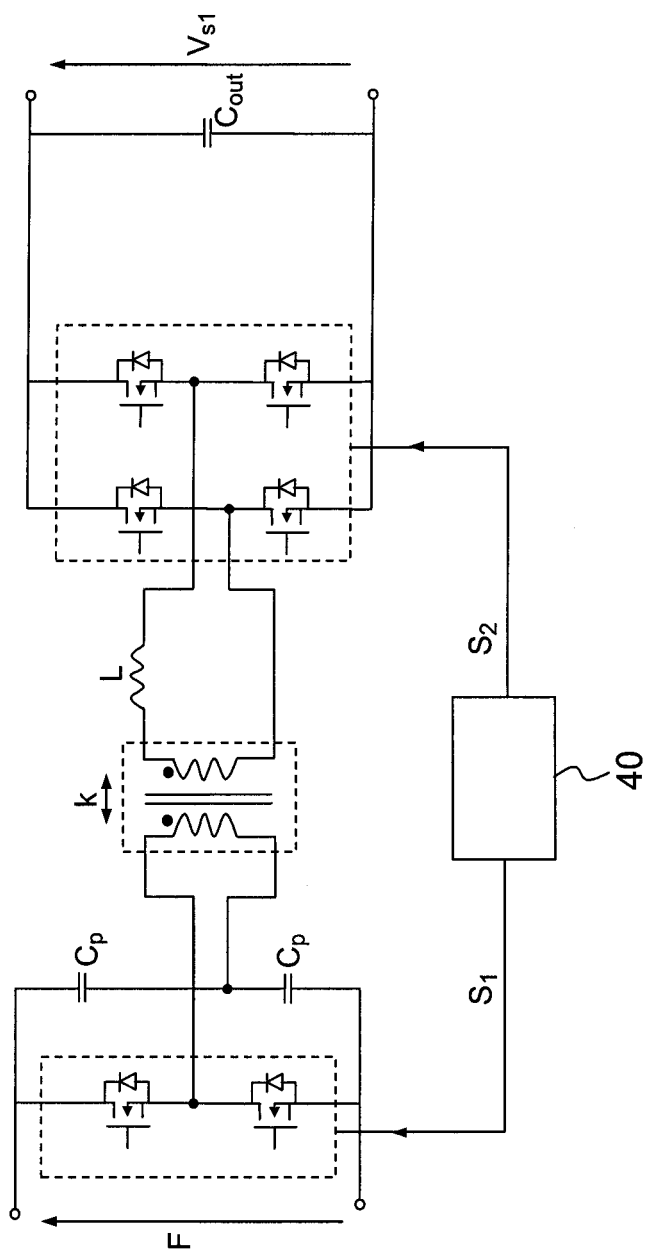


FIG. 7



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 794822
FR 1303120

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	US 5 652 533 A (WONG HEE [US] ET AL) 29 juillet 1997 (1997-07-29) * colonne 4, ligne 7-29, 41-46,63-64; figure 2 * * colonne 6, ligne 37-47 * * colonne 8, ligne 24-37 * * figures 3,4 * -----	1-5	H03K19/00 H03M1/08
A	US 2010/123497 A1 (ZHANG ZICHE [CN] ET AL) 20 mai 2010 (2010-05-20) * alinéas [0040] - [0042]; figure 2 * -----	1-5	
A	US 5 367 204 A (MATTISON PHILLIP E [US]) 22 novembre 1994 (1994-11-22) * figures 1,2 * -----	1-5	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H03K G06F
Date d'achèvement de la recherche		Examineur	
27 août 2014		Martínez Martínez, J	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1303120 FA 794822**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **27-08-2014**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5652533	A	29-07-1997	AUCUN	
US 2010123497	A1	20-05-2010	CN 101409553 A US 2010123497 A1	15-04-2009 20-05-2010
US 5367204	A	22-11-1994	AUCUN	