

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5452155号  
(P5452155)

(45) 発行日 平成26年3月26日 (2014. 3. 26)

(24) 登録日 平成26年1月10日 (2014. 1. 10)

(51) Int. Cl.		F I			
<b>HO2P</b>	<b>27/06</b>	<b>(2006.01)</b>	HO2P	7/63	3O2S
<b>HO2M</b>	<b>7/48</b>	<b>(2007.01)</b>	HO2M	7/48	M
<b>HO2H</b>	<b>9/04</b>	<b>(2006.01)</b>	HO2M	7/48	F
			HO2H	9/04	B

請求項の数 14 (全 26 頁)

(21) 出願番号	特願2009-232454 (P2009-232454)	(73) 特許権者	302038844
(22) 出願日	平成21年10月6日 (2009. 10. 6)		東芝シュネデール・インバータ株式会社
(65) 公開番号	特開2011-83096 (P2011-83096A)		三重県三重郡朝日町大字縄生2121番地
(43) 公開日	平成23年4月21日 (2011. 4. 21)	(74) 代理人	110000567
審査請求日	平成24年7月24日 (2012. 7. 24)		特許業務法人 サトー国際特許事務所
		(72) 発明者	野原 貴誉丈
			三重県三重郡朝日町大字縄生2121番地
			東芝シュネデール・インバータ株式会社
			内
		(72) 発明者	河合 正
			三重県三重郡朝日町大字縄生2121番地
			東芝シュネデール・インバータ株式会社
			内

最終頁に続く

(54) 【発明の名称】 サージ電圧抑制装置およびモータ制御装置

(57) 【特許請求の範囲】

【請求項1】

電圧形PWM方式のインバータによりモータが駆動される際に、そのモータ端にて発生するサージ電圧を抑制するサージ電圧抑制装置であって、

前記モータ端の各相に対応して設けられ、当該各相の電圧が所定のクランプ電圧を超えて上昇しようとするとき当該モータ端から電流を流すことで、当該各相の電圧を前記クランプ電圧に制限するクランプ部と、

前記クランプ部に対応して設けられ、対応する前記クランプ部が短絡故障すると、直ちに当該クランプ部が介在する通電経路を遮断する保護動作を行う保護部と、

前記保護部に対応して設けられ、対応する前記保護部により前記保護動作が行われたことを検出すると、その保護部に対応する前記クランプ部が故障状態であることを表す故障検出信号を外部に出力する検出部とを備え、

前記クランプ部は、

ドレイン・ソース間に内蔵されたボディダイオードを有する第1および第2のパワーMOSFETを備え、

前記第1および第2のパワーMOSFETのゲート・ソース間をそれぞれ短絡するとともに、前記第1のパワーMOSFETと前記第2のパワーMOSFETとを前記ボディダイオードによる整流方向が互いに逆向きとなるように直列に接続して構成されていることを特徴とするサージ電圧抑制装置。

【請求項2】

前記クランプ部および前記保護部は、前記モータ端の各相間に直列に接続されていることを特徴とする請求項 1 記載のサージ電圧抑制装置。

【請求項 3】

前記クランプ部および前記保護部は、前記モータ端の各相と接地との間に直列に接続されていることを特徴とする請求項 1 または 2 記載のサージ電圧抑制装置。

【請求項 4】

前記保護部は、前記通電経路に直列に接続された速断型のヒューズであることを特徴とする請求項 1 ないし 3 のいずれかに記載のサージ電圧抑制装置。

【請求項 5】

前記検出部は、  
トランジスタ出力型のフォトカブラと、  
前記保護動作が行われると、前記フォトカブラの一次側の発光ダイオードに対し順方向の電流を前記モータ端から供給する検出電流供給部とを備え、  
前記フォトカブラの二次側のトランジスタがオン状態である期間に前記故障検出信号を出力することを特徴とする請求項 1 ないし 4 のいずれかに記載のサージ電圧抑制装置。

【請求項 6】

前記検出部は、  
サイリスタ出力型のフォトカブラと、  
前記保護動作が行われると、前記フォトカブラの一次側の発光ダイオードに対し順方向の電流を前記モータ端から供給する検出電流供給部とを備え、  
前記フォトカブラの二次側のサイリスタがオン状態である期間に前記故障検出信号を出力することを特徴とする請求項 1 ないし 4 のいずれかに記載のサージ電圧抑制装置。

【請求項 7】

前記検出部は、  
高速 IC 出力型のフォトカブラと、  
前記保護動作が行われると、前記フォトカブラの一次側の発光ダイオードに対し順方向の電流を前記モータ端から供給する検出電流供給部と、  
前記フォトカブラの二次側のフォト IC の出力信号がゲートに与えられるサイリスタとを備え、  
前記サイリスタがオン状態である期間に前記故障検出信号を出力することを特徴とする請求項 1 ないし 4 のいずれかに記載のサージ電圧抑制装置。

【請求項 8】

前記検出部は、  
抵抗素子と、  
前記保護動作が行われると、前記抵抗素子に対し前記モータ端から電流を供給する検出電流供給部と、  
前記抵抗素子の温度が所定温度以上になると前記故障検出信号を出力する信号出力部とを備えていることを特徴とする請求項 1 ないし 4 のいずれかに記載のサージ電圧抑制装置。

【請求項 9】

前記信号出力部は、前記抵抗素子の温度が所定温度以上になると作動する接点を有する温度リレーを含んで構成され、当該接点で作動している期間に前記故障検出信号を出力することを特徴とする請求項 8 記載のサージ電圧抑制装置。

【請求項 10】

前記クランプ部および前記保護部と、前記検出部とを着脱可能な形態にて構成したことを特徴とする請求項 1 ないし 9 のいずれかに記載のサージ電圧抑制装置。

【請求項 11】

前記ヒューズは、溶断時に作動する内部接点を備え、  
前記検出部は、前記内部接点で作動している期間に前記故障検出信号を出力することを

10

20

30

40

50

特徴とする請求項 4 記載の記載のサージ電圧抑制装置。

【請求項 1 2】

前記各検出部は、前記各保護手段のうち少なくとも 1 つにより前記保護動作が行われたことを検出すると、前記クランプ部のうち少なくとも 1 つが故障状態であることを表す故障検出信号を外部に出力することを特徴とする請求項 1 ないし 1 1 のいずれかに記載のサージ電圧抑制装置。

【請求項 1 3】

ケーブルを介してモータを駆動する電圧形 PWM 方式のインバータと、請求項 1 ないし 1 2 のいずれかに記載のサージ電圧抑制装置とを備えていることを特徴とするモータ制御装置。

10

【請求項 1 4】

前記サージ電圧抑制装置は、前記故障検出信号を前記インバータに送出し、前記インバータは、前記故障検出信号が与えられると、前記モータの駆動を停止させる故障対応制御を実行することを特徴とする請求項 1 3 記載のモータ制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータによりモータが駆動される際に、そのモータ端にて発生するサージ電圧を抑制するサージ電圧抑制装置およびこのサージ電圧抑制装置を備えたモータ制御装置に関する。

20

【背景技術】

【0002】

電圧形 PWM 方式のインバータは、矩形波状（パルス状）の電圧を出力する。このような出力電圧は、電圧変化率（ $dV/dt$ ）が高いため、非常に高い周波数成分を含んでいる。また、インバータの出力電圧は、ケーブルを介してモータに供給される。このことから、ケーブルとモータのインピーダンスの相違による反射共振などが原因で、モータ端においてサージ電圧が発生する。このサージ電圧は、上記ケーブルの長さや種類（インピーダンス）、布設方法などに依存しており、その最大値はインバータの出力端における電圧の 2 倍以上になることが知られている。上記サージ電圧が原因で、モータの巻線のうち、特にインバータに近い側の巻線部分の絶縁が劣化してしまう。モータ巻線の絶縁劣化が進むと、最悪の場合には絶縁破壊に至る可能性もあり、その場合には非常に危険な状態となる。

30

【0003】

そこで、インバータ出力端またはモータ端に、交流リアクトル、サージ電圧抑制フィルタなどを付加し、サージ電圧の発生を抑制することが広く行われている。ただし、一般にこれらの付加装置は価格が高い上、大きく且つ重い。このため、その設置に多大な労力を要するとともに設置スペースを広くとらなければならない。

一方、特許文献 1 には、サージ吸収用の半導体素子を用いてサージ電圧を抑制する技術が開示されている。このものによれば、所定の電圧を超えるサージ電圧が印加されると、半導体素子が電流を流し、その電圧を所定値にクランプする。このような動作によってサージ電圧が抑制される。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特許第 3 7 4 2 6 3 6 号公報

【特許文献 2】特開昭 6 1 - 1 2 2 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般的に使用されるサージ吸収用の半導体素子としては、例えばツェナーダイオードが

50

挙げられる。現状、ツェナーダイオードの定格電圧（ツェナー電圧の定格値）は、最大でも400V程度である。一方、モータに生じるサージ電圧の電圧値は、少なくとも1000V程度となる。このことから、特許文献1記載の半導体素子を、前述したインバータにより駆動されるモータ端の例えば各相間に接続してサージ電圧を抑制しようとする場合、次のような問題が生じる。

【0006】

すなわち、モータ端に生じるサージ電圧を抑制するためには、各相間に複数の上記半導体素子を直列に接続することで単体でのクランプ電圧よりも高いクランプ電圧を実現する必要がある。しかし、このように複数の半導体素子を直列接続して用いると、各素子の特性のばらつきに起因して各半導体素子が分担する電圧が不平等になってしまう。分担電圧が不平等になると、高い電圧を分担している素子が故障してしまう可能性が生じる。

10

【0007】

半導体素子の故障には、大きく分けて短絡モードと開放モードとがあるが、開放モードで故障する場合でも、まず短絡故障が発生し、それに伴い流れる過大な電流により素子内部の最も弱い部分が溶断して最終的に開放モードになる。つまり、半導体素子が故障する際、必ず最初に短絡状態が生じる。このことから、直列接続された半導体素子の1つが故障すると、その半導体素子は必ず短絡状態となる。そして、この故障した半導体素子が分担していた電圧が残りの半導体素子に印加されることで、これらが連鎖的に故障するおそれがある。全ての半導体素子が故障状態になると、モータの各相間が短絡状態になる。

【0008】

20

通常、モータの各相間が短絡状態になると、インバータ側において、出力電流の過電流保護機能が動作してインバータ出力が遮断されるようになっている。しかし、この保護機能が動作する前に、故障した半導体素子が開放モードに移行した場合、モータの短絡状態が解消される。このようになると、半導体素子の故障によりサージ電圧抑制のための機能が無効化しているにもかかわらず、それに気付かずに運転が継続されてしまい、前述したサージ電圧による問題が生じるおそれがある。一方、上記保護機能が動作してインバータ出力が遮断された場合であっても、遮断される前の一時的な短絡状態において過大な電流が流れ、主システムの他の機器に悪影響を及ぼす可能性がある。

【0009】

そこで、このような半導体素子の故障を検出するための構成を付加することが考えられる。例えば、特許文献2には、サージ電圧吸収用の半導体素子と直列に発光ダイオードまたはフォトカプラの発光素子を接続し、半導体素子が完全な短絡状態となる前の低インピーダンス状態を発光ダイオードの発光状態またはフォトカプラの受光素子の駆動状態により検出する技術が開示されている。

30

【0010】

この特許文献2の技術を用いて、上記モータの各相間に接続したサージ吸収用の半導体素子の故障を検出しようとする、以下のような問題が生じる。すなわち、素子が上述した低インピーダンス状態である期間は長いとは限らない。従って、この低インピーダンス状態を検出して何らかの保護動作を実行する前に、半導体素子が完全な短絡状態になる可能性がある。このようになると、短絡電流が流れることにより半導体素子および発光ダイオードなどの検出素子も故障する可能性があり、有効な故障検出ができないことになる。

40

【0011】

本発明は上記事情に鑑みてなされたものであり、その目的は、サージ電圧を抑制するために用いる半導体素子の特性のばらつきに起因した故障を防ぐとともに、半導体素子の故障状態を直ちに検出することができるサージ電圧抑制装置およびこのサージ電圧抑制装置を備えたモータ制御装置を提供することにある。

【課題を解決するための手段】

【0012】

上記した目的を達成するために、本発明のサージ電圧抑制装置は、電圧形PWM方式のインバータによりモータが駆動される際に、そのモータ端にて発生するサージ電圧を抑制

50

するサージ電圧抑制装置であって、前記モータ端の各相に対応して設けられ、当該各相の電圧が所定のクランプ電圧を超えて上昇しようとするとき当該モータ端から電流を流すことで、当該各相の電圧を前記クランプ電圧に制限するクランプ部と、前記クランプ部に対応して設けられ、対応する前記クランプ部が短絡故障すると、直ちに当該クランプ部が介在する通電経路を遮断する保護動作を行う保護部と、前記保護部に対応して設けられ、対応する前記保護部により前記保護動作が行われたことを検出すると、その保護部に対応する前記クランプ部が故障状態であることを表す故障検出信号を外部に出力する故障検出部とを備え、前記クランプ部は、ドレイン・ソース間に内蔵されたボディダイオードを有する第1および第2のパワーMOSFETを備え、前記第1および第2のパワーMOSFETのゲート・ソース間をそれぞれ短絡するとともに、前記第1のパワーMOSFETと前記第2のパワーMOSFETとを前記ボディダイオードによる整流方向が互いに逆向きとなるように直列に接続して構成されていることを特徴とする。

10

## 【0013】

上記構成によれば、従来はサージ吸収用途に用いられることがなかったパワーMOSFETによりクランプ部が構成されている。なお、このパワーMOSFETは、ドレイン・ソース間の耐圧実力値の高いものまで広く流通しており、所定のクランプ電圧に合わせて耐圧実力値を選定することが可能である。そして、第1および第2のパワーMOSFETは、各相の電圧の極性に依りていずれか一方のみがアバランシェ動作し、そのドレイン・ソース間電圧は耐圧実力値に制限され、これにより、モータ端におけるサージ電圧が所定のクランプ値に制限される。

20

## 【発明の効果】

## 【0014】

本発明によれば、クランプ部を構成する第1および第2のパワーMOSFETは、各相の電圧の極性に依りていずれか一方のみがクランプ動作を行うので、各半導体素子の特性のばらつきに起因する故障が発生することはない。また、保護部による保護動作が行われたことを検出すると、その保護部に対応するクランプ部が故障状態であることを表す故障検出信号を外部に出力する検出部を備えているので、サージ電圧を抑制することができない状態で、インバータの運転が継続されることを確実に防止することができる。

## 【図面の簡単な説明】

## 【0015】

30

【図1】本発明の第1の実施形態を示すモータ制御装置の概略構成図

【図2】サージ電圧抑制装置の電気構成を示す図

【図3】クランプ部の故障検出に係る構成を示す図

【図4】本発明の第2の実施形態を示すクランプ部の構成図

【図5】本発明の第3の実施形態を示す図2相当図

【図6】本発明の第4の実施形態を示す検出部の構成図

【図7】本発明の第5の実施形態を示す図6相当図

【図8】本発明の第6の実施形態を示す図6相当図

【図9】本発明の第7の実施形態を示す図6相当図

【図10】図1相当図

40

【図11】本発明の第8の実施形態を示す図6相当図

【図12】図1相当図

【図13】本発明の第9の実施形態を示す図6相当図

【図14】図3相当図

【図15】本発明の第10の実施形態を示す図6相当図

【図16】図3相当図

【図17】本発明の第11の実施形態を示す図1相当図

【図18】本発明の第12の実施形態を示す図2相当図

【図19】本発明の第13の実施形態を示す図2相当図

【図20】図1相当図

50

## 【発明を実施するための形態】

## 【0016】

(第1の実施形態)

以下、本発明の第1の実施形態について図1～図3を参照しながら説明する。

図1は、モータ制御装置の電気構成を概略的に示している。図1に示すモータ制御装置1は、汎用の電圧形インバータ2によりモータ3をPWM駆動して制御するものである。インバータ2の各出力端子には、電圧供給線4u、4v、4w(ケーブルに相当)を介してモータ3の各相端子が接続されている。モータ3は、例えば三相の交流モータである。

## 【0017】

インバータ2は、直流電源回路(図示せず)、インバータ主回路、ゲート駆動回路(図3に符号5を付して示す)、制御部(図3に符号6を付して示す)などから構成されている。直流電源回路は、交流電源より供給される交流を整流および平滑して出力する。インバータ主回路は、スイッチング素子を三相フルブリッジ接続して構成されたものであり、直流電源回路から出力される直流電圧を三相交流電圧に変換する。この三相交流電圧は、インバータ2の負荷であるモータ3に供給される。制御部6は、インバータ主回路からパルス幅変調された指定周波数の三相交流電圧が出力されるようにインバータ主回路の各スイッチング素子の駆動をゲート駆動回路5を介して制御する。

## 【0018】

電圧供給線4u-4v間、電圧供給線4v-4w間および電圧供給線4u-4w間には、それぞれサージ電圧抑制装置7、8および9が接続されている。サージ電圧抑制装置7~9は、モータ3端において発生するサージ電圧を抑制するものであり、クランプ部10、保護部11、検出部12および端子P1~P3を備えている。

## 【0019】

クランプ部10は、端子P1、P2間の電圧を所定のクランプ電圧VCPに制限する。保護部11は、クランプ部10が短絡故障した場合に、端子P1、P2間の通電経路を遮断する保護動作を行う。検出部12は、保護部11による保護動作が行われたことを検出するものであり、その保護動作を検出すると、クランプ部10が故障状態であることを表す故障検出信号を端子P3を介してインバータ2に出力する。なお、インバータ2と検出部12との間には、実際には複数の信号線が接続されるが、図1では、これら複数の信号線を1つの複合信号線13(多芯線ケーブル)として表している。

## 【0020】

図2は、サージ電圧抑制装置の具体的な構成を示している。なお、図2には、サージ電圧抑制装置7の構成のみを示すが、サージ電圧抑制装置8、9についても同様に構成されている。クランプ部10は、トランジスタM1、M2を備えている。トランジスタM1、M2は、Nチャネル型のパワーMOSFETであり、それぞれドレイン・ソース間に接続されたボディダイオードBD1、BD2を備えている。トランジスタM1、M2は、ドレイン・ソース間の耐圧実力値(実力耐圧)が1000V程度のもので選定して使用している。これにより、詳細の動作は後述するが、クランプ部10のクランプ電圧VCPは、約1000Vとなっている。

## 【0021】

トランジスタM1、M2は、いずれもゲート・ソース間が短絡されており、通常はオフ状態に固定されている。トランジスタM1、M2は、各ソースが互いに接続されている。トランジスタM1のドレインはノードNaに接続され、トランジスタM2のドレインはノードNbに接続されている。

## 【0022】

保護部11は、速断型のヒューズF1を備えている。ヒューズF1の両端子は、それぞれノードNc、Ndに接続されている。保護部11とクランプ部10とは、端子P1と端子P2の間に直列に接続されている。すなわち、端子P1とノードNcが接続され、ノードNdとノードNaが接続され、ノードNbが端子P2に接続されている。

## 【0023】

検出部12は、フォトカプラPC1、ダイオードD1、D2および抵抗R1、R2を備えている。ノードNeとノードNfの間には、フォトカプラPC1の一次側発光素子である発光ダイオードLD1、ダイオードD1および抵抗R1が直列に接続されている。また、ノードNgとノードNfの間には、ダイオードD2および抵抗R1が直列に接続されている。ノードNeは端子P1に接続され、ノードNfは端子P2に接続され、ノードNgは、クランプ部10のノードNaと保護部11のノードNdと共通に接続されている。抵抗R1は、端子P1と端子P2の間の通電経路に流れる電流を制限するものであり、高抵抗値のものが使用される。ダイオードD2は、ダイオードD1と抵抗R1の相互接続点Nhの電位を、ヒューズF1が導通している状態且つ後述する特定の条件下において、端子P1の電圧からダイオードD2の順方向電圧VFを減じた電圧に固定するために設けられている。

10

#### 【0024】

フォトカプラPC1は、トランジスタ出力型のものであり、その二次側受光素子は、フォトダイオードPD1およびNPN形のトランジスタT1を集積化して構成されている。フォトダイオードPD1のカソードとトランジスタT1のコレクタとは共通に接続されるとともにノードNiに接続されている。トランジスタT1のエミッタは、ノードNjに接続されるとともに、抵抗R2を介してノードNkに接続されている。抵抗R2は、トランジスタT1のコレクタ電流を制限するとともに、トランジスタT1がオフしている期間にノードNjの電位をノードNkの電位に固定するプルダウン抵抗である。ノードNi、Nkは、それぞれ端子Vcc、端子Nに接続されている。サージ電圧抑制装置7は、インバータ2から端子Vcc、Nを介して直流電圧Vccの供給を受けるようになっている。ノードNjは、故障検出信号の出力端子である端子Voに接続されている。これら端子Vcc、Vo、Nは、図1における端子P3に相当する。

20

#### 【0025】

本実施形態では、トランジスタT1がオンして端子Voの電圧が端子Vccの電圧（直流電圧Vcc = Hレベル）と等しくなる状態が故障検出信号が出力された状態に相当する。また、トランジスタT1がオフして端子Voの電圧が端子Nの電圧（接地電位 = Lレベル）と等しくなる状態が故障検出信号が出力されない状態に相当する。また、本実施形態では、ダイオードD1、D2および抵抗R1により検出電流供給部14が構成されている。

30

#### 【0026】

図3は、モータ制御装置におけるクランプ部の故障検出に係る部分の構成を示している。サージ電圧抑制装置7~9の端子Vccは、いずれもインバータ2の内部において、直流電圧Vccの供給端子に接続されている。サージ電圧抑制装置7~9の端子Nは、いずれもインバータ2の内部において、接地電位（基準電位）の供給端子に接続されている。サージ電圧抑制装置7~9の端子Voは、いずれもインバータ2の内部において、制御部6に接続されている。このような構成により、インバータ2からサージ電圧抑制装置7~9に対し、接地電位を基準とした直流電圧Vccが供給される。また、サージ電圧抑制装置7~9のそれぞれの端子Voの電圧がインバータ2の制御部6に入力される。

40

#### 【0027】

制御部6は、例えばCPU、ROM、RAMなどを備えたマイクロコンピュータを主体として構成されている。また、制御部6は、ソフトウェアにより構成されたラッチ回路を備えている。制御部6は、このラッチ回路を用いて入力される各端子Voの電圧の立ち上がりを検出する。制御部6は、端子Voの電圧の立ち上がりを所定回数だけ検出すると、それに対応するサージ電圧抑制装置から故障検出信号が与えられたと判断し、所定の故障対応制御を実行する。この故障対応制御としては、例えば、ゲート駆動回路5を介してインバータ2の出力を遮断する制御や、表示部15を介してサージ電圧抑制装置7~9が故障である旨を表示する制御などがある。

#### 【0028】

次に、上記構成のサージ電圧抑制装置の動作について説明する。

50

以下では、電圧供給線 4 u - 4 v 間に接続されたサージ電圧抑制装置 7 の動作を例にして説明を行うが、サージ電圧抑制装置 8、9 についても同様の動作となる。なお、以下では、端子 P 1 の電圧を VP1 とし、端子 P 2 の電圧を VP2 として表す。まず、トランジスタ M 1、M 2 がいずれも故障していない状態の動作について説明する。

【 0 0 2 9 】

( 1 ) 「クランプ電圧  $V_{CP} > \text{電圧 } VP1 - \text{電圧 } VP2 > 0$  」であるときの動作

この場合には、モータ 3 端においてクランプ電圧  $V_{CP}$  を超えるサージ電圧が発生していない。このとき、トランジスタ M 1、M 2 はいずれも通常のオフ状態である。このため、端子 P 1、ヒューズ F 1、ダイオード D 2、抵抗 R 1、端子 P 2 という経路で電流が流れる。なお、ノード N h の電位が、「電圧  $VP1 - \text{順方向電圧 } VF$ 」に固定されるので、フォトカプラ PC 1 の発光ダイオード LD 1 には電流は流れない。このため、トランジスタ T 1 はオフとなり、端子 V o の電圧は L レベルとなる。

10

【 0 0 3 0 】

( 2 ) 「クランプ電圧  $V_{CP} > \text{電圧 } VP2 - \text{電圧 } VP1 > 0$  」であるときの動作

この場合にも、モータ 3 端においてクランプ電圧  $V_{CP}$  を超えるサージ電圧が発生していない。このとき、トランジスタ M 1、M 2 はいずれも通常のオフ状態である。ただし、この場合、ダイオード D 1、D 2 の逆流阻止作用（整流作用）により、端子 P 1、P 2 間には電流は流れない。従って、トランジスタ T 1 はオフとなり、端子 V o の電圧は L レベルとなる。

【 0 0 3 1 】

( 3 ) 「電圧  $VP1 - \text{電圧 } VP2 > \text{クランプ電圧 } V_{CP}$ 」であるときの動作

端子 P 2 の電位を基準とした端子 P 1、P 2 間の電圧がクランプ電圧  $V_{CP}$  を超えて上昇しようとする、トランジスタ M 1 がアバランシェ動作を行う。すなわち、ゲート・ソース間が短絡されたトランジスタ M 1 のドレイン・ソース間に電流が流れ、そのドレイン・ソース間電圧が耐圧実力値（＝クランプ電圧  $V_{CP}$ ）で安定する。この際、トランジスタ M 1 のドレイン電流は、ボディダイオード BD 2 を通じて端子 P 2 へと流れる。このような動作により、端子 P 1、P 2 間の電圧、つまり、電圧供給線 4 u、4 v 間の電圧は、約 1 0 0 0 V のクランプ電圧  $V_{CP}$  に制限される。この際にも、トランジスタ T 1 はオフであり、端子 V o の電圧は L レベルとなる。

20

【 0 0 3 2 】

( 4 ) 「電圧  $VP2 - \text{電圧 } VP1 > \text{クランプ電圧 } V_{CP}$ 」であるときの動作

端子 P 1 の電位を基準とした端子 P 2、P 1 間の電圧がクランプ電圧  $V_{CP}$  を超えて上昇しようとする、トランジスタ M 2 がアバランシェ動作を行う。すなわち、ゲート・ソース間が短絡されたトランジスタ M 2 のドレイン・ソース間に電流が流れ、そのドレイン・ソース間電圧が耐圧実力値（＝クランプ電圧  $V_{CP}$ ）で安定する。この際、トランジスタ M 2 のドレイン電流は、ボディダイオード BD 1 を通じて端子 P 1 へと流れる。このような動作により、端子 P 2、P 1 間の電圧、つまり電圧供給線 4 v、4 u 間の電圧は、約 1 0 0 0 V のクランプ電圧  $V_{CP}$  に制限される。この際にも、トランジスタ T 1 はオフであり、端子 V o の電圧は L レベルとなる。

30

【 0 0 3 3 】

続いて、トランジスタ M 1、M 2 の少なくともいずれか一方が故障した場合の動作について説明する。トランジスタ M 1、M 2 は、故障する場合には必ず短絡状態を伴う。トランジスタ M 1 が短絡状態になると、上記した ( 1 )、( 3 ) の状態において、端子 P 1 から端子 P 2 へと過大な短絡電流が流れる。また、トランジスタ M 2 が短絡状態になると、上記した ( 2 )、( 4 ) の状態において、端子 P 2 から端子 P 1 へと過大な短絡電流が流れる。このように過大な電流が流れると、直ちにヒューズ F 1 が溶断し、端子 P 1、P 2 間の通電経路が遮断される。このように、故障したクランプ部 1 0 が主系統から素早く遮断される。

40

【 0 0 3 4 】

ただし、このままでは、電圧供給線 4 u、4 v 間において生じるサージ電圧を抑制でき

50

ない状態のまま、インバータ2の運転が継続されてしまう可能性がある。そこで、本実施形態では、以下のようにしてクランプ部10が故障状態であることを検出し、それを表す故障検出信号をインバータ2に対して出力するようにしている。すなわち、ヒューズF1が溶断すると、ダイオードD2によるノードNhの電位固定状態が解除される。

**【0035】**

ノードNhの電位固定状態が解除されると、上記した(1)、(3)の状態(正確には、電圧VP1 - 電圧VP2が、発光ダイオードLD1の順方向電圧にダイオードD1の順方向電圧を加えた電圧よりも高い状態)において、端子P1、発光ダイオードLD1、ダイオードD1、抵抗R1、端子P2という経路で電流が流れる。つまり、フォトカプラPC1の発光ダイオードLD1に電流が流れるので、トランジスタT1がオンとなり、端子Voの電圧がHレベルとなる。

10

**【0036】**

一方、上記した(2)、(4)の状態(正確には、電圧VP1 - 電圧VP2が、発光ダイオードLD1の順方向電圧にダイオードD1の順方向電圧を加えた電圧よりも低い状態)においては、発光ダイオードLD1には電流が流れず、トランジスタT1がオフとなり、端子Voの電圧がLレベルとなる。このような動作により、サージ電圧抑制装置7からインバータ2に対し、断続的に故障検出信号が出力される。

**【0037】**

インバータ2において、制御部6は、サージ電圧抑制装置7から故障検出信号が与えられたことを検出すると、所定の故障対応制御を実行する。すなわち、制御部6は、サージ電圧抑制装置7の端子Voの電圧の立ち上がりをもとに所定回数検出すると、サージ電圧抑制装置7が故障状態であると判断し、インバータ2の出力を遮断する制御や、表示部15にサージ電圧抑制装置7が故障状態である旨を表示させる制御などを行う。

20

**【0038】**

以上説明したように、本実施形態のモータ制御装置1は、電圧供給線4u、4v間、電圧供給線4v、4w間、電圧供給線4u、4w間にそれぞれサージ電圧抑制装置7~9を設けた構成であるので、モータ3端の各相間に発生するサージ電圧をクランプ電圧VCPに制限することができる。そして、サージ電圧抑制装置7~9は、従来はサージ吸収用途として用いられることがなかったパワーMOSFETからなるトランジスタM1、M2により構成されたクランプ部10を備えている。なお、このパワーMOSFETは、ドレイン・ソース間の耐圧実力値の低いものから高いものまで広く流通している。

30

**【0039】**

クランプ部10は、これらトランジスタM1、M2として耐圧実力値が高いパワーMOSFETを用いるとともに、各相電圧の極性に依りていずれか一方のみが動作するような接続形態として構成し、これによりサージ電圧の抑制動作を実現している。従って、本実施形態の構成によれば、複数の半導体素子を直列接続し、それら全ての動作によりクランプ動作を実現する構成の従来技術において問題であった各半導体素子の特性のばらつきに起因する故障が発生することはない。

**【0040】**

サージ電圧抑制装置7~9は、クランプ部10が故障した場合に、端子P1、P2間の通電経路を遮断する保護動作を行う保護部11を備えている。これにより、トランジスタM1、M2が短絡状態となって各相間に過大な短絡電流が流れ続けてしまう事態を防止できる。さらに、保護部11が速断型のヒューズF1により構成されているので、故障したクランプ部10が主系統から素早く遮断され、短絡電流によって主系統に及ぼす影響を小さくすることができる。

40

**【0041】**

サージ電圧抑制装置7~9は、保護部11による保護動作が行われたことを検出する検出部12を備えている。検出部12は、保護動作を検出するとクランプ部10が故障状態であることを表す故障検出信号をインバータ2に出力する。インバータ2は、故障検出信号が与えられると、インバータ2の運転を停止させるなど、所定の故障対応制御を実行す

50

る。これにより、モータ3端の各相間において生じるサージ電圧を抑制することができない状態で、インバータ2の運転が継続されることを確実に防止することができる。

【0042】

(第2の実施形態)

以下、第1の実施形態に対し、クランプ部の構成を変更した第2の実施形態について図4を参照しながら説明する。

図4は、本実施形態のクランプ部を示している。図4に示すように、トランジスタM21、M22は、Pチャネル型のパワーMOSFETであり、それぞれドレイン・ソース間に接続されたボディダイオードBD21、BD22を備えている。トランジスタM21、M22は、ドレイン・ソース間の耐圧実力値(実力耐圧)が1000V程度のものを選定して使用している。

10

【0043】

トランジスタM21、M22は、いずれもゲート・ソース間が短絡されており、通常はオフ状態に固定されている。トランジスタM21、M22は、各ドレインが互いに接続されている。トランジスタM21のソースはノードNaに接続され、トランジスタM22のソースはノードNbに接続されている。このような構成のクランプ部21をサージ電圧抑制装置7~9におけるクランプ部10に代えて用いた場合であっても、第1の実施形態と同様の作用および効果が得られる。

【0044】

(第3の実施形態)

以下、第1の実施形態に対し、検出部の構成を変更した第3の実施形態について図5を参照しながら説明する。

図5は、第1の実施形態における図2相当図であり、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部31は、第1の実施形態の検出部12に対し、ダイオードD2が省略されている点が異なる。また、発光ダイオードLD1、ダイオードD1および抵抗R1の接続状態が変更されている。すなわち、ノードNeとノードNgの間に、フォトカプラPC1の発光ダイオードLD1、ダイオードD1、抵抗R1が直列に接続されている。本実施形態では、ダイオードD1および抵抗R1により検出電流供給部32が構成されている。

20

【0045】

このような構成によれば、トランジスタM1、M2が故障して短絡状態となり、ヒューズF1が溶断すると、端子P1、発光ダイオードLD1、抵抗R1、トランジスタM1、ボディダイオードBD2、端子P2という経路で電流が流れ得る状態となる。従って、上記構成では、このような場合においてはクランプ部10の故障状態を検出できるので、検出部31の構成を簡素化しつつ、第1の実施形態と同様の効果が得られる。

30

【0046】

上記構成では、以下のような場合にはクランプ部10の故障状態を検出することができない。すなわち、トランジスタM1、M2が故障して一旦短絡状態となり、ヒューズF1が溶断する前に開放モードでの故障に移行した場合には、発光ダイオードLD1を通じた経路に電流を流すことができない。従って、クランプ部10が開放状態で故障しているにもかかわらず、その状態を検出することができない。ただし、本実施形態における上記問題点については、ヒューズF1として、一層早く溶断するタイプのものを用いることで解消可能である。

40

【0047】

(第4の実施形態)

以下、第1の実施形態に対し、検出部の構成を変更した第4の実施形態について図6を参照しながら説明する。

図6は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部41は、第1の実施形態の検出部12に対し、フォトカプラPC1に代えてフォトカプラPC41を備えている点と、新たに抵

50

抗 R 4 1 を備えている点とが異なる。

【 0 0 4 8 】

フォトカプラ P C 4 1 は、サイリスタ出力型のものであり、その受光素子であるフォトサイリスタ P T 4 1 のゲート・カソード間には抵抗 R 4 1 が接続されている。抵抗 R 4 1 は、発光ダイオード L D 1 が発光したときに流れるゲート電流を制限するとともに、発光ダイオード L D 1 が発光していない期間に確実にゲート電流を流さないようにするために設けられている。フォトサイリスタ P T 4 1 のアノードは、ノード N i に接続されている。フォトサイリスタ P T 4 1 のカソードは、ノード N j に接続されるとともに抵抗 R 2 を介してノード N k に接続されている。

【 0 0 4 9 】

上記構成の検出部 4 1 をサージ電圧抑制装置 7 ~ 9 の検出部 1 2 に代えて用いた場合には以下のような検出動作となる。すなわち、トランジスタ M 1、M 2 の故障に起因してヒューズ F 1 が溶断すると、端子 P 1、発光ダイオード L D 1、ダイオード D 1、抵抗 R 1、端子 P 2 という経路で電流が流れる。これにより、発光ダイオード L D 1 が発光してフォトサイリスタ P T 4 1 にゲート電流が供給される。これにより、フォトサイリスタ P T 4 1 がターンオンする。この状態は、ゲート電流の供給状態にかかわらず、フォトサイリスタ P T 4 1 のアノード・カソード間に流れる電流が一定値以下になるまで継続される。従って、フォトサイリスタ P T 4 1 がターンオンした後は、直流電圧 V c c の供給が停止されるまで、ノード N j の電圧がノード N i の電圧に等しくなる状態が維持される。すなわち、サージ電圧抑制装置 7 ~ 9 からインバータ 2 に対し、連続的に故障検出信号が出力

【 0 0 5 0 】

このような構成の検出部 4 1 を用いた場合、インバータ 2 の制御部 6 は、端子 V o の電圧を検出し、その電圧レベルが H レベルであるか否かの判断を行うだけで、サージ電圧抑制装置 7 ~ 9 の故障状態を判断することができる。このため、制御部 6 において端子 V o の電圧の立ち上がりを検出するラッチ回路を省略することができる。従って、本実施形態によれば、第 1 の実施形態と同様の効果が得られるとともに、第 1 の実施形態と比べて制御部 6 の構成および制御内容を簡素化することができる。

【 0 0 5 1 】

( 第 5 の実施形態 )

以下、第 1 の実施形態に対し、検出部の構成を変更した第 5 の実施形態について図 7 を参照しながら説明する。

図 7 は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部 5 1 は、第 1 の実施形態の検出部 1 2 に対し、フォトカプラ P C 1 に代えてフォトカプラ P C 5 1 を備えている点と、新たに抵抗 R 5 1 およびサイリスタ 5 2 を備えている点とが異なる。

【 0 0 5 2 】

フォトカプラ P C 5 1 は、高速の I C 出力型のものであり、その受光素子であるフォト I C 5 3 には、ノード N i、N k を介して直流電圧 V c c が供給されている。フォト I C 5 3 の出力信号は、電流制限用の抵抗 R 5 1 を介してサイリスタ 5 2 のゲートに与えられる。サイリスタ 5 2 のアノードは、ノード N i に接続されている。サイリスタ 5 2 のカソードは、ノード N j に接続されるとともに抵抗 R 2 を介してノード N k に接続されている。

【 0 0 5 3 】

上記構成の検出部 5 1 をサージ電圧抑制装置 7 ~ 9 の検出部 1 2 に代えて用いた場合には以下のような検出動作となる。すなわち、トランジスタ M 1、M 2 の故障に起因してヒューズ F 1 が溶断すると、端子 P 1、発光ダイオード L D 1、ダイオード D 1、抵抗 R 1、端子 P 2 という経路で電流が流れる。これにより、フォト I C 5 3 から抵抗 R 5 1 を通じてサイリスタ 5 2 にゲート電流が供給され、サイリスタ 5 2 がターンオンする。この状態は、ゲート電流の供給状態にかかわらず、サイリスタ 5 2 のアノード・カソード間に流

10

20

30

40

50

れる電流が一定値以下になるまで継続される。従って、サイリスタ52がターンオンした後は、直流電圧 $V_{cc}$ の供給が停止されるまで、ノード $N_j$ の電圧がノード $N_i$ の電圧に等しくなる状態が維持される。すなわち、サージ電圧抑制装置7~9からインバータ2に対し、連続的に故障検出信号が出力される。

【0054】

従って、このような本実施形態の構成によっても、第4の実施形態と同様の作用および効果が得られる。さらに、フォトカプラPC51は、高速のIC出力型のものであるので、発光ダイオードLD1を通じて電流が流れる期間が短くてもサイリスタ52をターンオンさせ、故障検出信号を出力することができる。これにより、インバータ2の出力電圧のパルス幅が狭くなる低速運転時や低キャリア周波数設定時などにおいても、サージ電圧抑制装置7~9の故障状態を検出することが可能となる。

10

【0055】

(第6の実施形態)

以下、第1の実施形態に対し、検出部の構成を変更した第6の実施形態について図8を参照しながら説明する。

図8は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部61は、第1の実施形態の検出部12に対し、抵抗 $R_2$ に代えて抵抗 $R_{61}$ を備えている点が異なる。

【0056】

フォトダイオードPD1のカソードとトランジスタT1のコレクタとは共通に接続されている。トランジスタT1のコレクタは、ノード $N_j$ に接続されるとともに、抵抗 $R_{61}$ を介してノード $N_i$ に接続されている。トランジスタT1のエミッタは、ノード $N_k$ に接続されている。抵抗 $R_{61}$ は、トランジスタT1のコレクタ電流を制限するとともに、トランジスタT1がオフしている期間にノード $N_j$ の電位をノード $N_i$ の電位に固定するプルアップ抵抗である。

20

【0057】

本実施形態では、トランジスタT1がオンして端子 $V_o$ の電圧が端子Nの電圧(接地電位=Lレベル)と等しくなる状態が故障検出信号が出力された状態に相当する。また、トランジスタT1がオフして端子 $V_o$ の電圧が端子 $V_{cc}$ の電圧(直流電圧 $V_{cc}$ =Hレベル)と等しくなる状態が故障検出信号が出力されない状態に相当する。

30

【0058】

また、インバータ2の制御部6は、ラッチ回路を用いて入力される各端子 $V_o$ の電圧の立ち下がりを検出し、その立ち上がりを所定回数だけ検出すると、それに対応するサージ電圧抑制装置から故障検出信号が与えられたと判断し、所定の故障対応制御を実行するように構成されている。

【0059】

上記構成のように、故障検出信号の出力ノードである検出部61のノード $N_j$ (端子 $V_o$ )をプルアップする構成とした場合でも、故障検出信号の出力ノードをプルダウンする構成とした第1の実施形態と同様の作用および効果が得られる。なお、図6および図7に示した検出部41、51についても、本実施形態と同様にノード $N_j$ をプルアップする構成に変更することができる。

40

【0060】

(第7の実施形態)

以下、第1の実施形態に対し、検出部の構成を変更した第7の実施形態について図9および図10を参照しながら説明する。

図9は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部71は、第1の実施形態の検出部12に対し、フォトカプラPC1および抵抗 $R_2$ に代えて抵抗 $R_{71}$ (抵抗素子に相当)および温度リレーTR71(信号出力部に相当)を備えている点と異なる。

【0061】

50

ノードNeとノードNfの間には、抵抗R71、ダイオードD1、抵抗R1が直列に接続されている。温度リレーTR71は、抵抗R71の近傍に設けられる温度検出素子（図示せず）と、その温度検出素子による検出温度が所定温度以上になると作動（閉鎖）する常開形の接点S71（A接点）とを備えている。すなわち、温度リレーTR71は、抵抗R71の温度が所定温度以上になると、その接点S71が閉じる。接点S71の両端子は、それぞれノードN1、Nmに接続されている。

【0062】

ノードN1、Nmは、インバータ2の制御部6の接点入力端子（図示せず）に接続されている。制御部6は、接点入力端子に接続されるノードN1、Nmの接点信号に基づいて接点S71の作動状態を検出する回路を備えている（図示せず）。例えば、制御部6は、ノードN1、Nmの各接点信号が同電位である場合に接点S71が作動状態であると判断する。なお、本実施形態では、ダイオードD1、D2、抵抗R1、R71により検出電流供給部72が構成される。また、温度リレーTR71の接点S71が閉じた状態が、故障検出信号が出力された状態に相当する。

10

【0063】

上記構成の検出部71をサージ電圧抑制装置7～9の検出部12に代えて用いた場合には以下のような検出動作となる。すなわち、トランジスタM1、M2の故障に起因してヒューズF1が溶断すると、端子P1、抵抗R71、ダイオードD1、抵抗R1、端子P2という経路で電流が断続的に流れる。これに応じて、抵抗R71の温度が次第に上昇し、その温度が所定温度以上になると、温度リレーTR71の接点S71が閉じる。この状態は、抵抗R71の温度が所定温度未満になるまで継続される。すなわち、サージ電圧抑制装置7～9からインバータ2に対し、連続的に故障検出信号が出力される。制御部6は、ノードN1、Nmの接点信号に基づいて接点S71が作動状態であることを検出すると、サージ電圧抑制装置が故障状態であると判断し、所定の故障対応制御を実行する。

20

【0064】

従って、このような本実施形態の構成によっても、第1の実施形態と同様の作用および効果が得られる。さらに、故障検出信号が連続的に出力されるので、それを入力する制御部6の入力部の構成を簡単化することができる。また、検出部71は、外部から電源供給を受けることなく動作可能であるので、第1の実施形態の検出部12などにおいて必要であった直流電圧Vccを供給する必要がなくなる。

30

【0065】

また、検出部71をサージ電圧抑制装置7～9に適用する場合、各ノードN1、Nmを図10のように接続してもよい。図10は、第1の実施形態における図1相当図である。図10では、サージ電圧抑制装置7～9について接点S71以外の構成の図示は省略している。この図10に示すように、サージ電圧抑制装置7～9の各ノードN1を共通に接続するとともに、各ノードNmを共通に接続する。すなわち、サージ電圧抑制装置7～9の各接点S71を互いに並列に接続する。これら共通接続したノードN1、Nmを、インバータ2の制御部6の接点入力端子に接続する。

【0066】

この場合、制御部6は、以下のような故障検出を行えばよい。すなわち、サージ電圧抑制装置7～9の少なくともいずれか1つから故障検出信号が出力された場合、つまり少なくともいずれか1つの接点S71が閉じた場合には、共通接続したノードN1、Nmの各接点信号は同電位となる。制御部6は、ノードN1、Nmの接点信号が同電位である場合にサージ電圧抑制装置7～9の少なくともいずれか1つが故障状態であると判断し、所定の故障対応制御を実行すればよい。なお、この場合、サージ電圧抑制装置7～9の各温度リレーTR71の接点S71のうち、少なくとも1つが閉じた状態が、故障検出信号が出力された状態に相当する。

40

【0067】

（第8の実施形態）

以下、第1の実施形態に対し、検出部の構成を変更した第8の実施形態について図11

50

および図12を参照しながら説明する。

図11は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部81は、第7の実施形態の検出部71に対し、温度リレーTR71に代えてサーミスタTH81を備えている点が異なる。

【0068】

サーミスタTH81は、抵抗R71の近傍に配置されている。これにより、抵抗R71の温度変化に応じてサーミスタTH81の抵抗値が変化する。サーミスタTH81の両端子は、それぞれノードN1、Nmに接続されている。制御部6は、ノードN1、Nm間の抵抗値を検出する抵抗値検出回路を備えている(図示せず)。この抵抗値検出回路は、例えば、ノードN1、Nm間に一定の電流を流し、その際にノードN1、Nm間に生じる電圧の値からサーミスタTH81の抵抗値を検出する。この場合、抵抗R71の温度が所定温度(例えば通常動作においては有り得ないような高い温度)であるときのサーミスタTH81の抵抗値を測定しておき、その所定の抵抗値を故障判定のしきい値として用いればよい。なお、本実施形態では、サーミスタTH81の抵抗値が所定の抵抗値以下になった状態が、故障検出信号が出力された状態に相当する。

10

【0069】

上記構成の検出部81をサージ電圧抑制装置7~9の検出部12に代えて用いた場合には以下のような検出動作となる。すなわち、トランジスタM1、M2の故障に起因してヒューズF1が熔断すると、抵抗R71に断続的に電流が流れて温度が上昇する。抵抗R71の温度が所定温度以上になると、サーミスタTH81の抵抗値が所定の抵抗値以下となる。この状態は、抵抗R71の温度が所定温度未満になるまで継続される。すなわち、サージ電圧抑制装置7~9からインバータ2に対し、連続的に故障検出信号が出力される。制御部6は、ノードN1、Nm間の抵抗が所定の抵抗値以下になっていることを検出すると、サージ電圧抑制装置が故障状態であると判断し、所定の故障対応制御を実行する。

20

【0070】

従って、このような本実施形態の構成によっても、第1の実施形態と同様の作用および効果が得られる。さらに、検出部81は、外部から電源供給を受けることなく動作可能であるので、第1の実施形態の検出部12などにおいて必要であった直流電圧Vccを供給する必要がなくなる。

【0071】

また、検出部81をサージ電圧抑制装置7~9に適用する場合、各ノードN1、Nmを図12のように接続してもよい。図12は、第1の実施形態における図1相当図である。図12では、サージ電圧抑制装置7~9についてサーミスタTH81以外の構成の図示は省略している。この図12に示すように、サージ電圧抑制装置9のノードNmとサージ電圧抑制装置7のノードN1とを接続し、サージ電圧抑制装置7のノードNmとサージ電圧抑制装置8のノードN1とを接続する。サージ電圧抑制装置9のノードN1、サージ電圧抑制装置8のノードNmを、それぞれインバータ2の制御部6に接続する。すなわち、サージ電圧抑制装置7~9の各サーミスタTH81を直列に接続する。

30

【0072】

この場合、制御部6は、各サーミスタTH81の直列合成抵抗値を検出することになり、その値に基づいて以下のような故障検出を行えばよい。すなわち、サージ電圧抑制装置7~9の少なくともいずれか1つから故障検出信号が出力された場合、つまり各サーミスタTH81の直列合成抵抗値が、少なくとも上記所定の抵抗値だけ低下したことを検出すると、サージ電圧抑制装置7~9の少なくともいずれか1つが故障状態であると判断し、所定の故障対応制御を実行すればよい。なお、この場合、各サーミスタTH81の直列合成抵抗値が、少なくとも所定の抵抗値だけ低下した状態が、故障検出信号が出力された状態に相当する。

40

【0073】

(第9の実施形態)

以下、第1の実施形態に対し、検出部の構成を変更した第9の実施形態について図13

50

および図14を参照しながら説明する。

図13は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部91は、第1の実施形態の検出部12に対し、抵抗R2およびノードNkが省略されている点異なる。すなわち、トランジスタT1のエミッタは、ノードNjに接続されている。

【0074】

図14は、第1の実施形態における図3に相当するものであり、モータ制御装置におけるクランプ部の故障検出に係る部分の構成を示している。本実施形態のサージ電圧抑制装置7~9は、サージ電圧抑制ユニット92として1つにまとめて構成されている。このサージ電圧抑制ユニット92は、抵抗R91および端子P91、端子P92、端子P93を備えている。

10

【0075】

サージ電圧抑制装置7~9の各端子Vcc(=各ノードNi)は、いずれもサージ電圧抑制ユニット92の端子P91に接続されている。サージ電圧抑制装置7~9の各端子Vo(=ノードNj)は、いずれもサージ電圧抑制ユニット92の端子P92に接続されるとともに、抵抗R91を介して端子P93に接続されている。抵抗R91は、サージ電圧抑制装置7~9の各トランジスタT1のコレクタ電流を制限するとともに、全てのトランジスタT1がオフしている期間に端子P92の電位を端子P93の電位に固定する。すなわち、本実施形態では、1つの抵抗R91が、第1の実施形態において各サージ電圧抑制装置7~9にそれぞれ設けられた抵抗R2の代わりにプルダウン抵抗として機能する。

20

【0076】

また、本実施形態では、サージ電圧抑制装置7~9に設けられたトランジスタT1のうち、少なくとも1つがオンして端子P92の電圧が端子P91の電圧(直流電圧Vcc=Hレベル)と等しくなる状態が故障検出信号が出力された状態に相当する。また、全てのトランジスタT1がオフして端子P92の電圧が端子P93の電圧(接地電位=Lレベル)と等しくなる状態が故障検出信号が出力されない状態に相当する。

【0077】

インバータ盤93は、インバータ2や周辺機器などが収容されるものであり、パトランプ94およびリレー95を備えている。リレー95は、励磁コイル95aおよび励磁コイル95aが励磁されると作動する接点95bを備えている。直流電圧Vccの供給端子と接地電位の供給端子との間には、パトランプ94および接点95bが直列に接続されている。励磁コイル95aの一方の端子は接地電位の供給端子に接続されている。

30

【0078】

サージ電圧抑制ユニット92の端子P91は、インバータ盤93の内部において、直流電圧Vccの供給端子に接続されている。サージ電圧抑制ユニット92の端子P92は、インバータ盤93の内部において、励磁コイル95aの他方の端子に接続されている。サージ電圧抑制ユニット92の端子P93は、インバータ盤93の内部において、接地電位(基準電位)の供給端子に接続されている。このような構成により、インバータ盤93からサージ電圧抑制装置7~9に対し、接地電位を基準とした直流電圧Vccが供給される。また、サージ電圧抑制ユニット92の端子P92の電圧がインバータ2の制御部6に入力される。

40

【0079】

上記構成によれば、サージ電圧抑制装置7~9のクランプ部10のうち少なくとも1つが故障すると、少なくとも1つのトランジスタT1がオンしてサージ電圧抑制ユニット92の端子P92の電圧が端子P91の電圧と等しくなる。すると、インバータ盤93において、励磁コイル95aの端子間に直流電圧Vccが印加され、接点95bが閉じる。接点95bが閉じることで、パトランプ94の両端に直流電圧Vccが印加され、パトランプ94が点灯する。

【0080】

以上説明したように、本実施形態では、サージ電圧抑制装置7~9のうち少なくともい

50

いずれか1つが故障状態になると、インバータ盤93においてパトランプ94を点灯させることで、その状態を使用者に報知する。これにより、モータ3端の各相間において生じるサージ電圧を抑制することができない状態のまま、インバータ2の運転が継続されることを防止できる。従って、本実施形態によっても第1の実施形態と同様の効果が得られる。また、サージ電圧抑制装置7~9の各端子Voを共通接続した上で、サージ電圧抑制ユニット92に設けた1つの抵抗R91によりプルダウンしている(ワイヤードOR接続)。従って、検出部91を構成する部品の点数を削減しつつ、3つのサージ電圧抑制装置7~9の故障状態をOR条件で検出することができる。

#### 【0081】

(第10の実施形態)

以下、第6の実施形態に対し、検出部の構成を変更した第10の実施形態について図15および図16を参照しながら説明する。

図15は、本実施形態の検出部の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態の検出部101は、図8に示した第6の実施形態の検出部61に対し、抵抗R61およびノードNiが省略されている点が異なる。すなわち、トランジスタT1のコレクタは、ノードNjに接続されている。

#### 【0082】

図16は、第1の実施形態における図3に相当するものであり、モータ制御装置におけるクランプ部の故障検出に係る部分の構成を示している。サージ電圧抑制装置7~9の各端子Vo(=各ノードNj)は、いずれもインバータ2の端子P101に接続されている。サージ電圧抑制装置7~9の各端子N(=ノードNk)は、いずれもインバータ2の端子P102に接続されている。

#### 【0083】

インバータ2において、端子P101は、制御部6に接続されるとともに、抵抗R101を介して直流電圧Vccの供給端子に接続されている。また、端子P102は、接地電位の供給端子に接続されている。抵抗R101は、サージ電圧抑制装置7~9の各トランジスタT1のコレクタ電流を制限するとともに、全てのトランジスタT1がオフしている期間に各端子Voの電圧を直流電圧Vccに固定する。すなわち、本実施形態では、1つの抵抗R101が、第6の実施形態において各サージ電圧抑制装置7~9にそれぞれ設けられた抵抗R61の代わりにプルアップ抵抗として機能する。このような構成により、インバータ2からサージ電圧抑制装置7~9に対し、接地電位を基準とした直流電圧Vccが供給される。また、サージ電圧抑制装置7~9の共通に接続された端子Voの電圧がインバータ2の制御部6に入力される。

#### 【0084】

本実施形態では、サージ電圧抑制装置7~9に設けられたトランジスタT1のうち、少なくとも1つがオンして各端子Voの電圧が端子Nの電圧(接地電位=Lレベル)と等しくなる状態が故障検出信号が出力された状態に相当する。また、全てのトランジスタT1がオフして端子Voの電圧が直流電圧Vcc(=Hレベル)と等しくなる状態が故障検出信号が出力されない状態に相当する。

#### 【0085】

上記構成によれば、サージ電圧抑制装置7~9のクランプ部10のうち少なくとも1つが故障すると、少なくとも1つのトランジスタT1がオンして端子Voの電圧がLレベルとなる。インバータ2の制御部6は、端子Voの電圧の立ち下がりを検出すると、サージ電圧抑制装置7~9のうち少なくともいずれか1つが故障状態であると判断し、所定の故障対応制御を実行する。この故障対応制御としては、例えば以下の2つの制御などが挙げられる。

#### 【0086】

インバータ2の端子P101が、非常停止信号入力端子として機能するように割り当てられている場合は以下のような制御が実行される。すなわち、インバータ2によりモータ3を駆動している際、サージ電圧抑制装置7~9のうち少なくともいずれか1つが故障し

10

20

30

40

50

、端子 P 1 0 1 の電圧が L レベルになると、制御部 6 は、非常停止信号が入力されたと判断する。これにより、制御部 6 は、ゲート駆動回路 5 を介してインバータ 2 の出力を遮断してモータ 3 の駆動を停止させる（非常停止）。また、制御部 6 は、表示部 1 5 に対し、非常停止を表す ' E ' を表示させ、使用者に対して異常を報知する。

【 0 0 8 7 】

また、インバータ 2 の端子 P 1 0 1 が、運転準備完了端子（ S T 端子）として機能するように割り当てられている場合には以下のような制御が実行される。なお、通常、 S T 端子は、端子電圧が L レベル（入力導通時）にインバータ 2 の運転を可能とするものであるが、ここでは、この機能を反転して使用する。つまり、端子電圧が H レベル（入力開放時）にインバータ 2 の運転を可能とする。インバータ 2 によりモータ 3 を駆動している際、サージ電圧抑制装置 7 ~ 9 のうち少なくともいずれか 1 つが故障し、端子 P 1 0 1 の電圧が L レベルになると、制御部 6 は、インバータ 2 の運転を行うことができないと判断する。これにより、制御部 6 は、ゲート駆動回路 5 からのゲート駆動信号の送出を停止する（フリーラン停止）。また、制御部 6 は、表示部 1 5 に対し、インバータ 2 の運転を行うことが不可能である（ S T 信号がオフである）ことを表す ' O F F ' を表示させ、使用者に対して異常を報知する。

【 0 0 8 8 】

以上説明したように、本実施形態では、サージ電圧抑制装置 7 ~ 9 のうち少なくともいずれか 1 つが故障状態になると、モータ 3 の駆動を停止するとともに、異常状態であることを使用者に報知する。これにより、モータ 3 端の各相間において生じるサージ電圧を抑制することができない状態で、インバータ 2 の運転が継続されることを防止できる。従って、本実施形態によっても第 1 の実施形態と同様の効果が得られる。また、サージ電圧抑制装置 7 ~ 9 の各端子 V o を共通接続した上で、インバータ 2 に設けた 1 つの抵抗 R 1 0 1 によりプルアップしている（ワイヤード O R 接続）。従って、検出部 1 0 1 を構成する部品の点数を削減しつつ、 3 つのサージ電圧抑制装置 7 ~ 9 の故障状態を O R 条件で検出することができる。

【 0 0 8 9 】

（第 1 1 の実施形態）

以下、サージ電圧抑制装置を複数の分離可能なユニットから構成する第 1 1 の実施形態について図 1 7 を参照しながら説明する。

図 1 7 は、本実施形態のモータ制御装置の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。モータ制御装置 1 1 1 は、図 1 に示した第 1 の実施形態のモータ制御装置 1 に対し、サージ電圧抑制装置 7 ~ 9 に代えてサージ電圧抑制装置 7 A ~ 9 A を備えている点が異なる。

【 0 0 9 0 】

サージ電圧抑制装置 7 A は、クランプ部 1 0 および保護部 1 1 からなる第 1 ユニット 1 1 2 と、検出部 1 2 からなる第 2 ユニット 1 1 3 とから構成されている。第 1 ユニット 1 1 2 の保護部 1 1 のノード N c と、第 2 ユニット 1 1 3 の検出部 1 2 のノード N e とは着脱自在に接続される。第 1 ユニット 1 1 2 におけるクランプ部 1 0 のノード N a および保護部 1 1 のノード N d と、第 2 ユニット 1 1 3 の検出部 1 2 のノード N g とは着脱自在に接続される。第 1 ユニット 1 1 2 におけるクランプ部 1 0 のノード N b と、第 2 ユニット 1 1 3 の検出部 1 2 のノード N f とは着脱自在に接続される。このように、第 1 ユニット 1 1 2 と第 2 ユニット 1 1 3 とは、分離可能な状態で接続されている。なお、図 1 7 では、サージ電圧抑制装置 8 A、9 A の構成についての図示は省略しているが、サージ電圧抑制装置 7 A と同様に構成されている。

【 0 0 9 1 】

上記したように、クランプ部 1 0 および保護部 1 1 からなる第 1 ユニット 1 1 2 と、検出部 1 2 からなる第 2 ユニット 1 1 3 とによってサージ電圧抑制装置 7 A ~ 9 A を構成した場合であっても、第 1 の実施形態と同様の作用および効果が得られる。さらに、第 1 ユニット 1 1 2 および第 2 ユニット 1 1 3 を分離可能な状態で接続するようにしたので、以

下のような効果が得られる。

【 0 0 9 2 】

例えば、上記各実施形態における所定の構成のクランプ部および保護部を備えた第1ユニット112を1種類の基本ユニットとして準備する。そして、上記各実施形態における検出部にそれぞれ対応した構成の第2ユニット113を複数種類のオプションユニットとして準備する。このようにすれば、使用者は、複数種類のオプションユニットの中から希望する検出部を備えたものを選択することができる。さらに、第1ユニットを1種類とすることで、クランプ部および保護部について使用部品および組立作業が共通化され、その結果、サージ電圧抑制装置全体としての製造コストを低減することができる。

【 0 0 9 3 】

(第12の実施形態)

以下、第1の実施形態に対し、サージ電圧抑制装置の構成を変更した第12の実施形態について図18を参照しながら説明する。

図18は、本実施形態のサージ電圧抑制装置121の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。本実施形態のサージ電圧抑制装置121は、図2に示した第1の実施形態のサージ電圧抑制装置7に対し、保護部11に代えて保護部122を備えている点と、検出部12に代えて検出部123を備えている点とが異なる。

【 0 0 9 4 】

保護部122および検出部123は、内部接点(警報接点)付きのヒューズ124により構成されている。ヒューズ124は、速断型のものであり、ヒューズ部124aが溶断すると接点部124bが作動するようになっている。この接点部124bは常開形の接点(A接点)である。ヒューズ部124aの両端子は、それぞれノードNc、Ndに接続されている。接点部125bの両端子は、それぞれノードNn、ノードNoに接続されている。

【 0 0 9 5 】

ノードNn、Noは、インバータ2の制御部6の接点入力端子(図示せず)に接続されている。制御部6は、接点入力端子に接続されるノードNn、Noの接点信号に基づいて接点部124bの作動状態を検出する回路を備えている(図示せず)。このように、本実施形態では、ヒューズ部124aにより保護部122が構成され、接点部124bにより検出部123が構成されている。また、接点部124bが作動して閉じた状態が、故障検出信号が出力された状態に相当する。

【 0 0 9 6 】

上記構成のサージ電圧抑制装置121をサージ電圧抑制装置7~9に代えて用いた場合には以下のような検出動作となる。すなわち、トランジスタM1、M2の故障に起因してヒューズ部124aが溶断すると、接点部124bが閉じる。制御部6は、ノードNn、Noの接点信号に基づいて接点部124bが作動状態であることを検出すると、サージ電圧抑制装置が故障状態であると判断し、所定の故障対応制御を実行する。

【 0 0 9 7 】

従って、このような本実施形態の構成によっても、第1の実施形態と同様の作用および効果が得られる。さらに、上記各実施形態と比べ、検出部を構成する部品の点数を大幅に減らすことができる。また、検出部121は、外部から電源供給を受けることなく動作可能であるので、第1の実施形態の検出部12などにおいて必要であった直流電圧Vccを供給する必要が無くなる。

【 0 0 9 8 】

また、サージ電圧抑制装置121をサージ電圧抑制装置7~9に代えて用いる場合、ノードNn、Noを図10に示した第7の実施形態のように接続してもよい。すなわち、3つのサージ電圧抑制装置121の各ノードNnを共通に接続するとともに、各ノードNoを共通に接続する。これら共通接続したノードNn、Noを、インバータ2の制御部6の接点入力端子に接続する。そして、制御部6の制御を、第7の実施形態と同様に変更すれ

10

20

30

40

50

ばよい。このように構成すれば、第7の実施形態と同様の作用および効果が得られる。

【0099】

(第13の実施形態)

以下、第1の実施形態に対し、サージ電圧抑制装置の構成等を変更した第13の実施形態について図19および図20を参照しながら説明する。

図19および図20は、本実施形態のサージ電圧抑制装置およびそれを用いたモータ制御装置の構成を示しており、上記各実施形態と同一部分には同一符号を付して説明を省略する。図19に示すように、サージ電圧抑制装置131は、図2に示した第1の実施形態のサージ電圧抑制装置7に対し、端子P2に代えて端子Pa、Pbを備えている点と、新たに端子Pcを備えている点とが異なる。端子PaにはノードNbが接続され、端子PbにはノードNfが接続され、端子PcにはノードNa、Ndが接続されている。

10

【0100】

上記構成のサージ電圧抑制装置131およびそれと同様に構成されたサージ電圧抑制装置132、133を、第1の実施形態のサージ電圧抑制装置7～9に代えて用いる場合、図20に示すような接続形態となる。この図20に示すモータ制御装置134に設けられるサージ電圧抑制装置131～133は、モータ3端において各相間に発生するサージ電圧を抑制する。

【0101】

サージ電圧抑制装置131において、端子P1は電圧供給線4uに接続され、端子Paはサージ電圧抑制装置132の端子Pcに接続され、端子Pbは電圧供給線4vに接続され、端子Pcはサージ電圧抑制装置133の端子Paに接続されている。サージ電圧抑制装置132において、端子P1は電圧供給線4vに接続され、端子Paはサージ電圧抑制装置133の端子Pcに接続され、端子Pbは電圧供給線4wに接続されている。サージ電圧抑制装置133において、端子P1は電圧供給線4wに接続され、端子Pbは電圧供給線4uに接続されている。

20

【0102】

上記接続形態によれば、サージ電圧抑制装置131～133の各クランプ部10は、以下のようにモータ3端において各相間に発生するサージ電圧を抑制する。電圧供給線4u、4v間には、サージ電圧抑制装置131の保護部11およびクランプ部10、サージ電圧抑制装置132の保護部11が、この順に直列接続されている。従って、サージ電圧抑制装置131のクランプ部10は、電圧供給線4u、4v間に発生するサージ電圧を抑制するように機能する。また、サージ電圧抑制装置131、132の各保護部11により、サージ電圧抑制装置131のクランプ部10の短絡故障に対する保護が図られている。

30

【0103】

電圧供給線4v、4w間には、サージ電圧抑制装置132の保護部11およびクランプ部10、サージ電圧抑制装置133の保護部11が、この順に直列接続されている。従って、サージ電圧抑制装置132のクランプ部10は、電圧供給線4v、4w間に発生するサージ電圧を抑制するように機能する。また、サージ電圧抑制装置132、133の各保護部11により、サージ電圧抑制装置132のクランプ部10の短絡故障に対する保護が図られている。

40

【0104】

電圧供給線4w、4u間には、サージ電圧抑制装置133の保護部11およびクランプ部10、サージ電圧抑制装置131の保護部11が、この順に直列接続されている。従って、サージ電圧抑制装置133のクランプ部10は、電圧供給線4w、4u間に発生するサージ電圧を抑制するように機能する。また、サージ電圧抑制装置131、133の各保護部11により、サージ電圧抑制装置133のクランプ部10の短絡故障に対する保護が図られている。

【0105】

このように、本実施形態のサージ電圧抑制装置131～133によっても、モータ3端において各相間に発生するサージ電圧を抑制できる。また、サージ電圧抑制装置131～

50

133の各クランプ部10は、それぞれが2つの保護部11により保護される形態となっている。換言すると、サージ電圧抑制装置131～133の各保護部11は、それぞれが2つのクランプ部10の短絡故障に対する保護動作を行うようになっている。さらに、サージ電圧抑制装置131～133の各検出部12は、それぞれに対応する保護部11による保護動作の有無を検出する。従って、本実施形態によっても、第1の実施形態と同様の作用および効果が得られる。

#### 【0106】

(その他の実施形態)

なお、本発明は上記し且つ図面に記載した各実施形態に限定されるものではなく、次のような変形または拡張が可能である。

クランプ部10を構成するトランジスタM1、M2の接続位置を入れ替えてもよい。また、クランプ部21を構成するトランジスタM21、M22の接続位置を入れ替えてもよい。すなわち、トランジスタM1(M21)とM2(M22)とは、それぞれのボディダイオードによる整流方向が互いに逆向きとなるように直列に接続されていけばよい。

第1の実施形態におけるトランジスタ出力型のフォトカプラとしては、2次側受光素子が集積化されたものに限らずともよく、例えば2次側素子がフォトトランジスタにより構成されたものでもよい。ただし、この場合、2次側素子の応答性能としては、インバータ2の出力周波数に応じて決定される1次側発光素子の点灯期間において、十分に駆動可能な程度の応答性を有する必要がある。

第1～第8の実施形態における3つのサージ電圧抑制装置7～9についても、第9の実施形態のように1つのサージ電圧抑制ユニットとしてまとめて構成してもよい。

サージ電圧抑制装置7～9において使用する直流電圧Vccは、インバータ2や、インバータ盤93以外の装置から供給するようにしてもよい。また、インバータ2の出力電圧(電圧供給線4u～4wの電圧)を元に直流電圧Vccを生成する構成をサージ電圧抑制装置に付加してもよい。

#### 【0107】

第7の実施形態における接点S71、第12の実施形態における接点部125bは、いずれも常開形の接点(A接点)であったが、これに代えて常閉形の接点(B接点)を用いてもよい。このような常閉形の接点を用いた場合には、3つのサージ電圧抑制装置の各接点を直列に接続し、その両端の接点信号を制御部6に入力すればよい。3つの常閉形接点のうち、少なくともいずれか1つが開放(作動)された場合には、接点信号は非導通状態となる。制御部6は、この接点信号が非導通状態である場合にサージ電圧抑制装置のいずれか1つが故障状態であると判断すればよい。

第8の実施形態において、インバータ2にサーミスタの抵抗値を検出する機能(サーミスタ温度検出機能)が内蔵されている場合にはこれを利用してよい。このように予め設けられている機能を利用すれば、その分だけ制御部6の構成を簡単化できる。また、抵抗R71の温度変化を検出するためにサーミスタTH81を用いたが、これに限らずともよく、例えば熱電対を用いてもよい。

第7の実施形態において、モータ3に過熱保護用等の温度リレーが内蔵されている場合、その温度リレーの接点と各温度リレーTR71の接点S71とを直列に接続するとよい。このようにすれば、モータ3とインバータ2との間の配線を流用することができる。

#### 【0108】

第9の実施形態において、サージ電圧抑制装置7～9に供給する直流電圧と、パトランプ94に供給する直流電圧とは、互いに別の電源回路により生成してもよい。また、パトランプ94は、直流電圧により点灯するものに限らず、例えば交流電圧により点灯するものを用いてもよい。

上記各実施形態では、3つのサージ電圧抑制装置をモータ3の各相間に接続したが、これに代えて或いはこれに加えて、サージ電圧抑制装置をモータ3の各相と接地との間に接続してもよい。このようにすれば、モータ3端において各相と接地との間に発生するサージ電圧を抑制することができる。

10

20

30

40

50

故障検出信号の出力端子である端子Voの電位をプルダウンするための抵抗およびプルアップするための抵抗は、サージ電圧抑制装置側に設ける必要はなく、例えばインバータ側やインバータ盤側に設けることも可能である。

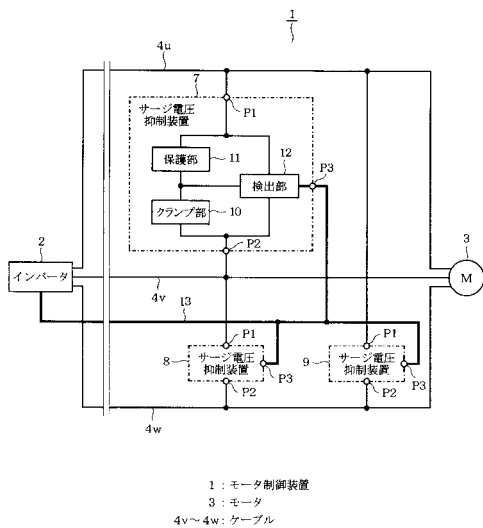
【符号の説明】

【0109】

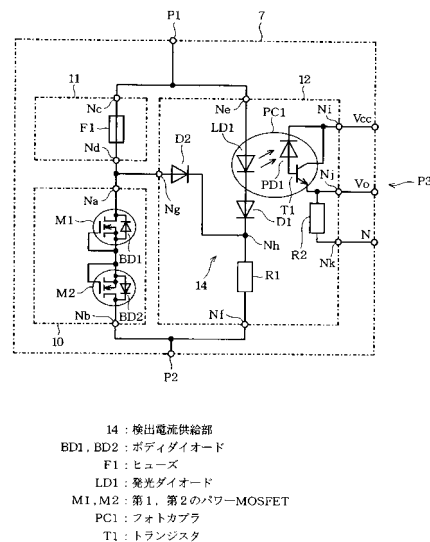
図面中、1、111、134はモータ制御装置、2はインバータ、3はモータ、4u、4v、4wは電圧供給線（ケーブル）、7~9、7A~9A、121、131~133はサージ電圧抑制装置、10、21はクランプ部、11、122は保護部、12、31、41、51、61、71、81、91、101、123は検出部、14、32、72は検出電流供給部、52はサイリスタ、53はフォトIC、124bは内部接点、BD1、BD2、BD21、BD22はボディダイオード、F1、124はヒューズ、LD1は発光ダイオード、M1、M21はトランジスタ（第1のPOWER MOSFET）、M2、M22はトランジスタ（第2のPOWER MOSFET）、PC1、PC41、PC51はフォトカプラ、PT41はフォトサイリスタ（サイリスタ）、R71は抵抗（抵抗素子）、S71は接点、T1はトランジスタ、TH81はサーミスタ（信号出力部）、TR71は温度リレー（信号出力部）を示す。

10

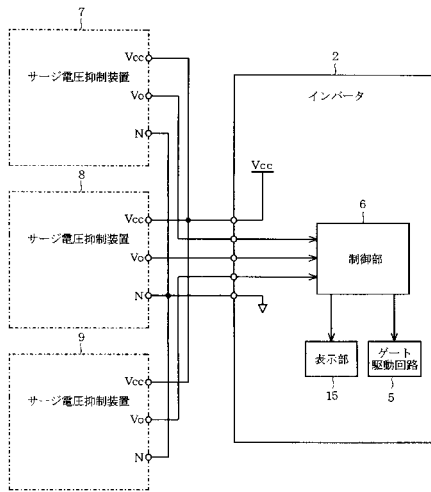
【図1】



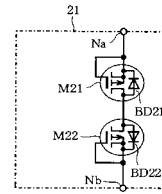
【図2】



【図3】

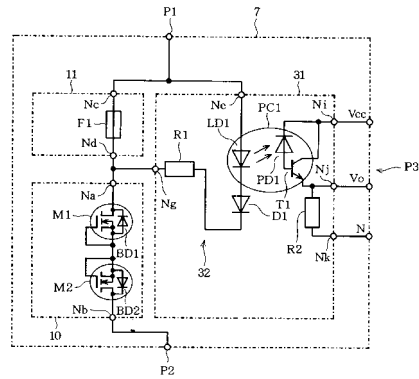


【図4】



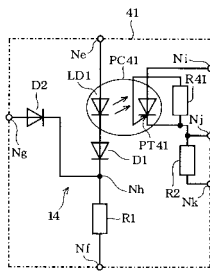
21 : クランプ部  
 BD21, BD22 : ボディダイオード  
 M21, M22 : 第1, 第2のパワー-MOSFET

【図5】



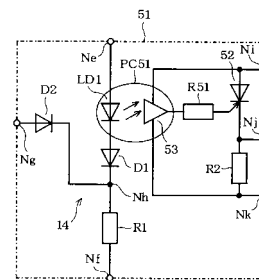
31 : 検出部

【図6】



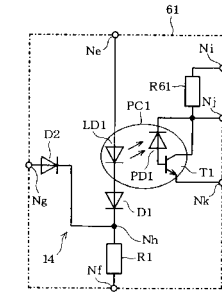
41 : 検出部  
 PC41 : フォトカプラ  
 PT41 : サイリスタ

【図7】



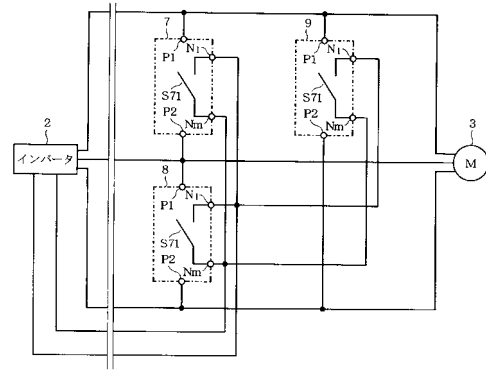
51 : 検出部  
 52 : サイリスタ  
 53 : フォトI C  
 PC51 : フォトカプラ

【図8】

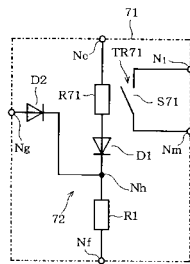


61 : 検出部

【図10】

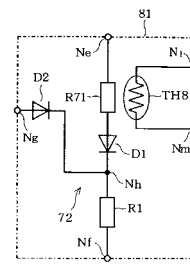


【図9】



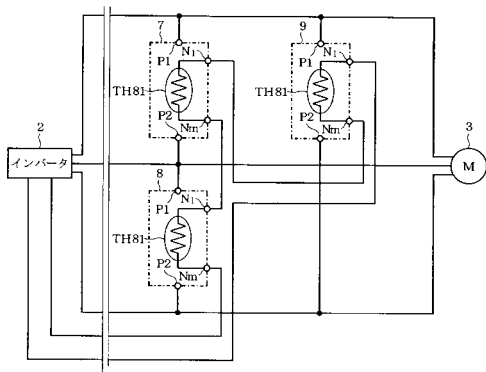
71 : 検出部  
 72 : 検出電流供給部  
 TR71 : 温度リレー (信号出力部)  
 S71 : 接点

【図11】

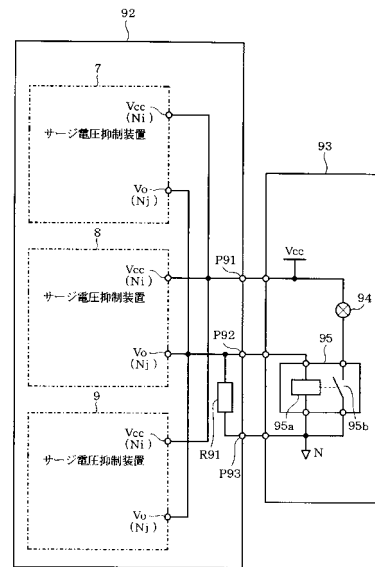


81 : 検出部  
 TH81 : 信号出力部

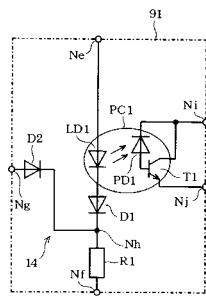
【図12】



【図14】

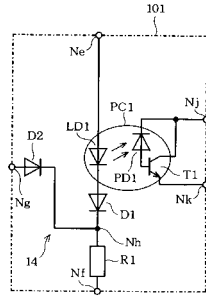


【図13】



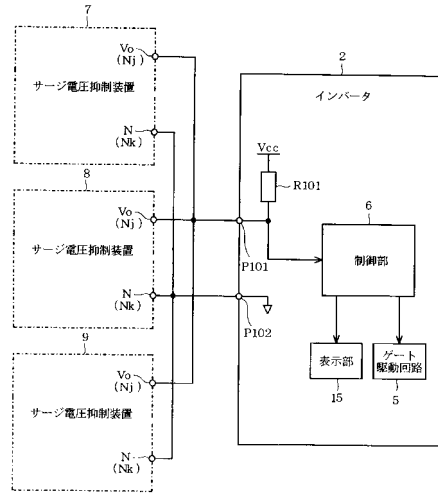
91 : 検出部

【図15】

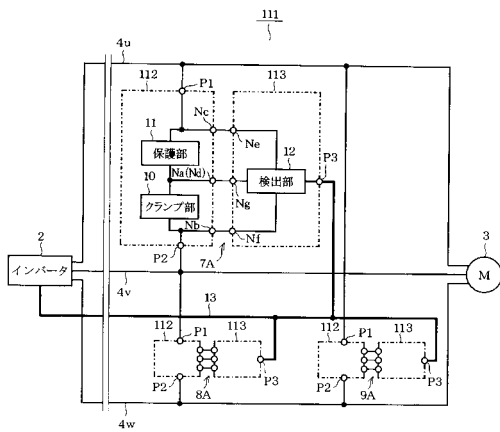


101：検出部

【図16】

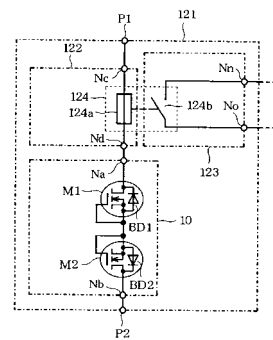


【図17】



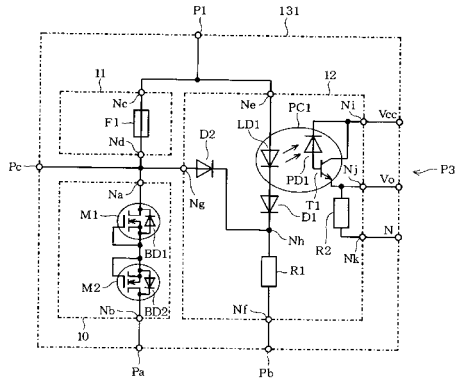
7A~9A：サージ電圧抑制装置  
111：モータ制御装置

【図18】



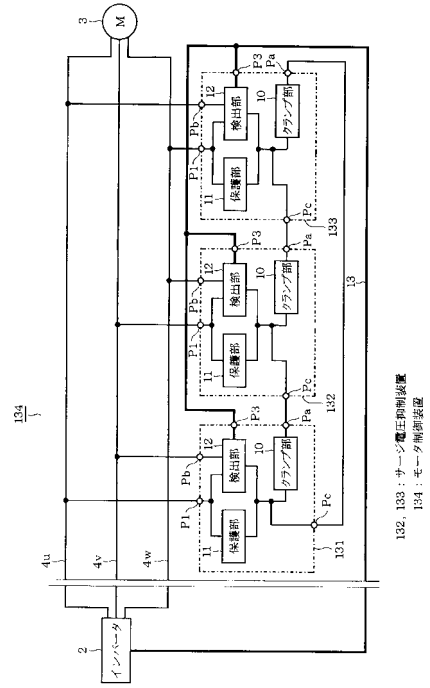
121：サージ電圧抑制装置  
122：保護部  
123：検出部  
124：ヒューズ  
124b：内部接点

【図19】



131: サージ電圧抑制装置

【図20】



132, 133: サージ電圧抑制装置  
134: モータ制御装置

---

フロントページの続き

(72)発明者 横井 修

三重県三重郡朝日町大字縄生2121番地 東芝シュネデル・インバータ株式会社内

審査官 櫻田 正紀

(56)参考文献 特開平02-155432(JP,A)  
特表2007-527188(JP,A)  
特開平03-164027(JP,A)  
特開平02-070231(JP,A)  
特開2005-073439(JP,A)  
特開昭61-001220(JP,A)  
特開平07-264872(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02P 27/06

H02M 7/48

H02H 9/04