

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4658514号  
(P4658514)

(45) 発行日 平成23年3月23日(2011.3.23)

(24) 登録日 平成23年1月7日(2011.1.7)

(51) Int.Cl.		F I			
<b>G09F</b>	<b>9/30</b>	<b>(2006.01)</b>	<b>G09F</b>	<b>9/30</b>	<b>338</b>
<b>G02F</b>	<b>1/1333</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1333</b>	<b>505</b>
<b>G02F</b>	<b>1/1368</b>	<b>(2006.01)</b>	<b>G02F</b>	<b>1/1368</b>	
<b>H01L</b>	<b>29/786</b>	<b>(2006.01)</b>	<b>H01L</b>	<b>29/78</b>	<b>612C</b>
<b>H01L</b>	<b>21/336</b>	<b>(2006.01)</b>	<b>H01L</b>	<b>29/78</b>	<b>612D</b>

請求項の数 15 (全 24 頁)

(21) 出願番号	特願2004-137480 (P2004-137480)	(73) 特許権者	501426046
(22) 出願日	平成16年5月6日(2004.5.6)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2004-334214 (P2004-334214A)		ミテッド
(43) 公開日	平成16年11月25日(2004.11.25)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成19年5月2日(2007.5.2)		イドードン 20
(31) 優先権主張番号	2003-028642	(74) 代理人	100094112
(32) 優先日	平成15年5月6日(2003.5.6)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100106703
			弁理士 産形 和央
		(74) 代理人	100096943
			弁理士 白井 伸一

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ・アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に形成されたゲートラインと、前記ゲートラインと絶縁されるように交差して画素領域を決めるデータラインと、前記ゲートライン及びデータラインの交差部に形成された薄膜トランジスタと、前記薄膜トランジスタのチャンネル部を形成する半導体層と、前記薄膜トランジスタのドレーン電極と接続されて、前記画素領域に形成された画素電極と、前記データライン、前記薄膜トランジスタのチャンネル部領域、ソース電極、ドレーン電極及び前記画素電極と同一なパターンに前記ゲートライン及びゲート電極を覆うように形成されたゲート絶縁パターンを具備し、

更に、前記データラインへ接続されたデータパッド下部電極を有するデータパッドと、前記ゲートラインへ接続されたゲートパッドを具備し、前記データパッドは、更に、前記データパッド下部電極に接続されたデータパッド上部電極を含む

ことを特徴とする薄膜トランジスタ・アレイ基板。

【請求項2】

前記ゲート絶縁パターンは、前記データパッド下部電極及び前記データパッド上部電極の中から少なくともいずれかと同一なパターンに形成されることを特徴とする請求項1記載の薄膜トランジスタ・アレイ基板。

【請求項3】

前記薄膜トランジスタを保護するために、前記データパッドと前記ゲートパッドが形成

されたパッド領域を除いた領域に形成された配向膜をさらに具備することを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

【請求項 4】

前記ゲートライン、前記ゲートラインとゲート絶縁パターンを間に置いて重畳される画素電極からなるストレージ・キャパシターをさらに具備することを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

【請求項 5】

前記半導体層は、前記データライン、前記ソース電極、前記ドレーン電極及び前記データパッド下部電極に沿ってそれらの下部に形成されることを特徴とする請求項 1 記載の薄膜トランジスタ・アレイ基板。

10

【請求項 6】

基板上にゲートライン、前記ゲートラインと接続された薄膜トランジスタのゲート電極及びゲートラインと接続されたゲートパッドを含む第 1 導電パターン群を形成する段階と、前記第 1 導電パターン群が形成された基板上にゲート絶縁膜を形成する段階と、前記ゲートラインと絶縁されるように交差するデータライン、前記データラインと接続された前記薄膜トランジスタのソース電極、前記ソース電極と対向するドレーン電極を含む第 2 導電パターン群と、前記薄膜トランジスタのチャンネル部を構成する半導体層を形成する段階と、前記ドレーン電極と接続される画素電極を含む第 3 導電パターン群を形成する段階と、前記第 2 及び前記第 3 導電パターン群をマスクとして前記ゲート絶縁膜と前記半導体層に含まれたオーミック接触層を食刻する段階を含み、

20

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は、

前記ゲート絶縁膜を乾式食刻して、前記第 1 及び第 2 導電パターン群の間に、前記第 2 及び第 3 導電パターン群と同一なパターンを有するゲート絶縁パターンを形成する段階と

、前記薄膜トランジスタの前記オーミック接触層を乾式食刻して、前記薄膜トランジスタのチャンネル部を露出する段階を含む

ことを特徴とする薄膜トランジスタ・アレイ基板の製造方法。

【請求項 7】

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は、1 : 3 の  $SF_6$  と  $O_2$  を含む食刻ガスで、1 : 8 以上の厚さ比を持つ前記オーミック接触層と前記ゲート絶縁膜を食刻する段階を含むことを特徴とする請求項 6 記載の薄膜トランジスタ・アレイ基板の製造方法。

30

【請求項 8】

前記オーミック接触層を 1 : 10 の  $SF_6$  と  $Cl_2$  を含む食刻ガスで食刻して、前記半導体層に含まれた活性層を露出させる段階をさらに含むことを特徴とする請求項 7 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 9】

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は、5 : 1 の  $CF_4$  と  $H_2$  を含む食刻ガスで、1 : 10 以上の厚さ比を持つ前記オーミック接触層と前記ゲート絶縁膜を食刻する段階を含むことを特徴とする請求項 6 記載の薄膜トランジスタ・アレイ基板の製造方法。

40

【請求項 10】

前記オーミック接触層を 1 : 10 の  $SF_6$  と  $Cl_2$  を含む食刻ガスで食刻して、前記半導体層に含まれた活性層を露出させる段階をさらに含むことを特徴とする請求項 9 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 11】

前記データラインと接続されたデータパッド下部電極を有するデータパッドを形成する段階をさらに含むことを特徴とする請求項 8 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 12】

50

前記データパッドを形成する段階は、前記データパッド下部電極と接続されるデータパッド上部電極を形成する段階をさらに含むことを特徴とする請求項 11 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 13】

前記ゲート絶縁パターンは、前記データパッド下部電極及び前記データパッド上部電極の中から少なくともいずれかと同一なパターンに形成されることを特徴とする請求項 12 記載の薄膜トランジスタ・アレイ基板の製造方法。

【請求項 14】

前記薄膜トランジスタを保護するために、前記データパッドと前記ゲートパッドが形成されたパッド領域を除いた領域に配向膜を形成する段階をさらに含むことを特徴とする請求項 11 記載の薄膜トランジスタ・アレイ基板の製造方法。

10

【請求項 15】

前記ゲートライン、前記ゲートラインとゲート絶縁パターンを間に置いて重畳される画素電極からなるストレージ・キャパシターをさらに形成する段階をさらに含むことを特徴とする請求項 6 記載の薄膜トランジスタ・アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ・アレイ基板に関し、特に工程を単純化させることができる薄膜トランジスタ・アレイ基板及びその製造方法に関するものである。

20

【背景技術】

【0002】

液晶表示装置は、電界を利用して液晶の光透過率を調節することで画像を表示するようになる。このような液晶表示装置は、上下部基板に対向するように配置された画素電極と共通電極の間に形成される電界によって液晶を駆動するようになる。

【0003】

液晶表示装置はお互いに対向して合着された薄膜トランジスタ・アレイ基板（下板）及びカラーフィルター・アレイ基板（上板）と、これら二つの基板の間でセルギャップを一定に維持させるためのスペーサーと、そのセルギャップに満たされた液晶を具備する。

【0004】

30

薄膜トランジスタ・アレイ基板は、多数の信号配線及び薄膜トランジスタと、それらの上に液晶配向のために塗布された配向膜から構成される。カラーフィルター・アレイ基板は、カラー具現のためのカラーフィルター及び光漏れの防止のためのブラックマトリックスと、それらの上に液晶配向のために塗布された配向膜から構成される。

【0005】

このような液晶表示装置において、薄膜トランジスタ・アレイ基板は、半導体工程を含むことと同時に、多数のマスク工程を要することによって、製造工程が複雑すること及び液晶パネル製造単価上昇の重要原因になっている。これを解決するために、薄膜トランジスタ・アレイ基板は、マスク工程数を減らす方向に発展している。これは、一つのマスク工程が薄膜蒸着工程、洗浄工程、フォトリソグラフィ工程、食刻工程、フォトレジスト剥離工程、検査工程などのような多くの工程を含んでいるためである。これによって、最近には薄膜トランジスタ・アレイ基板の標準マスク工程だった 5 マスク工程から一つのマスク工程を減らすの 4 マスク工程が台頭している。

40

【0006】

図 1 は従来 4 マスク工程を利用した薄膜トランジスタ・アレイ基板を示す平面図で、図 2 は図 1 の線 I-I' に沿って切り取った薄膜トランジスタ・アレイ基板を示す断面図である。

【0007】

図 1 及び図 2 に図示された薄膜トランジスタ・アレイ基板は下部基板 45 上にゲート絶縁膜 46 を間に置いて交差するように形成されたゲートライン 2 及びデータライン 4 と、

50

その交差部毎に形成された薄膜トランジスタ 6 と、その交差構造に用意された画素領域に形成された画素電極 1 4 と、ゲートライン 2 とストレージ電極 2 2 の重畳部に形成されたストレージ・キャパシター 2 0 と、ゲートライン 2 と接続されたゲートパッド 2 4 と、データライン 4 と接続されたデータパッド 3 0 とを具備する。

【 0 0 0 8 】

ゲート信号を供給するゲートライン 2 とデータ信号を供給するデータライン 4 は交差構造に形成されて画素領域 5 を定義する。

【 0 0 0 9 】

薄膜トランジスタ 6 はゲートライン 2 のゲート信号に応答してデータライン 4 の画素信号が画素電極 1 4 に充電されて維持されるようにする。このために、薄膜トランジスタ 6 はゲートライン 2 に接続されたゲート電極 8 と、データライン 4 に接続されたソース電極 1 0 と、画素電極 1 4 に接続されたドレーン電極 1 2 を具備する。また、薄膜トランジスタ 6 はゲート電極 8 とゲート絶縁膜 4 6 を間に置いて重畳されながら、ソース電極 1 0 とドレーン電極 1 2 の間にチャンネルを形成する活性層 4 8 をさらに具備する。

【 0 0 1 0 】

そして、活性層 4 8 はデータライン 4、データパッド下部電極 3 2、及びストレージ電極 2 2 と重畳されるように形成される。このような活性層 4 8 上にはデータライン 4、ソース電極 1 0、ドレーン電極 1 2、データパッド下部電極 3 2、及びストレージ電極 2 2 とオーミック接触のためのオーミック接触層 5 0 がさらに形成されている。

【 0 0 1 1 】

画素電極 1 4 は保護膜 5 2 を貫く第 1 コンタクトホール 1 3 を通じて薄膜トランジスタ 6 のドレーン電極 1 2 と接続されて画素領域 5 に形成される。

【 0 0 1 2 】

これによって、薄膜トランジスタ 6 を通じて画素信号が供給された画素電極 1 4 と、基準電圧が供給された共通電極（図示しない）の間には電界が形成される。このような電界によって薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板の間の液晶分子が誘電異方性によって回転するようになる。そして、液晶分子の回転程度によって画素領域 5 を透過する光透過率が変わることによって階調を具現するようになる。

【 0 0 1 3 】

ストレージ・キャパシター 2 0 はゲートライン 2 と、そのゲートライン 2 とゲート絶縁膜 4 6、活性層 4 8、及びオーミック接触層 5 0 を間に置いて重畳されるストレージ電極 2 2 と、そのストレージ電極 2 2 と保護膜 5 2 を貫く第 2 コンタクトホール 2 1 を通じて接続された画素電極 1 4 から構成される。このようなストレージ・キャパシター 2 0 は画素電極 1 4 に充電された画素信号が次の画素信号が充電されるまで安定的に維持されるようにする。

【 0 0 1 4 】

ゲートパッド 2 4 はゲートドライバー（図示しない）と接続されてゲートライン 2 にゲート信号を供給する。このようなゲートパッド 2 4 はゲートライン 2 から延長されるゲートパッド下部電極 2 6 と、ゲート絶縁膜 4 6 及び保護膜 5 2 を貫く第 3 コンタクトホール 2 7 を通じてゲートパッド下部電極 2 6 と接続されたゲートパッド上部電極 2 8 から構成される。

【 0 0 1 5 】

データパッド 3 0 はデータドライバー（図示しない）と接続されてデータライン 4 にデータ信号を供給する。このようなデータパッド 3 0 はデータライン 4 から延長されるデータパッド下部電極 3 2 と、保護膜 5 2 を貫く第 4 コンタクトホール 3 3 を通じてデータパッド下部電極 3 2 と接続されたデータパッド上部電極 3 4 から構成される。

【 0 0 1 6 】

このような構成を持つ薄膜トランジスタ・アレイ基板の製造方法を 4 マスク工程を利用して詳細にすれば図 3 a 乃至図 3 d に図示されたところのようになる。

【 0 0 1 7 】

10

20

30

40

50

図3 aを参照すれば、第1マスク工程を利用して下部基板45上にゲートライン2、ゲート電極8及びゲートパッド下部電極26を含む第1導電パターン群が形成される。

【0018】

これを詳細に説明すれば、下部基板45上にスパッタリング方法などの蒸着方法を通じてゲート金属層が形成される。引き継いで、第1マスクを利用したフォトリソグラフィ工程と食刻工程でゲート金属層がパターンニングされることでゲートライン2、ゲート電極8及びゲートパッド下部電極26を含む第1導電パターン群が形成される。ここで、ゲート金属層42としてはアルミニウム係金属などが利用される。

【0019】

図3 bを参照すれば、第1導電パターン群が形成された下部基板45上にゲート絶縁膜46が塗布される。そして、第2マスク工程を利用してゲート絶縁膜46上に活性層48及びオーミック接触層50を含む半導体パターンと、データライン4、ソース電極10、ドレーン電極12、データパッド下部電極32、ストレージ電極22を含む第2導電パターン群が形成される。

【0020】

これを詳細に説明すれば、第1導電パターン群が形成された下部基板45上にPECVD、スパッタリングなどの蒸着方法を通じてゲート絶縁膜46、非晶質シリコン層、n+非晶質シリコン層、及びソース/ドレーン金属層が順次的に形成される。ここで、ゲート絶縁膜46の材料としては酸化シリコン( $SiO_x$ )または窒化シリコン( $SiN_x$ )などの無機絶縁物質が利用される。ソース/ドレーン金属としてはモリブデン(Mo)、チタン、タンタル、モリブデン合金(Mo alloy)などが利用される。

【0021】

引き継いで、ソース/ドレーン金属層上に第2マスクを利用したフォトリソグラフィ工程でフォトレジストパターンを形成するようになる。この場合、第2マスクとしては薄膜トランジスタのチャンネル部に回折露光部を持つ回折露光マスクを利用することで、チャンネル部のフォトレジストパターンが他のソース/ドレーンパターン部より低い高さを持つようにする。

【0022】

引き継いで、フォトレジストパターンを利用した湿式食刻工程でソース/ドレーン金属層がパターンニングされることで、データライン4、ソース電極10、そのソース電極10と一体化されたドレーン電極12、ストレージ電極22を含む第2導電パターン群が形成される。

【0023】

その次、同一なフォトレジストパターンを利用した乾式食刻工程でn+非晶質シリコン層と非晶質シリコン層が同時にパターンニングされることで、オーミック接触層50と活性層48が形成される。

【0024】

そして、アッシング(Ashing)工程でチャンネル部において相対的に低い高さを持つフォトレジストパターンが除去された後、乾式食刻工程でチャンネル部のソース/ドレーン金属パターン及びオーミック接触層50が食刻される。これによって、チャンネル部の活性層48が露出して、ソース電極10とドレーン電極12が分離する。

【0025】

引き継いで、ストリップ工程で第2導電パターン群上に残っていたフォトレジストパターンが除去される。

【0026】

図3 cを参照すれば、第2導電パターン群が形成されたゲート絶縁膜46上に第3マスク工程を利用して第1乃至第4コンタクトホール13、21、27、33を含む保護膜52が形成される。

【0027】

詳細にすれば、第2導電パターン群が形成されたゲート絶縁膜46上にPECVDなど

10

20

30

40

50

の蒸着方法で保護膜 5 2 が全面形成される。引き継いで、保護膜 5 2 が第 3 マスクを利用したフォトリソグラフィ工程と食刻工程にパターンングされることで、第 1 乃至第 4 コンタクトホール 1 3、2 1、2 7、3 3 が形成される。第 1 コンタクトホール 1 3 は保護膜 5 2 を貫いてドレーン電極 1 2 を露出させて、第 2 コンタクトホール 2 1 は保護膜 5 2 を貫いてストレージ電極 2 2 を露出させる。第 3 コンタクトホール 2 7 は保護膜 5 2 及びゲート絶縁膜 4 6 を貫いてゲートパッド下部電極 2 6 を露出させて、第 4 コンタクトホール 3 3 は保護膜 5 2 を貫いてデータパッド下部電極 3 2 を露出させる。ここで、ソース/ドレーン金属としてモリブデン (Mo) のような乾式食刻比の大きい金属が利用される場合、第 1、第 2、第 4 コンタクトホール 1 2、2 1、3 3 のそれぞれはドレーン電極 1 2、ストレージ電極 2 2、データパッド下部電極 3 2 まで貫いてそれらの側面を露出させるようになる。

10

#### 【0028】

保護膜 5 2 の材料としてはゲート絶縁膜 4 6 のような無機絶縁物質や誘電率が小さなアクリル (acryl) 系有機化合物、BCB または PFCB などのような有機絶縁物質が利用される。

#### 【0029】

図 3 d を参照すれば、第 4 マスク工程を利用して保護膜 5 2 上に画素電極 1 4、ゲートパッド上部電極 2 8、データパッド上部電極 3 4 を含む第 3 導電パターン群が形成される。

#### 【0030】

詳細にすれば、保護膜 5 2 上にスパッタリングなどの蒸着方法で透明導電膜が塗布される。引き継いで、第 4 マスクを利用したフォトリソグラフィ工程と食刻工程を通じて透明導電膜がパターンングされることで、画素電極 1 4、ゲートパッド上部電極 2 8、データパッド上部電極 3 4 を含む第 3 導電パターン群が形成される。画素電極 1 4 は第 1 コンタクトホール 1 3 を通じてドレーン電極 1 2 と電氣的に接続されて、第 2 コンタクトホール 2 1 を通じてストレージ電極 2 2 と電氣的に接続される。ゲートパッド上部電極 2 8 は第 3 コンタクトホール 2 7 を通じてゲートパッド下部電極 2 6 と電氣的に接続される。データパッド上部電極 3 4 は第 4 コンタクトホール 3 3 を通じてデータパッド下部電極 3 2 と電氣的に接続される。

20

#### 【0031】

ここで、透明導電膜の材料としてはインジウムスズオキサイド (Indium Tin Oxide: ITO)、スズオキサイド (Tin Oxide: TO)、インジウムスズ亜鉛オキサイド (Indium Tin Zinc Oxide: ITZO) 及びインジウム亜鉛オキサイド (Indium Zinc Oxide: IZO) からいずれかが利用される。

30

#### 【0032】

このように、従来の薄膜トランジスタ・アレイ基板及びその製造方法は 4 マスク工程を採用することで、5 マスク工程を利用した場合より製造工程数を減らすことと同時に、それに比例して製造単価を節減することができるようになる。しかし、4 マスク工程もやはり製造工程が複雑で、原価節減に限界があるので、製造工程をもっと単純化して製造単価をもっと減らすことができる方案が要求される。

40

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0033】

本発明の目的はマスク工程数を節減することができる薄膜トランジスタ・アレイ基板及びその製造方法を提供するものである。

#### 【課題を解決するための手段】

#### 【0034】

前記目的を達成するために、本発明に係る薄膜トランジスタ・アレイ基板は、基板上に形成されたゲートラインと、前記ゲートラインと絶縁されるように交差して画素領域を決

50

めるデータラインと、前記ゲートライン及びデータラインの交差部に形成された薄膜トランジスタと、前記薄膜トランジスタのチャンネル部を形成する半導体層と、前記薄膜トランジスタのドレーン電極と接続されて前記画素領域に形成された画素電極と、前記データライン、前記薄膜トランジスタのチャンネル部領域、ソース電極、ドレーン電極及び前記画素電極と同一なパターンに前記ゲートライン及びゲート電極を覆うように形成されたゲート絶縁パターンと、を具備することを特徴とする。

【0035】

前記薄膜トランジスタ・アレイ基板は、前記データラインと接続された前記データパッド下部電極を持つデータパッドと、前記ゲートラインと接続されて前記ゲートラインにゲート信号を供給するゲートパッドをさらに具備することを特徴とする。

10

【0036】

前記データパッドは、前記データパッド下部電極と接続されたデータパッド上部電極をさらに具備することを特徴とする。

【0037】

前記ゲート絶縁パターンは、前記データパッド下部電極及び前記データパッド上部電極の中から少なくともいずれかと同一なパターンに形成されることを特徴とする。

【0038】

前記薄膜トランジスタ・アレイ基板は、前記薄膜トランジスタを保護するために、前記データパッドと前記ゲートパッドが形成されたパッド領域を除いた領域に形成された配向膜をさらに具備することを特徴とする。

20

【0039】

前記薄膜トランジスタ・アレイ基板は、前記ゲートライン、前記ゲートラインとゲート絶縁パターンを間に置いて重畳される画素電極からなるストレージ・キャパシターをさらに具備することを特徴とする。

【0040】

前記半導体層は、前記データライン、ソース電極、ドレーン電極及び前記データパッド下部電極に沿ってそれらの下部に形成されることを特徴とする。

【0041】

前記目的を達成するために、本発明に係る薄膜トランジスタ・アレイ基板の製造方法は、基板上にゲートライン、前記ゲートラインと接続された薄膜トランジスタのゲート電極を含む第1導電パターン群を形成する段階と、前記第1導電パターン群が形成された基板上にゲート絶縁膜を形成する段階と、前記ゲートラインと絶縁されるように交差するデータライン、前記データラインと接続された前記薄膜トランジスタのソース電極、前記ソース電極と対向するドレーン電極を含む第2導電パターン群と、前記薄膜トランジスタのチャンネル部を構成する半導体層を形成する段階と、前記ドレーン電極と接続される画素電極を含む第3導電パターン群を形成する段階と、前記第2及び第3導電パターン群をマスクとして前記ゲート絶縁膜と前記薄膜トランジスタから半導体層に含まれたオーミック接触層を食刻する段階と、を含むことを特徴とする。

30

【0042】

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は、前記ゲート絶縁膜を乾式食刻して前記第1及び第2導電パターン群の間に前記第2及び第3導電パターン群と同一なパターンにゲート絶縁パターンを形成する段階と、前記薄膜トランジスタのオーミック接触層を乾式食刻して前記薄膜トランジスタ・チャンネル部の活性層を露出させる段階と、を含むことを特徴とする。

40

【0043】

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は1:3の $\text{SF}_6$ と $\text{O}_2$ を含む食刻ガスで1:8以上の厚さ比を持つ前記オーミック接触層と前記ゲート絶縁膜を食刻する段階を含むことを特徴とする。

【0044】

前記薄膜トランジスタ・アレイ基板の製造方法は、前記オーミック接触層を1:10の

50

SF<sub>6</sub>とCl<sub>2</sub>を含む食刻ガスで食刻して前記半導体層に含まれた活性層を露出させる段階をさらに含むことを特徴とする。

【0045】

前記ゲート絶縁膜と前記オーミック接触層を食刻する段階は、5：1のCF<sub>4</sub>とH<sub>2</sub>を含む食刻ガスで1：10以上の厚さ比を持つ前記オーミック接触層と前記ゲート絶縁膜を食刻する段階を含むことを特徴とする。

【0046】

前記薄膜トランジスタ・アレイ基板の製造方法は、前記オーミック接触層を1：10のSF<sub>6</sub>とCl<sub>2</sub>を含む食刻ガスで食刻して前記半導体層に含まれた活性層を露出させる段階をさらに含むことを特徴とする。

10

【0047】

前記薄膜トランジスタ・アレイ基板の製造方法は、前記ゲートラインと接続されるゲートパッドを形成する段階と、前記データラインと接続されたデータパッド下部電極を持つデータパッドを形成する段階と、をさらに含むことを特徴とする。

【0048】

前記データパッドを形成する段階は、前記データパッド下部電極と接続されたデータパッド上部電極を形成する段階をさらに含むことを特徴とする。

【0049】

前記ゲート絶縁パターンは、前記データパッド下部電極及び前記データパッド上部電極の中から少なくともいずれかと同一なパターンに形成されることを特徴とする。

20

【0050】

前記薄膜トランジスタ・アレイ基板の製造方法は、前記薄膜トランジスタを保護するために、前記データパッドと前記ゲートパッドが形成されたパッド領域を除いた領域に配向膜を形成する段階をさらに含むことを特徴とする。

【0051】

前記薄膜トランジスタ・アレイ基板の製造方法は、前記ゲートライン、前記ゲートラインとゲート絶縁パターンを間に置いて重畳される画素電極からなるストリージ・キャパシターをさらに形成する段階をさらに含むことを特徴とする。

【0052】

[作用]

本発明に係る薄膜トランジスタ・アレイ基板及びその製造方法はマスク工程数を減らすために第2及び第3導電パターン群をマスクとしてゲート絶縁膜とオーミック接触層を同時に乾式食刻するようになる。

30

【発明の効果】

【0053】

上述したところのように、本発明に係る薄膜トランジスタ・アレイ基板及びその製造方法は、第2及び第3導電パターン群をマスクとしてゲート絶縁膜とオーミック接触層を同時に乾式食刻することで、3マスク工程で薄膜トランジスタ・アレイ基板を製造することができるようになる。これによって、薄膜トランジスタ・アレイ基板の構造及び工程を単純化して製造原価節減することができることと同時に製造収率を進めることができるようになる。

40

【0054】

以上説明した内容を通じて、当業者なら本発明の技術思想を逸脱しない範囲内で多様な変更及び修正が可能さが分かることができる。よって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲によって決められなければならない。

【発明を実施するための最良の形態】

【0055】

前記目的外の本発明の他の目的及び特徴は添付した図面を参照した実施例に対する説明を通じて明らかになる。

50



## 【0056】

以下、本発明の望ましい実施例を図4乃至図13eを参照して詳細に説明する事にする。

## 【0057】

図4は本発明の実施例に係る薄膜トランジスタ・アレイ基板を示す平面図で、図5は図4の線II-II'に沿って切り取った薄膜トランジスタ・アレイ基板を示す断面図である。

## 【0058】

図4及び図5に図示された薄膜トランジスタ・アレイ基板は、下部基板145上にゲート絶縁パターン146を間に置いて交差するように形成されたゲートライン102及びデータライン104と、その交差部毎に形成された薄膜トランジスタ106と、その交差構造に用意された画素領域105に形成された画素電極114と、画素電極114とゲートライン102の重畳部に形成されたストレージ・キャパシター120と、ゲートライン102から延長されたゲートパッド124と、データライン104から延長されたデータパッド130を具備する。

10

## 【0059】

ゲート信号を供給するゲートライン102とデータ信号を供給するデータライン104はゲート絶縁パターン146を間に置いて交差構造に形成されて画素領域105を定義する。

## 【0060】

ゲート絶縁パターン146はデータライン104、薄膜トランジスタ106のチャンネル部、ソース電極110、ドレイン電極112及び画素電極114と同一なパターンにゲートライン102及びゲート電極108を覆うように形成される。

20

## 【0061】

薄膜トランジスタ106はゲートライン102のゲート信号にตอบสนองしてデータライン104の画素信号が画素電極114に充電されて維持されるようにする。これのために、薄膜トランジスタ106はゲートライン102に接続されたゲート電極108と、データライン104に接続されたソース電極110と、画素電極114に接続されたドレイン電極112を具備する。また、薄膜トランジスタ106はゲート電極108とゲート絶縁パターン146を間に置いて重畳されながらソース電極110とドレイン電極112の間にチャンネルを形成する活性層148をさらに具備する。

30

## 【0062】

そして、活性層148はデータライン114及びデータパッド下部電極132とも重畳されるように形成される。このような活性層148上には、データライン104、ドレイン電極112及びデータパッド下部電極132とオーミック接触のためのオーミック接触層150がもっと形成される。

## 【0063】

画素電極114は薄膜トランジスタ106のドレイン電極112と直接接続されて画素領域105に形成される。

## 【0064】

これによって、薄膜トランジスタ106を通じて画素信号が供給された画素電極114と基準電圧が供給された共通電極(図示しない)の間には電界が形成される。このような電界によって薄膜トランジスタ・アレイ基板とカラーフィルター・アレイ基板との間の液晶分子が誘電異方性によって回転するようになる。そして、液晶分子の回転程度によって画素領域105を透過する光透過率が変わることによって階調を具現するようになる。

40

## 【0065】

ストレージ・キャパシター120はゲートライン102と、そのゲートライン102とゲート絶縁パターン146を間に置いて重畳される画素電極114から構成される。このようなストレージ・キャパシター120は画素電極114に充電された画素信号が次の画素信号が充電されるまで安定的に維持されるようにする。

## 【0066】

50

ゲートパッド126はゲートドライバー（図示しない）と接続されてゲートドライバーに生成されたゲート信号をゲートライン102に供給する。このようなゲートパッド124はゲートライン102から延長されてゲートパッド126に含まれた金属層が露出した構造を持つ。

【0067】

データパッド130はデータドライバー（図示しない）と接続されてデータドライバーに生成されたデータ信号をデータライン104に供給する。このようなデータパッド130は図5に図示されたところのようにデータラインから延長されたデータパッド下部電極132と、データパッド下部電極132と直接接続されてゲート絶縁パターン146と同一なパターンに形成されたデータパッド上部電極134とから構成される。

10

【0068】

また、データパッド130は図6に図示されたところのようにデータライン104から延長されてデータパッド下部電極132が露出した構造に形成されることができる。この場合、データパッド下部電極132はゲート絶縁パターン146と同一なパターンに形成される。

【0069】

配向膜153はゲートパッド126及びデータパッド130が形成されたパッド領域を除いた画像表示領域に形成される。この配向膜153は薄膜トランジスタ106を保護して液晶の配向方向を決めるようになる。

【0070】

図7a及び図7bは本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を説明するための平面図及び断面図である。

20

【0071】

図7a及び図7bに図示されたところのように、第1マスク工程で下部基板145上にゲートライン102、ゲート電極108及びゲートパッド126を含む第1導電パターン群が形成される。このような第1マスク工程を図8a乃至図8cを参照して詳細にすれば次のようになる。

【0072】

図8aに図示されたところのように、下部基板145上にスパッタリングなどの蒸着方法を通じてゲート金属層が形成される。ここで、ゲート金属層はアルミニウム（Al）系金属、モリブデン（Mo）、銅（Cu）などのような金属からなる。引き継いで、ゲート金属層142上にフォトリソ膜が全面形成された後、図8bに図示されたところのように、下部基板145上部に第1マスク200が整列される。第1マスク200は透明な材質であるマスク基板204と、マスク基板204の遮断領域P2に形成された遮断部202を具備する。ここで、マスク基板204の露出した領域は露光領域P1になる。このような第1マスク200を利用したフォトリソ膜を露光及び現象することで、第1マスク200の遮断部202と対応してフォトリソパターン206が形成される。このようなフォトリソパターン206を利用した食刻工程でゲート金属層142がパターンニングされることで、図8cに図示されたところのように、ゲートライン102、ゲート電極108及びゲートパッド126を含む第1導電パターン群が形成される。

30

40

【0073】

図9a及び図9bは本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を説明するための平面図及び断面図である。

【0074】

まず、第1導電パターン群が形成された下部基板145上にPECVD、スパッタリングなどの蒸着方法を通じてゲート絶縁膜143が形成される。ゲート絶縁膜143の材料としては酸化シリコン（SiO<sub>x</sub>）または窒化シリコン（SiN<sub>x</sub>）などの無機絶縁物質が利用される。

【0075】

そして、図9a及び図9bに図示されたところのように、第2マスク工程でゲート絶縁

50

膜 1 4 3 上に活性層 1 4 8 及びオーミック接触層 1 5 0 を含む半導体パターンと、データライン 1 0 4、ドレーン電極 1 1 2、データパッド下部電極 1 3 2 を含む第 2 導電パターン群が形成される。このような第 2 マスク工程を図 1 0 a 乃至図 1 0 e を参照して詳細にすれば次のようになる。

【 0 0 7 6 】

図 1 0 a に図示されたところのように、ゲート絶縁膜 1 4 3 上に P E C V D、スパッタリングなどの蒸着方法を通じて第 1 半導体層 1 4 7、第 2 半導体層 1 4 9、及びソース/ドレーン金属層 1 5 4 が順次的に形成される。ここで、第 1 半導体層 1 4 7 は、不純物がドーピングされない非晶質シリコンが利用されて、第 2 半導体層 1 4 9 は N 型または P 型の不純物がドーピングされた非晶質シリコンが利用される。ソース/ドレーン金属層 1 5 4 はモリブデン ( M o )、銅 ( C u ) などのような金属からなる。

10

【 0 0 7 7 】

その次、ソース/ドレーン金属層 1 5 4 上にフォトレジスト膜を形成した後、図 1 0 b に図示されたところのように、部分露光の第 2 マスク 1 6 0 が下部基板 1 4 5 上部に整列される。第 2 マスク 1 6 0 は透明な材質であるマスク基板 1 6 2 と、マスク基板 1 6 2 の遮断領域 P 2 に形成された遮断部 1 6 4 と、マスク基板 1 6 2 の部分露光領域 P 3 に形成された回折露光部 1 6 6 (または、半透過部) を具備する。ここで、マスク基板 1 6 2 の露出した領域は露光領域 P 1 になる。このような第 2 マスク 1 6 0 を利用したフォトレジスト膜を露光した後、現象することで、第 2 マスク 1 6 0 の遮断部 1 6 4 と回折露光部 1 6 6 に対応して遮断領域 P 2 と部分露光領域 P 3 において単差を持つフォトレジストパターン 1 6 8 が形成される。すなわち、部分露光領域 P 3 に形成されたフォトレジストパターン 1 6 8 は遮断領域 P 2 に形成された第 1 高さ  $h_1$  を持つフォトレジストパターン 1 6 8 より低い第 2 高さ  $h_2$  を持つようになる。

20

【 0 0 7 8 】

このようなフォトレジストパターン 1 6 8 をマスクとして利用した湿式食刻工程でソース/ドレーン金属層 1 5 4 がパターニングされることで、図 1 0 c に図示されたところのようにデータライン 1 0 4、データライン 1 0 4 と接続されたソース電極 1 1 0 及びドレーン電極 1 1 2、データパッド下部電極 1 3 2 を含む第 2 導電パターン群が形成される。

【 0 0 7 9 】

そして、フォトレジストパターン 1 6 8 をマスクとして利用した乾式食刻工程で第 1 半導体層 1 4 7 と第 2 半導体層 1 4 9 がパターニングされることで、図 1 0 d のようにオーミック接触層 1 5 0 と活性層 1 4 8 がソース/ドレーン金属パターンに沿って形成される。引き継いで、酸素 (  $O_2$  ) プラズマを利用したアッシング ( A s h i n g ) 工程で部分露光領域 P 3 に第 2 高さを持つフォトレジストパターン 1 6 8 が除去されて、遮断領域 P 2 に第 1 高さ  $h_1$  を持つフォトレジストパターン 1 6 8 は高さの低くなった状態になる。このようなフォトレジストパターン 1 6 8 を利用した食刻工程で部分露光領域 P 3、すなわち薄膜トランジスタのチャンネル部に形成されたソース/ドレーン金属層 1 5 4 が除去される。これによって、ドレーン電極 1 1 2 がソース電極 1 1 0 から分離する。

30

【 0 0 8 0 】

そして、図 1 0 e に図示されたところのように第 2 導電パターン群上に残っていたフォトレジストパターン 1 6 8 がストリップ工程で除去される。

40

【 0 0 8 1 】

図 1 1 a 及び図 1 1 b は本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第 3 マスク工程を説明するための平面図及び断面図である。

【 0 0 8 2 】

図 1 1 a 及び図 1 1 b に図示されたところのように、第 3 マスク工程で前述した半導体パターン及びソース/ドレーン金属パターンが積層されたゲート絶縁パターン 1 4 6 上にデータパッド上部電極 1 3 4 及び画素電極 1 1 4 を含む第 3 導電パターン群が形成される。このような第 3 マスク工程を図 1 2 a 乃至図 1 2 d を参照して詳細にすれば次のようになる。

50

## 【0083】

図12aに図示されたところのように半導体パターンとソース/ドレイン金属パターンが積層されたゲート絶縁膜143上にスパッタリングなどの蒸着方法で透明導電膜115が形成される。透明導電膜115の材料としてはインジウムスズオキサイド(Indium Tin Oxide:ITO)、スズオキサイド(Tin Oxide:TO)、インジウムスズ亜鉛オキサイド(Indium Tin Zinc Oxide:ITZO)及びインジウム亜鉛オキサイド(Indium Zinc Oxide:IZO)中からいずれかが利用される。

## 【0084】

引き継いで、透明導電膜115上にフォトレジスト膜が全面形成された後、図12bに図示されたところのように、下部基板145上部に第3マスク210が整列される。第3マスク210は透明な材質であるマスク基板214と、マスク基板214の遮断領域P2に形成された遮断部212を具備する。ここで、マスク基板214の露出した領域は露光領域P1になる。このような第3マスク210を利用したフォトレジスト膜を露光及び現象することで、第3マスク210の遮断部212と対応した遮断領域P2にフォトレジストパターン216が形成される。このようなフォトレジストパターン216を利用した食刻工程で透明導電膜115がパターニングされることで、図12cに図示されたところのように、画素電極114及びデータパッド上部電極134を含む第3導電パターン群が形成される。

## 【0085】

その次、第2及び第3導電パターン群をマスクとして利用した乾式食刻工程でゲート絶縁膜143とオーミック接触層150が同時にパターニングされることで、図12dに図示されたところのように、ゲート絶縁パターン146が形成されて、薄膜トランジスタ106のチャンネル部からオーミック接触層150が除去される。すなわち、薄膜トランジスタ106のチャンネル部のオーミック接触層150が除去されて活性層148が露出して、ゲート絶縁パターン146は、ゲートパッド126上のゲート絶縁膜143が除去されるように形成されてゲートパッド126を露出させる。

## 【0086】

これを詳細に説明すれば、オーミック接触層150とゲート絶縁膜143の厚さが1:8以上の割合を持つ場合、1:3の割合を持つSF<sub>6</sub>とO<sub>2</sub>を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第1期間の間にオーミック接触層150とゲート絶縁膜143を乾式食刻するようになる。例えば、オーミック接触層150が600、ゲート絶縁膜143が5000である場合、100[mT]の圧力で1000Wの電力を供給して約90秒間オーミック接触層150とゲート絶縁膜143を食刻ガスで乾式食刻するようになる。これによって、ゲート絶縁膜143がパターニングされてゲートパッド126を露出させるゲート絶縁パターン146が形成されて、薄膜トランジスタ106のチャンネル部からオーミック接触層150がパターニングされて活性層148が露出する。

## 【0087】

または、オーミック接触層150とゲート絶縁膜143の厚さが1:10以上の割合を持つ場合、5:1の割合を持つCF<sub>4</sub>とH<sub>2</sub>を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第1期間の間にオーミック接触層150とゲート絶縁膜143を乾式食刻するようになる。例えば、100[mT]の圧力で1000Wの電力を供給して約90秒間オーミック接触層150とゲート絶縁膜143を食刻ガスで乾式食刻するようになる。これによって、ゲート絶縁膜143がパターニングされてゲートパッド126を露出させるゲート絶縁パターン146が形成されて、薄膜トランジスタ106のチャンネル部からオーミック接触層150がパターニングされて活性層148が露出する。

## 【0088】

図13a乃至図13dは本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を示す断面図である。

10

20

30

40

50

## 【 0 0 8 9 】

第1マスク工程で下部基板145上にゲートライン102、ゲート電極108及びゲートパッド126を含む第1導電パターン群が形成される。このような第1マスク工程は図8a乃至図8cに詳細に説明されているので、これに対する説明は省略する。

## 【 0 0 9 0 】

第2マスク工程で下部基板上にゲート絶縁膜143上に積層された活性層148及びオーミック接触層150を含む半導体パターンと、データライン104、ドレーン電極112及びデータパッド下部電極132を含む第2導電パターン群が形成される。このような第2マスク工程は図10a乃至図10eに詳細に説明されているので、これに対する説明は省略する。

10

## 【 0 0 9 1 】

図13aに図示されたところのように、半導体パターンと第2導電パターン群が積層されたゲート絶縁膜143上にスパッタリングなどの蒸着方法で透明導電膜が形成される。透明導電膜の材料としてはインジウムスズオキサイド(Indium Tin Oxide:ITO)、スズオキサイド(Tin Oxide:TO)、インジウムスズ亜鉛オキサイド(Indium Tin Zinc Oxide:ITZO)及びインジウム亜鉛オキサイド(Indium Zinc Oxide:IZO)からいずれかが利用される。

## 【 0 0 9 2 】

引き継いで、透明導電膜152上にフォトレジスト膜が全面形成された後、図13bに図示されたところのように、下部基板145上部に第3マスク210が整列される。第3マスク210は透明な材質であるマスク基板214と、マスク基板214の遮断領域P2に形成された遮断部212を具備する。ここで、マスク基板214の露出した領域は露光領域P1になる。このような第3マスク210を利用したフォトレジスト膜を露光及び現象することで、第3マスク210の遮断部212と対応した遮断領域P2にフォトレジストパターン216が形成される。このようなフォトレジストパターン216を利用した食刻工程で透明導電膜152がパターニングされることで、図13cに図示されたところのように画素電極114、データパッド上部電極134を含む第3導電パターン群が形成される。

20

## 【 0 0 9 3 】

その次、第2及び第3導電パターン群をマスクとして利用した第1乾式食刻工程でオーミック接触層150の一部とゲート絶縁膜143がパターニングされることで、図13dに図示されたところのようにゲート絶縁パターン146が形成される。ゲート絶縁パターン146はゲートパッド126上のゲート絶縁膜143が除去されるように形成されてゲートパッド126を露出させる。以後、第2及び第3導電パターン群をマスクとして利用した第2乾式食刻工程でオーミック接触層150がパターニングされることで、図13dに図示されたところのように薄膜トランジスタ106のチャンネル部に残存するオーミック接触層150が除去される。すなわち、薄膜トランジスタ106のチャンネル部のオーミック接触層150が除去されて活性層148が露出する。

30

## 【 0 0 9 4 】

これを詳細に説明すれば、オーミック接触層150とゲート絶縁膜143の厚さが1:8以上の割合を持つ場合、1:3の割合を持つSF<sub>6</sub>とO<sub>2</sub>を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第1期間より短い第2期間の間にオーミック接触層150とゲート絶縁膜143を乾式食刻するようになる。これによって、ゲート絶縁膜143がパターニングされてゲートパッド126を露出させるゲート絶縁パターン146が形成されて、オーミック接触層150が一部食刻されて薄膜トランジスタ106のチャンネル部に一部残存するようになる。この後、1:10の割合を持つSF<sub>6</sub>とCl<sub>2</sub>を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第3期間の間にオーミック接触層150を乾式食刻するようになる。薄膜トランジスタ106のチャンネル部でオーミック接触層150がまったくパターニングされて活性層148が

40

50

露出する。

【0095】

または、オーミック接触層150とゲート絶縁膜143の厚さが1:10以上の割合を持つ場合、5:1の割合を持つ $CF_4$ と $H_2$ を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第1期間より短い第2期間の間にオーミック接触層150とゲート絶縁膜143を乾式食刻するようになる。これによって、ゲート絶縁膜143がパターンングされてゲートパッド126を露出させるゲート絶縁パターン146が形成されて、オーミック接触層150が一部食刻されて薄膜トランジスタ106のチャンネル部に一部残存するようになる。この後、1:10の割合を持つ $SF_6$ と $Cl_2$ を含む食刻ガスを所定圧力の真空チャンバに注入して、所定の電力を供給して、第3期間の間にオーミック接触層150を乾式食刻するようになる。薄膜トランジスタ106のチャンネル部においてオーミック接触層150がまったくパターンングされて活性層148が露出する。

10

【図面の簡単な説明】

【0096】

【図1】従来の薄膜トランジスタ・アレイ基板を示す平面図である。

【図2】図1に図示された薄膜トランジスタ・アレイ基板を線I-I'に沿って切断して示す断面図である。

【図3a】図2に図示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示す断面図である。

【図3b】図2に図示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示す断面図である。

20

【図3c】図2に図示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示す断面図である。

【図3d】図2に図示された薄膜トランジスタ・アレイ基板の製造方法を段階的に示す断面図である。

【図4】本発明の実施例に係る薄膜トランジスタ・アレイ基板を示す平面図である。

【図5】図4に図示された薄膜トランジスタ・アレイ基板を線II-II'に沿って切断して示す断面図である。

【図6】図4に図示された薄膜トランジスタ・アレイ基板の他の形態を示す断面図である。

30

【図7a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を説明するための平面図である。

【図7b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を説明するための断面図である。

【図8a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を具体的に説明するための断面図である。

【図8b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を具体的に説明するための断面図である。

【図8c】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第1マスク工程を具体的に説明するための断面図である。

40

【図9a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を説明するための平面図である。

【図9b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を説明するための断面図である。

【図10a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を具体的に説明するための断面図である。

【図10b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を具体的に説明するための断面図である。

【図10c】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を具体的に説明するための断面図である。

50

【図10d】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を具体的に説明するための断面図である。

【図10e】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第2マスク工程を具体的に説明するための断面図である。

【図11a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を説明するための平面図である。

【図11b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を説明するための断面図である。

【図12a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を具体的に説明するための断面図である。

10

【図12b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を具体的に説明するための断面図である。

【図12c】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を具体的に説明するための断面図である。

【図12d】本発明の実施例に係る薄膜トランジスタ・アレイ基板の製造方法の中、第3マスク工程を具体的に説明するための断面図である。

【図13a】本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を説明するための断面図である。

【図13b】本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を説明するための断面図である。

20

【図13c】本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を説明するための断面図である。

【図13d】本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を説明するための断面図である。

【図13e】本発明の実施例に係る薄膜トランジスタ・アレイ基板の他の製造方法を説明するための断面図である。

【符号の説明】

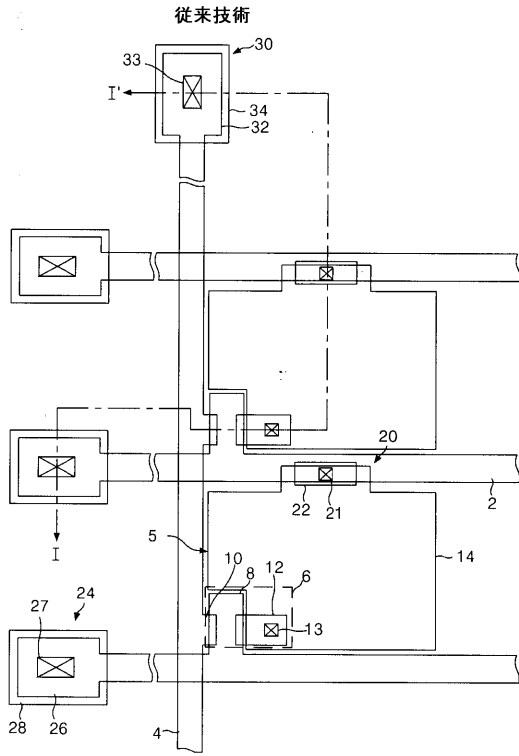
【0097】

- 2、102・・・ゲートライン
- 4、104・・・データライン
- 6、106・・・薄膜トランジスタ
- 8、108・・・ゲート電極
- 10、110・・・ソース電極
- 12、112・・・ドレーン電極
- 13、27、33、39・・・接触ホール
- 14、114・・・画素電極
- 22・・・ストレ-ジ電極
- 26・・・ゲートパッド下部電極
- 28・・・ゲートパッド上部電極
- 32、132・・・データパッド下部電極
- 34、134・・・データパッド上部電極
- 45、145・・・基板
- 46、143・・・ゲート絶縁膜
- 48、148・・・活性層
- 50、150・・・オーミック接触層
- 52・・・保護膜
- 146・・・ゲート絶縁パターン
- 153・・・配向膜

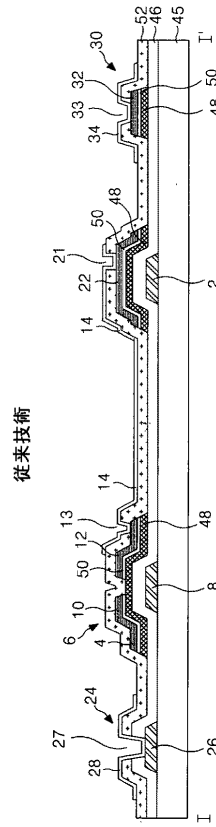
30

40

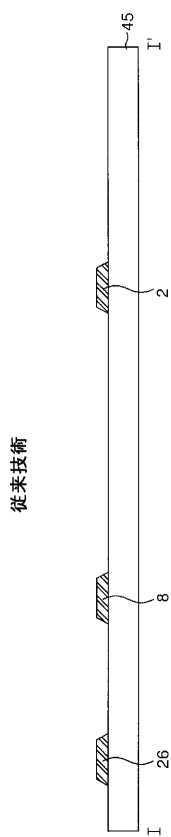
【図 1】



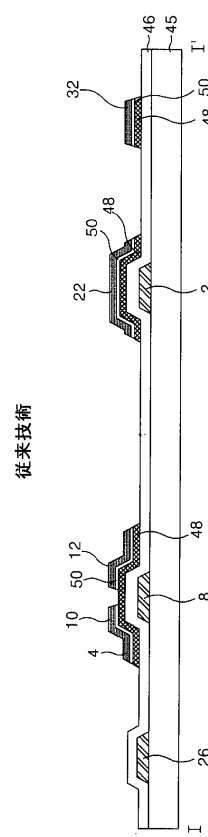
【図 2】



【図 3 a】



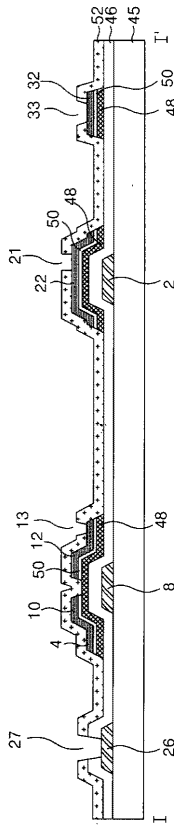
【図 3 b】





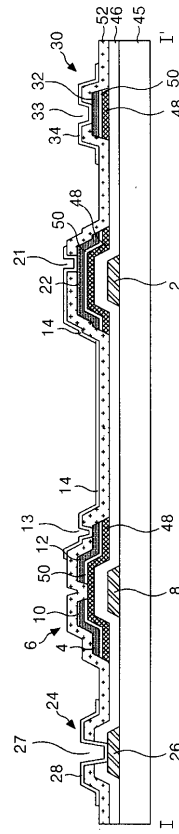
【図3c】

従来技術

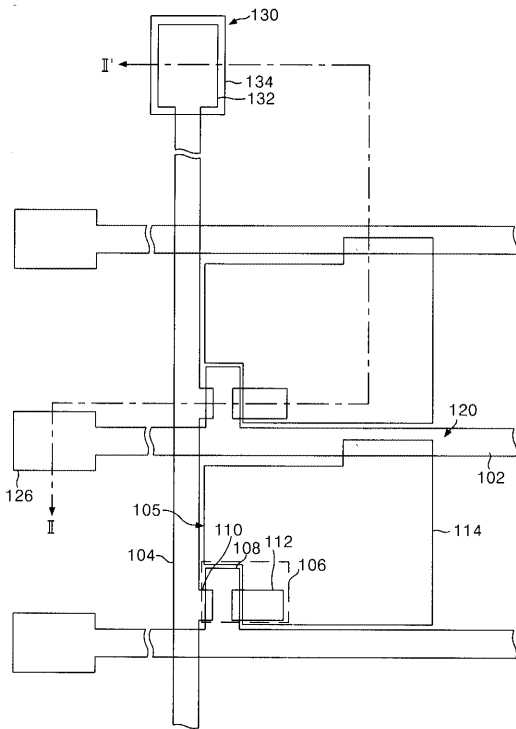


【図3d】

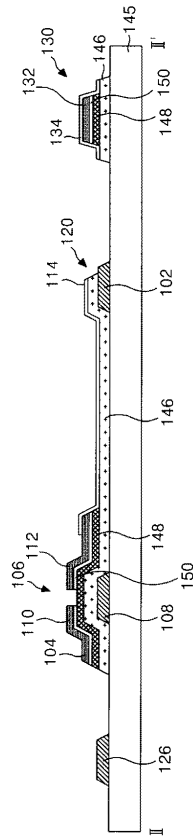
従来技術



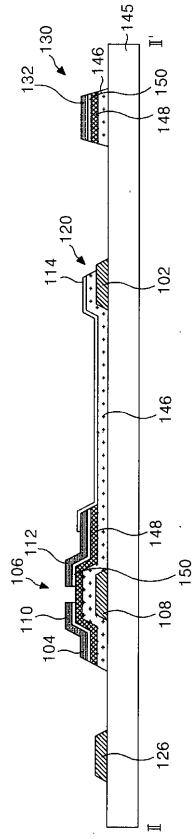
【図4】



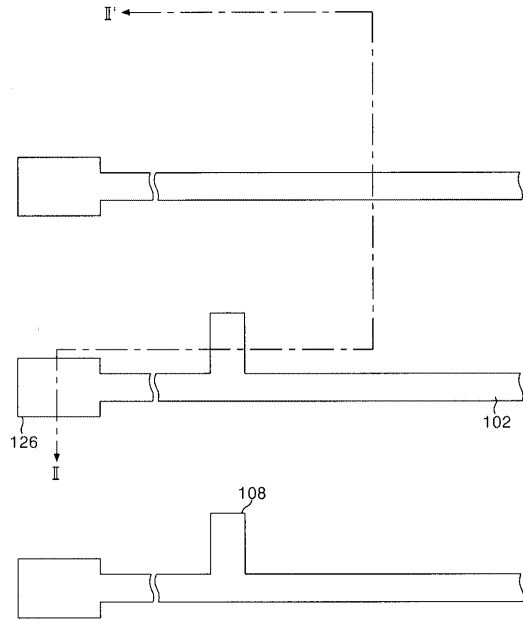
【図5】



【 図 6 】



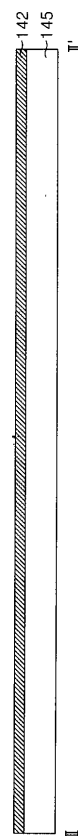
【 図 7 a 】



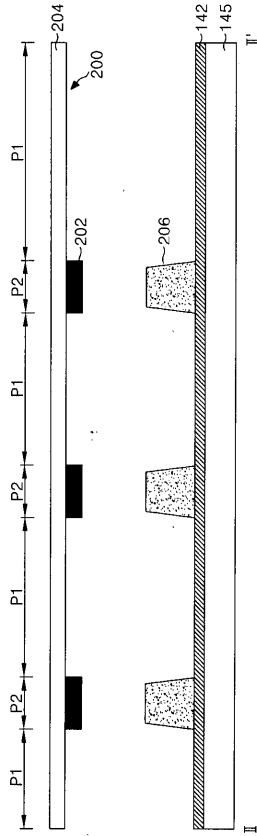
【 図 7 b 】



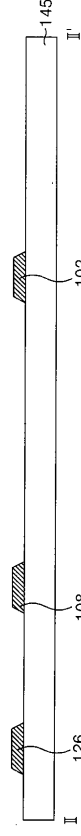
【 図 8 a 】



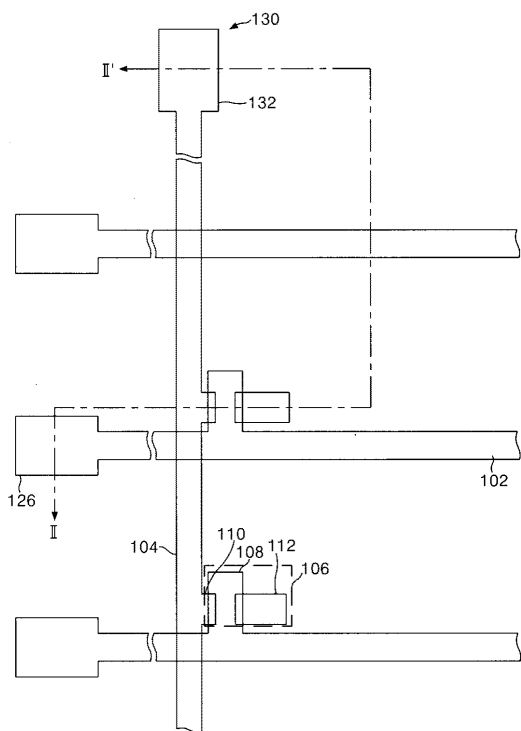
【 8 b 】



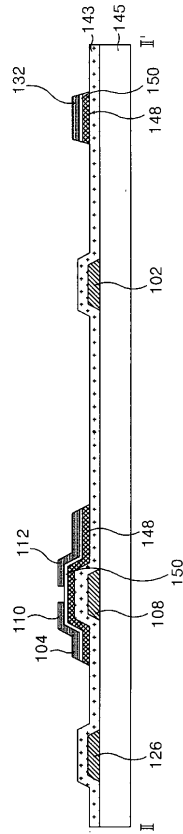
【 8 c 】



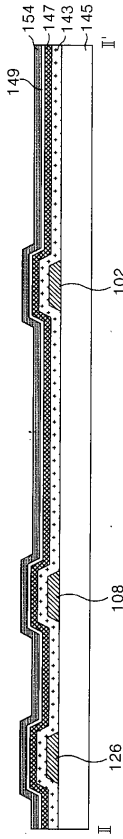
【 9 a 】



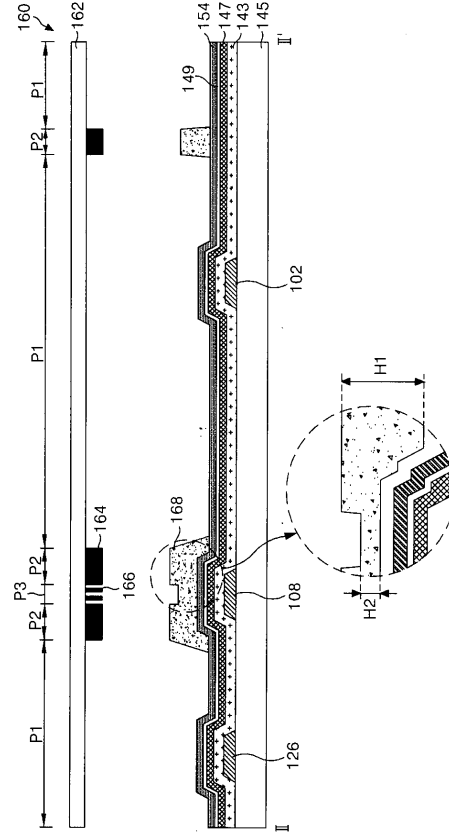
【 9 b 】



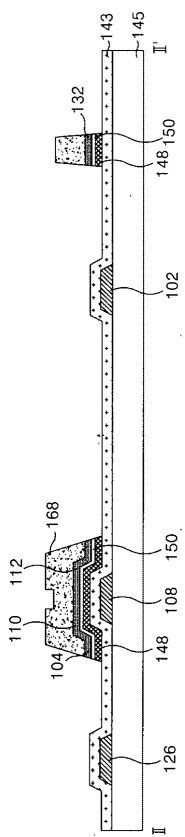
【 10 a 】



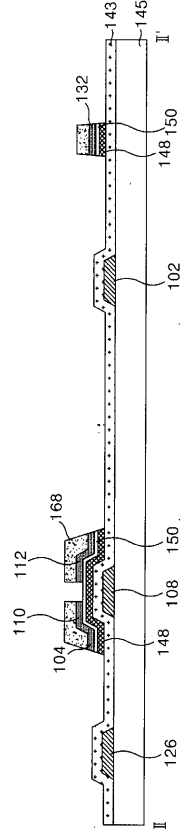
【 10 b 】



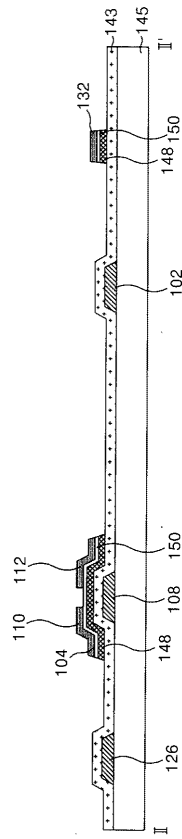
【 10 c 】



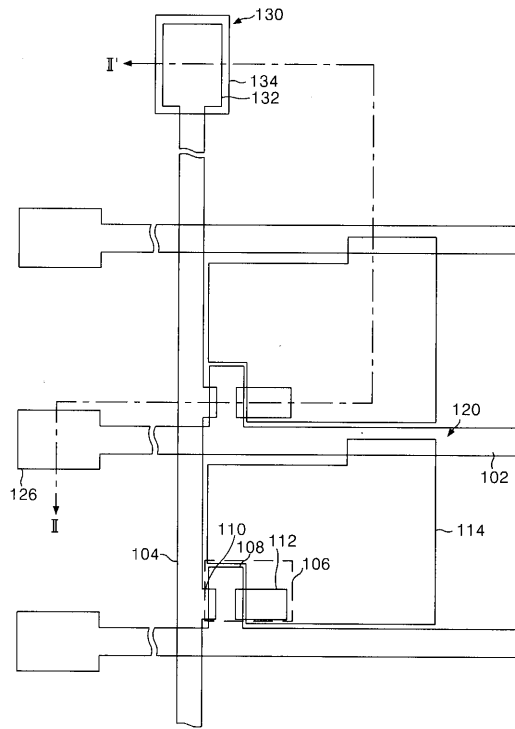
【 10 d 】



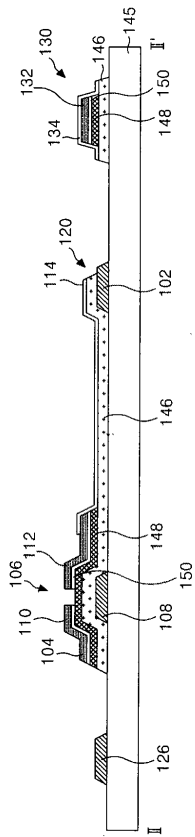
【図10e】



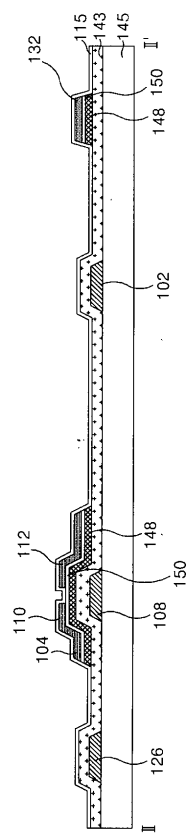
【図11a】



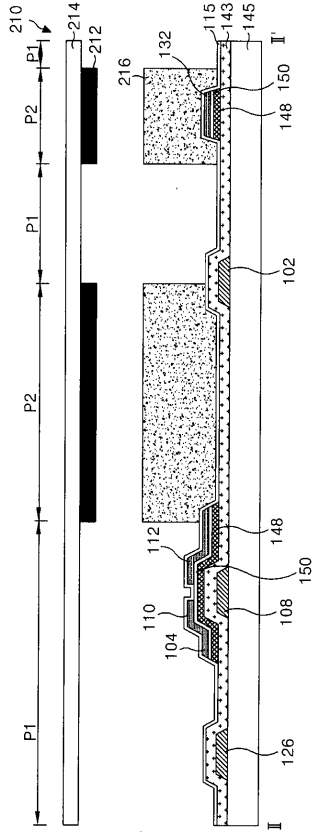
【図11b】



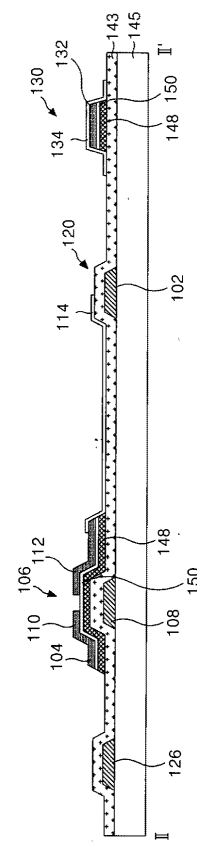
【図12a】



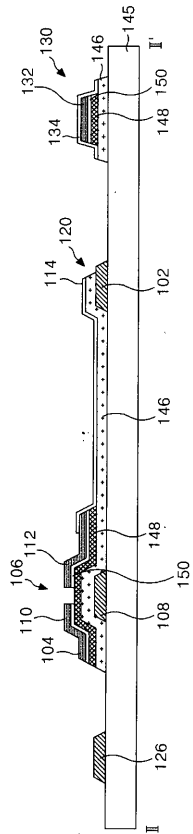
【 1 2 b 】



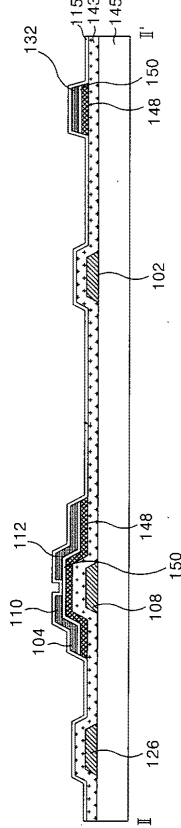
【 1 2 c 】



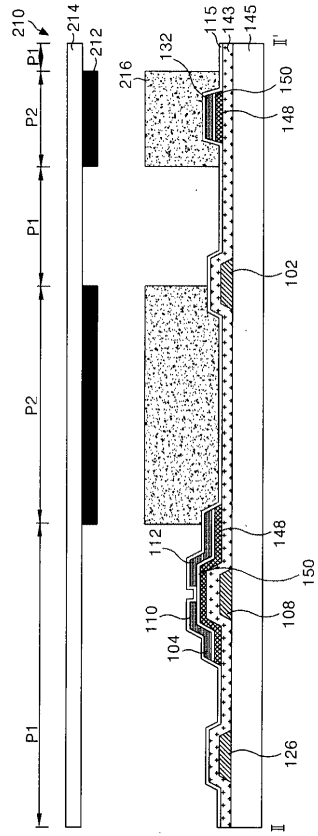
【 1 2 d 】



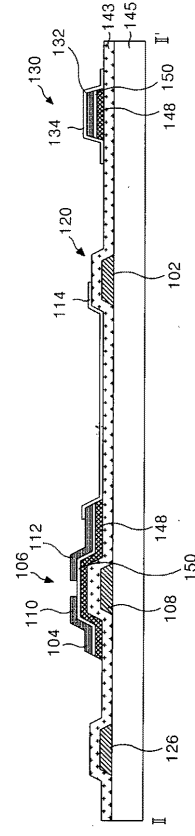
【 1 3 a 】



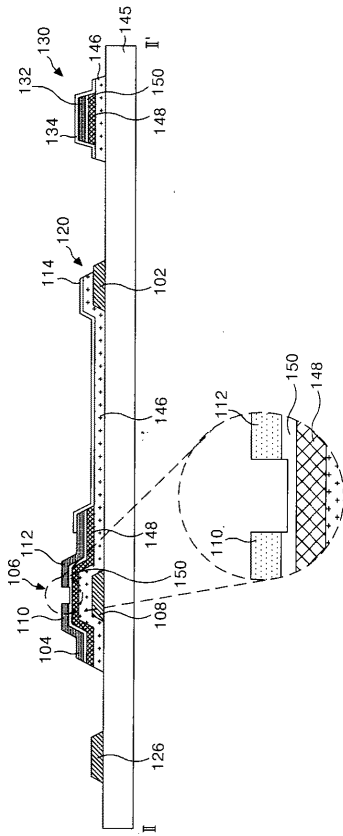
【図 13 b】



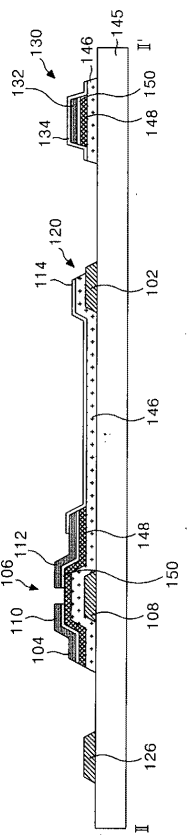
【図 13 c】



【図 13 d】



【図 13 e】



## フロントページの続き

(74)代理人 100101498

弁理士 越智 隆夫

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 李 キョン 黙

大韓民国 ソウル特別市 九老區 梧柳2洞 152 ウスク ヴィラ 1-106号

(72)発明者 南 承 熙

大韓民国 京畿道 水原市 長安區 栗田洞 394-22 502号

(72)発明者 呉 載 映

大韓民国 京畿道 儀旺市 内 ソン 1洞 ポイル アpartment 101-210号

審査官 渡邊 吉喜

(56)参考文献 特開2001-033825(JP,A)

特開2002-049058(JP,A)

特開平02-242230(JP,A)

特開2001-005038(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345、

1/135 - 1/1368、

G09F 9/00 - 9/46、

H01L 21/33、27/32、29/786