



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I575536 B

(45)公告日：中華民國 106 (2017) 年 03 月 21 日

(21)申請案號：101119961

(22)申請日：中華民國 101 (2012) 年 06 月 04 日

(51)Int. Cl. : G11C7/00 (2006.01)

H01L21/336 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2011/06/09 日本

2011-129142

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：黑川義元 KUROKAWA, YOSHIYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 4599709

US 5353424

US 6385697B1

US 2002/0184445A1

US 2003/0131183A1

US 2005/0002232A1

US 2009/0172289A1

審查人員：劉耀允

申請專利範圍項數：11 項 圖式數：12 共 90 頁

(54)名稱

半導體記憶體裝置及半導體記憶體裝置的驅動方法

SEMICONDUCTOR MEMORY DEVICE AND METHOD OF DRIVING SEMICONDUCTOR
MEMORY DEVICE

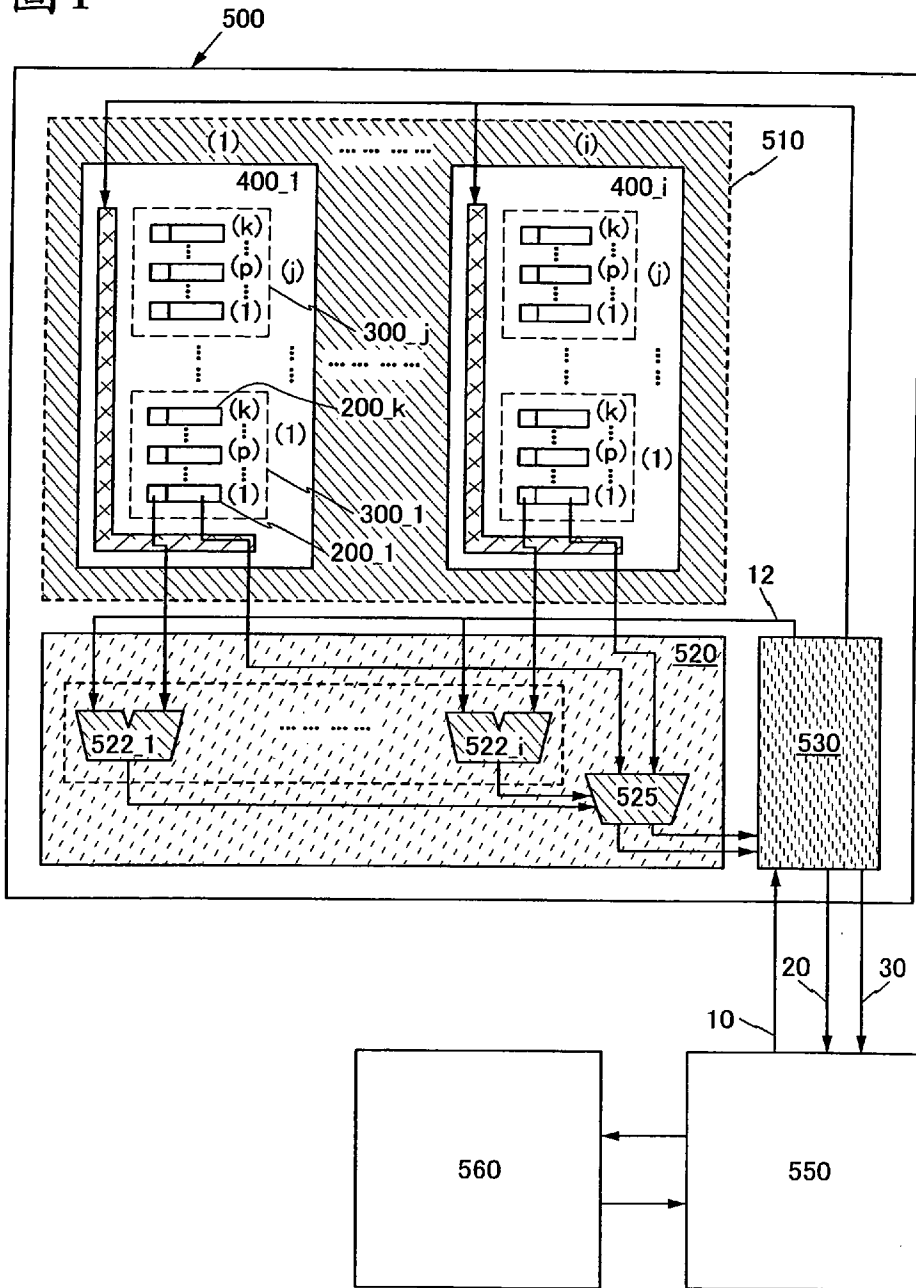
(57)摘要

本發明的課題之一是提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。或者本發明的課題之一是提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置的驅動方法。該半導體記憶體裝置包括記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，改 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有地址的第一位列的行；比較電路；選擇電路；以及控制電路。此外，藉由使用控制電路和選擇電路的快取記憶體命中或快取記憶體缺失的判定，搜索一次以上且 j 次以下預先分配有目的的位址的第一位列的 $i \times j$ 個的行，可以指定儲存有目的的資料的行。

A semiconductor memory device includes a memory portion that includes i (i is a natural number) sets each including j (j is a natural number of 2 or larger) arrays each including k (k is a natural number of 2 or larger) lines to each of which a first bit column of an address is assigned in advance; a comparison circuit; and a control circuit. The $i \times j$ lines to each of which a first bit column of an objective address is assigned in advance are searched more than once and less than or equal to j times with the use of the control circuit and a cache hit signal or a cache miss signal output from the selection circuit. In such a manner, the line storing the objective data is specified.

指定代表圖：

圖 1



符號簡單說明：

- 10 . . . 地址
- 12 . . . 位列
- 20 . . . 快取記憶體
命中信號
- 30 . . . 主資料
- 300_1 至 300_j . . .
陣列
- 400_1 至 400_i . . .
組
- 500 . . . 半導體記憶
體裝置
- 510 . . . 記憶部
- 520 . . . 比較部
- 522_1 至 522_i . . .
比較電路
- 525 . . . 選擇電路
- 530 . . . 控制電路
- 550 . . . 運算裝置
- 560 . . . 主記憶體裝
置

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101119961

※申請日：101年06月04日

※IPC分類：G11C 7/00 (2006.01)

H01L 21/336 (2006.01)

H01L 29/786 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶體裝置及半導體記憶體裝置的驅動方法

Semiconductor memory device and method of driving semiconductor memory device

二、中文發明摘要：

本發明的課題之一是提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。或者本發明的課題之一是提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置的驅動方法。該半導體記憶體裝置包括記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有地址的第一位列的行；比較電路；選擇電路；以及控制電路。此外，藉由使用控制電路和選擇電路的快取記憶體命中或快取記憶體缺失的判定，搜索一次以上且 j 次以下預先分配有目的的位址的第一位列的 $i \times j$ 個的行，可以指定儲存有目的的資料的行。

三、英文發明摘要：

A semiconductor memory device includes a memory portion that includes i (i is a natural number) sets each including j (j is a natural number of 2 or larger) arrays each including k (k is a natural number of 2 or larger) lines to each of which a first bit column of an address is assigned in advance; a comparison circuit; and a control circuit. The ~~(10.2000)~~ lines to each of which a first bit column of an objective address is assigned in ~~(10.2000)~~ advance are searched more than once and less than or equal to j times with the use of the ~~(10.2000)~~ control circuit and a cache hit signal or a cache miss signal output from the selection circuit. In such a manner, the line storing the objective data is specified.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10：地址

12：位列

20：快取記憶體命中信號

30：主資料

300_1 至 300_j：陣列

400_1 至 400_i：組

500：半導體記憶體裝置

510：記憶部

520：比較部

522_1 至 522_i：比較電路

525：選擇電路

530：控制電路

550：運算裝置

560：主記憶體裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體記憶體裝置及半導體記憶體裝置的驅動方法。尤其是，本發明關於一種可以用於快取記憶體的半導體記憶體裝置及其驅動方法。

【先前技術】

大部分的中央處理器（Central Processing Unit：CPU）除了運算裝置以外，還具備控制電路和被稱為快取記憶體的儲存電路。當對中央處理器設置高速的快取記憶體時，可以減少訪問 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）等設置在外部的低速主記憶體的頻率。其結果是，可以提高中央處理器的處理速度。

以 n 路組相聯（ n -way set associative）方式的快取記憶體為例子，說明快取記憶體的結構及其驅動方法。

n 路組相聯方式的快取記憶體包括： n 個（ n 是自然數）組；比較標籤的 n 個比較電路；以及選擇資料的選擇電路。此外，一個組和一個比較電路成對。另外，各組具備被稱為行（line）的多個區域，各行以會由主記憶體的位址的第一位元列唯一地指定一個資料的方式預先分別分配有第一位元列。因此，行的個數是會由主記憶體的位址的第一位元列指定的個數 m （ m 是 2 以上的自然數）以下。此外，各行具備儲存位址的第二位元列的標籤場（tag field）以及儲存主記憶體的複製資料的資料場（data field）。

首先，將由位址被指定的一個資料儲存在 n 路組相聯方式的快取記憶體中的方法的一個例子。中央處理器的控制電路參照該資料的位址的第一位元列，爲了儲存該資料，選擇對每一個組預先分配有每一個行。就是說，在 n 路組相聯方式的快取記憶體中，對一個資料選擇總和爲 n 個行。

接著，控制電路從該 n 個行中指定儲存有最舊的資料的行，而對該行重寫一個資料。明確地說，將位址的第二位元列儲存在標籤場，將主記憶體的複製資料儲存在資料場。

接著，說明從 n 路組相聯方式的快取記憶體中取出特定的資料的方法的一個例子。當運算裝置對控制電路要求特定的資料時，控制電路使用指定資料的位址的第一位元列和第二位元列，搜索儲存有該特定的資料的行。

明確地說，控制電路選擇預先分配有指定該資料的位址的第一位元列的 n 個的行。接著連接到每一個組的比較電路比較儲存在被選擇的行的標籤場的第二位元列與指定該資料的位址的第二位元列，當兩者一致時（稱爲快取記憶體命中），選擇電路將快取記憶體命中信號與儲存在得到快取記憶體命中的行的資料場中的資料輸出到控制電路。此外，當在 n 個行中找不到所要求的資料時（稱爲快取記憶體缺失），選擇電路將快取記憶體缺失信號輸出到控制電路，中央處理器的運算處理裝置對主記憶體要求資料。

此外，已知對其通道形成區使用氧化物半導體的電晶

體（專利文獻 1）。因為氧化物半導體層利用濺射法等較容易製造，所以對通道形成區使用氧化物半導體的電晶體具有容易製造的特徵。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

當發生快取記憶體缺失時，因為中央處理器訪問 DRAM 等設置在外部的低速主記憶體，所以處理速度變得慢。因此，對防止快取記憶體缺失且容易得到快取記憶體命中的結構進行了研究。作為其對策的一個例子，可以舉出增多組的個數而增多記憶容量的結構。

但是，如果增多組的個數，則發生取出一個資料時搜索的行的個數增多而讀出工作和比較工作所消費的電力也增大的問題。

【發明內容】

本發明的一個方式是鑒於上述技術背景而實現的。從而，本發明的課題之一是提供一種減少對設置在外部的低速記憶體裝置的訪問的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。或者，本發明的課題之一是提供一種減少對設置在外部的低速記憶體裝置的訪問的頻率，提高處理速度且降低耗電量的半導體記憶體裝置的驅動方法。

為了解決上述課題，本發明的一個方式是著眼於設置在組的每一個的行的總數和一次的搜索的目標的行的個數

而創造的。並且，想到如下半導體記憶體裝置的結構，該半導體記憶體裝置包括：記憶部，該記憶部包括 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有位址的第一位元列中的任何一個的行；比較部；以及控制電路。此外，想到如下半導體記憶體裝置的驅動方法，即藉由使用比較部比較一次以上且 j 次以下預先分配有目的的位址的第一位元列的 $i \times j$ 個的行的標籤場與目的的位址的第二位元列，以搜索儲存有由該位址指定的資料的行，從控制部輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料而達到上述課題的解決。

就是說，本發明的一個方式是一種半導體記憶體裝置，包括：記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個包括標籤場和資料場的行；比較部，該比較部具備 i 個比較電路以及與 i 個比較電路及 i 個組連接的選擇電路；以及控制電路，該控制電路與選擇電路連接，並具備被輸入位址及/或由位址指定的主資料的外部輸入端子、輸出快取記憶體缺失信號或快取記憶體命中信號及主資料的外部輸出端子。並且， i 個組和 i 個比較電路都連接到控制電路， i 個組和 i 個比較電路彼此連接而成 i 個對， k 個行分別分配有位址的 k 種第一位元列，標籤場儲存位址的第二位元列，並且，資料場儲存由位址指定的主資料。並且，比較部比較控制電

路所選擇的行的標籤場的第二位元列與從控制電路輸入的位址的第二位元列，當兩者不一致時將快取記憶體缺失信號輸出到控制電路，當兩者一致時將快取記憶體命中信號和儲存在行的資料場的主資料輸出到控制電路。而且，根據從外部輸入端子輸入的位址信號或從比較部輸入的快取記憶體缺失信號，控制電路將選擇分配有輸入位址的第一位元列的行的行選擇信號以及從 j 個陣列按順序選擇一個的陣列選擇信號輸出到記憶部，並將輸入位址的第二位元列輸出到比較電路。並且，在所有 j 個陣列由陣列選擇信號選擇之後，當從比較部輸入的快取記憶體缺失信號被輸入時，控制電路將快取記憶體缺失信號輸出到外部輸出端子。或者，當從比較部輸入的快取記憶體命中信號被輸入時，控制電路將快取記憶體命中信號及主資料輸出到外部輸出端子。

在上述本發明的一個方式的半導體記憶體裝置中， j (j 是 2 以上的自然數) 個陣列設置在一個組中，該 j 個陣列具備預先分配有位址的第一位元列中的任何一個的 k (k 是 2 以上的自然數) 個行，並且使用 i (i 是自然數) 個該組構成記憶部。此外，控制電路根據快取記憶體命中或快取記憶體缺失的判斷，搜索一次以上且 j 次以下預先分配有位址的第一位元列的 $i \times j$ 個行，來指定儲存有該特定的資料的行。

由此，可以根據快取記憶體命中信號結束設置在記憶部的行的搜索。並且，可以減少得到快取記憶體命中之前

所要搜索的行的個數，且可以抑制讀出工作及比較工作所需要的耗電量。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

此外，本發明的一個方式是一種包括設置有藉由使用電晶體的開閉器串聯的 j 個陣列的組的上述半導體記憶體裝置。

由此，可以使用需要的長度的信號線將多個陣列連接而不會不必要地延長信號線的長度，並且可以抑制伴隨佈線長度的延長的電容的增加。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

此外，本發明的一個方式是一種包括設置有藉由使用電晶體的開閉器並列的 j 個陣列的組的上述半導體記憶體裝置。

由此，可以使用所需要的長度的信號線將多個陣列連接而不會不必要地延長信號線的長度。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

此外，本發明的一個方式是一種包括使用在其通道形成區具備氧化物半導體層的電晶體的開閉器的上述半導體記憶體裝置。

上述本發明的一個方式的半導體記憶體裝置包括使用在其通道形成區具備氧化物半導體層且截止洩汲極電流極

小的電晶體的開閉器。

由此，可以完全切斷多個陣列。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

此外，本發明的一個方式是一種陣列所具備的行包括多個 SRAM (Static Random Access Memory: 靜態隨機存取記憶體) 的上述半導體記憶體裝置。

由此，可以高速地進行讀出及寫入。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

此外，本發明的一個方式是半導體記憶體裝置的驅動方法。明確地說，該驅動方法包括如下第一步驟：將位址輸入到具備外部輸入端子和外部輸出端子的控制電路的外部輸入端子，該控制電路將陣列選擇信號與行選擇信號輸出到記憶部，該記憶部包括 i (i 是自然數) 個組，該 i 個組包括 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個行，該 k 個行包括標籤場和資料場並預先分配有輸入到外部輸入端子的位址的第一位元列，該陣列選擇信號選擇記憶部中的 j 個陣列中的一個，該行選擇信號選擇從 k 個行選擇符合於位址的行，並將位址的第二位元列輸出到比較部，該比較部包括 i 個比較電路以及與 i 個比較電路及 i 個組連接的選擇電路， i 個組和 i 個比較電路都與控制電路連接，並且該組和該比較電路彼此連接而成 i 個對。

並且，本發明的一個方式的半導體記憶體裝置的驅動方法包括如下第二步驟：選擇部中的 i 個比較電路的每一個比較被選擇的 i 個行的標籤場的第二位元列與從所述控制電路輸入的位址的第二位元列，而當兩者一致時比較電路將快取記憶體命中信號輸出到選擇電路，當兩者不一致時比較電路將快取記憶體缺失信號輸出到選擇信號。

並且，本發明的一個方式的半導體記憶體裝置的驅動方法包括如下第三步驟：當 i 個比較電路中的任何一個輸出快取記憶體命中信號時，選擇電路將儲存在包括與連接到輸出快取記憶體命中信號的比較電路的組的第二位元列一致的標籤場的行的資料場的主資料輸出到控制電路，而進入第六步驟，在除此以外的情況下進入第四步驟。

並且，本發明的一個方式的半導體記憶體裝置的驅動方法包括如下第四步驟：當 i 個比較電路都輸出快取記憶體缺失信號時，選擇部將快取記憶體缺失信號輸出到控制電路。

並且，本發明的一個方式的半導體記憶體裝置的驅動方法包括如下第五步驟：當記憶部的 i 個陣列包括尚未選擇的陣列時，控制電路將從沒有選擇的陣列中選擇一個的陣列選擇信號和行選擇信號輸出到記憶部，將位址的第二位元列輸出到比較部而進入第二步驟，並且在記憶部中的 i 個陣列都被選擇之後，進入第六步驟。

並且，本發明的一個方式的半導體記憶體裝置的驅動方法包括如下第六步驟：控制電路將從選擇電路輸入的快

取記憶體命中信號及主資料或快取記憶體缺失信號輸出到外部輸出端子。

上述本發明的一個方式的半導體記憶體裝置的驅動方法是如下：控制電路根據快取記憶體命中或快取記憶體缺失的判斷，搜索一次以上且 j 次以下預先分配有位址的第一位元列的 $i \times j$ 個的行，而指定儲存有該特定的資料的行。

由此，可以根據快取記憶體命中信號結束設置在記憶部的行的搜索。並且，可以減少得到快取記憶體命中之前所要搜索的行的個數，且可以抑制讀出工作及比較工作所需要的耗電量。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置的驅動方法。

注意，在本說明書中，快取記憶體是指運算裝置最初搜索由位址能夠指定的資料的記憶體裝置。

此外，在本說明書中，“Low”（L 或者低）是指低於“High”（H 或者高）的電位，例如是指接地電位或與其相同的低電位的狀態。此外“High”是指高於“Low”的電位的狀態，可以設定為任意值。

根據本發明的一個方式，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。此外，還可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置的驅動方法。

【 實施方式 】

參照圖式對實施方式進行詳細說明。但是，本發明不侷限於以下的說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。注意，以下說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。

實施方式 1

在本實施方式中，參照圖 1 至圖 3 說明一種半導體記憶體裝置，該半導體記憶體裝置包括：記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有位址的第一位元列中的任何一個的行；比較部；以及控制電路。明確地說，說明如下半導體記憶體裝置，即藉由使用比較部比較一次以上且 j 次以下預先分配有目的的位址的第一位元列的 $i \times j$ 個的行的標籤場與目的的位址的第二位元列，以搜索儲存有由該位址指定的資料的行，從控制部輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料。

<半導體記憶體裝置的結構>

圖 1 示出本發明的一個方式的半導體記憶體裝置的結構。圖 1 所示的半導體記憶體裝置 500 包括記憶部 510、比較部 520 以及控制電路 530。此外，半導體記憶體裝置 500 例如可以與主記憶體的主記憶體裝置 560 和運算裝置 550 連接而使用。

記憶部 510 儲存主資料。對具備外部輸入端子和外部輸出端子的控制電路 530 從運算裝置 550 等藉由外部輸入端子輸入能夠指定主資料的位址 10。此外，位址 10 包括能夠分為 k (2 以上的自然數) 個的第一位元列以及第二位元列。

記憶部 510 具備 i (i 是自然數) 個組 400_1 至組 400_ i 。組分別具備 j (j 是 2 以上的自然數) 個陣列 300_1 至陣列 300_ j 。陣列分別具備 k 個行。並且，行分別具備標籤場和資料場。

此外， k 個行分別對應於能夠分為 k 個的位址的第一位元列中的任何一個，藉由選擇對應於一個位址的第一位元列的行而將該位址的第二位元列儲存在其標籤場，可以儲存該位址的第一位元列和第二位元列。

此外，將由該位址能夠指定的主資料儲存在該行的資料場。

比較部 520 具備 i 個比較電路 522_1 至比較電路 522_ i 和選擇電路 525。此外，比較電路和組彼此連接而成總和為 i 個的對。

控制電路 530 將選擇對應於位址 10 的第一位元列的行

的行選擇信號以及從 j 個陣列選擇一個的陣列選擇信號輸出到設置在記憶部 510 的所有的 i 個組。根據上述行選擇信號和陣列選擇信號從設置在記憶部 510 的 i 個組中指定總計為 i 個的行。此外，控制電路 530 將位址 10 的第二位元列 12 輸出到設置在比較部 520 的比較電路。

設置在比較部的比較電路 522_1 至比較電路 522_ i 的每一個在連接的組中，比較儲存於由行選擇信號及陣列選擇信號指定的行的標籤場的第二位元列與從控制電路 530 輸出的第二位元列 12。當兩者一致時，比較電路 522_1 至比較電路 522_ i 將快取記憶體命中信號輸出到選擇電路 525，並且當兩者不一致時，比較電路 522_1 至比較電路 522_ i 將快取記憶體缺失信號輸出到選擇電路 525。

被輸入快取記憶體命中信號的選擇電路 525 在與輸出該快取記憶體命中信號的比較電路連接的組中，將快取記憶體命中信號和儲存在由行選擇信號和陣列選擇信號指定的行的標籤場的主資料輸出到控制電路 530。

被輸入快取記憶體命中信號的控制電路 530 將主資料 30 與快取記憶體命中信號 20 藉由外部輸出端子輸出到運算裝置 550 等而結束工作。

此外，在輸出第一陣列選擇信號之後，控制電路 530 每當從選擇電路 525 接受快取記憶體缺失信號時，與對應第一位元列的行選擇信號一起，從第二陣列選擇信號到第 j 陣列選擇信號的陣列選擇信號按順序輸出到比較部 520。

並且，利用比較部 520 根據第 j 陣列選擇信號輸出的

快取記憶體缺失信號，控制電路將快取記憶體缺失信號輸出到運算裝置。

<組的結構例子 1>

圖 2 示出可以用於本發明的一個方式的半導體記憶體裝置的組的結構。明確地說，說明多個陣列藉由使用電晶體的開閉器串聯連接的組的結構。

圖 2 所示的組 410 具備第一陣列 310a、第二陣列 310b 以及第三陣列 310c。陣列分別具備 k 個行。並且，行具備多個單元。例如，行 210 具備多個單元 110。

單元是儲存電路的單位，並設置在行中的標籤場和資料場都包括單元。此外，單元可以由各種各樣的記憶元件構成，可以使用由其截止電流極少的電晶體（例如使用氧化物半導體的電晶體）和電容器構成的 DRAM，或例如在實施方式 2 中所說明的 SRAM。

在組 410 中，在一個方向上設置有多個字線，在另一個方向上設置有多個位元線，並且單元在字線和位元線的交點上設置為矩陣狀。例如，單元 110 連接到字線 412 和位元線 411，並且選擇字線 412 和位元線 411 進行資料的讀出或寫入。另外，構成一個行的多個單元連接到一個字線。明確地說，構成行 210 的多個單元連接到字線 412。

設置在組 410 中的第一陣列 310a、第二陣列 310b 以及第三陣列 310c 藉由使用電晶體的開閉器彼此共有位元線。

明確地說，第一陣列 310a 和第二陣列 310b 中的彼此對應的位元線藉由使用多個電晶體的開閉器 415a 彼此連接，第二陣列 310b 和第三陣列 310c 中的彼此對應的位元線藉由使用多個電晶體的開閉器 415b 彼此連接。

說明在具有這種結構的組 410 中，選擇設置在第二陣列 310b 中的一個單元的方法。首先，將選擇第二陣列 310b 的陣列選擇信號與行選擇信號一起輸入到組 410。由此，組驅動電路 419 根據陣列選擇信號將使開閉器 415a 處於導通狀態的信號輸出到閘極線 416a，並且根據行選擇信號選擇配置在第二陣列 310b 的一個字線。

此外，說明選擇設置在第三陣列 310c 中的一個單元的方法。首先，將選擇第三陣列 310c 的陣列選擇信號與行選擇信號一起輸入到組 410。由此，組驅動電路 419 根據陣列選擇信號將使開閉器 415a 和開閉器 415b 處於導通狀態的信號輸出到閘極線 416a 和閘極線 416b，並且根據行選擇信號選擇配置在第三陣列 310c 的一個字線。

當串聯連接的多個陣列且共有位元線時，可以簡化佈線。其結果是，可以縮小佈線所占的面積，而組的微型化變容易。

此外，可以實現能夠分離藉由設置在陣列之間的開閉器而共有的位元線的結構。由此，可以根據需要而改變串聯連接的位元線的長度。其結果是，可以抑制產生在串聯連接而變得長的位元線中的佈線電容的影響，例如可以減小預充電所需要的耗電量。

<組的結構例子 2>

圖 3 示出可以用於本發明的一個方式的半導體記憶體裝置的組的結構。明確地說，說明多個陣列藉由使用電晶體的開閉器並聯連接的組的結構。

圖 3 所示的組 420 具備第一陣列 320a、第二陣列 320b 及第三陣列 320c。陣列分別具備 k 個行。並且，行具備多個單元。例如，行 220 具備多個單元 120。

在組 420 中，在一個方向上設置有多個字線，在另一個方向上設置有多個佈線，並且單元在它們的交點上設置為矩陣狀。例如，單元 120 連接到字線 422 和位元線 421，並且選擇字線 422 和位元線 421 來進行資料的讀出或寫入。另外，構成一個行的多個單元連接到一個字線。明確地說，構成行 220 的多個單元連接到字線 422。

設置在組 420 中的第一陣列 320a、第二陣列 320b 以及第三陣列 320c 分別藉由使用電晶體的開閉器與組驅動電路 429 彼此並聯連接。

明確地說，第一陣列 320a 藉由使用電晶體的開閉器 425a 連接到組驅動電路 429，第二陣列 320b 藉由使用電晶體的開閉器 425b 連接到組驅動電路 429，並且第三陣列 320c 藉由使用電晶體的開閉器 425c 連接到組驅動電路 429。

說明在具有這種結構的組 420 中，選擇設置在第一陣列 320a 中的一個單元的方法。首先，將選擇第一陣列

320a 的陣列選擇信號與行選擇信號一起輸入到組 420。由此，組驅動電路 429 根據陣列選擇信號將使開閉器 425a 處於導通狀態的信號輸出到閘極線 426a，並且根據行選擇信號選擇配置在第一陣列 320a 的一個字線。

此外，說明選擇設置在第二陣列 320b 中的一個單元的方法。首先，將選擇第二陣列 320b 的陣列選擇信號與行選擇信號一起輸入到組 420。由此，組驅動電路 429 將根據陣列選擇信號使開閉器 425b 處於導通狀態的信號輸出到閘極線 426b，並且根據行選擇信號選擇設置在第二陣列 320b 的一個字線。

此外，說明選擇設置在第三陣列 320c 中的一個單元的方法。首先，將選擇第三陣列 320c 的陣列選擇信號與行選擇信號一起輸入到組 420。由此，組驅動電路 429 根據陣列選擇信號將使開閉器 425c 處於導通狀態的信號輸出到閘極線 426c，並且根據行選擇信號選擇配置在第三陣列 320c 的一個字線。

當多個陣列與組驅動電路並聯連接時，設置在任何陣列的佈線都具有幾乎相同程度的電容。其結果是，可以提供一種抑制故障且可靠性高的半導體記憶體裝置。

另外，雖然說明了組 420 具有在使陣列和組驅動電路連接的位元線上設置開閉器的結構，但是也可以採用在使陣列和組驅動電路連接的字線上設置開閉器的結構。

上述本發明的一個方式的半導體記憶體裝置包括：記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置

有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有位址的第一位元列中的任何一個的行；比較部；以及控制電路。此外，上述本發明的一個方式的半導體記憶體裝置藉由使用比較部比較一次以上且 j 次以下預先分配有目的的位址的第一位元列的 $i \times j$ 個行的標籤場與目的的位址的第二位元列，以搜索儲存有由該位址指定的資料的行，從控制部輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料。

由此，可以根據快取記憶體命中信號的輸出結束設置在記憶部的行的搜索。然後，可以降低到快取記憶體命中所要搜索的行的個數，且可以抑制伴隨讀出工作及比較工作所需要的耗電量。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

另外，本實施方式可以與本說明書所示出的其他實施方式適當地組合。

實施方式 2

在本實施方式中，說明一種半導體記憶體裝置的驅動方法，該半導體記憶體裝置包括：記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有位址的第一位元列中的任何一個的行；比較部；以及控制電路。明確地說，參照圖 4A 和圖 4B、

圖 5 以及圖 12 說明實施方式 1 所說明的半導體記憶體裝置的驅動方法，即藉由使用比較部比較一次以上且 j 次以下預先分配有目的的位址的第一位元列的 $i \times j$ 個行的標籤場與目的的位址的第二位元列，以搜索儲存有由該位址指定的資料的行，從控制部輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料。尤其是，說明一種具備使用 SRAM 構成的單元的本發明的一個方式的半導體記憶體裝置的工作。

<單元的結構>

圖 4A 示出本實施方式中例示的半導體記憶體裝置所具備的單元的結構。單元 111 使用 SRAM 構成。單元 111 包括第一反相器 101、第二反相器 102、第一電晶體 103 以及第二電晶體 104。第一反相器 101 和第二反相器 102 構成反相回路 (inverter loop)。此外，單元 111 連接到字線 451、與字線 451 交叉的一對位元線 401a 以及反轉位元線 401b。

<組的結構>

圖 4B 示出本實施方式中例示的半導體記憶體裝置所具備的組的結構。在組 400 中，多個陣列藉由使用電晶體的開閉器串聯連接。在組中設置有平行的多個字線，並設置有與該字線交叉的多個一對位元線和反轉位元線。並且，單元在它們的交點上設置為矩陣狀。

例如，單元 111 連接到字線 451 以及一對位元線 401a 和反轉位元線 401b，並且單元 112 連接到字線 451 以及一對位元線 402a 和反轉位元線 402b。此外，單元 121 連接到字線 461 以及一對位元線 401a 和反轉位元線 401b，並且單元 122 連接到字線 461 以及一對位元線 402a 和反轉位元線 402b。

設置在組 400 中的第一陣列 300a 和第二陣列 300b 藉由使用電晶體的開閉器彼此共有位元線和反轉位元線。

明確地說，對應第一陣列 300a 和第二陣列 300b 的彼此的位元線和反轉位元線藉由使用多個電晶體的開閉器彼此連接。

此外，組 400 具備組驅動電路 490。組驅動電路 490 將根據行選擇信號使開閉器處於導通狀態的信號輸出到閘極線，並選擇配置在根據行選擇信號選擇的陣列中的一個字線。

此外，在組驅動電路 490 中，除了指定行的行解碼器以外，還可以設置讀出用的預充電電路或差動放大電路、寫入用的緩衝電路。

< 第一步驟 >

首先，運算裝置將包括第一位元列和第二位元列的位址輸出到本發明的一個方式的半導體記憶體裝置。

控制電路將選擇對應第一位元列的行的行選擇信號以及選擇第一陣列的第一陣列選擇信號輸出到記憶部。此外，將

第二位元列輸出到設置在比較部中的 i 個比較電路。

在設置在記憶部中的 i 個組的每一個中，第一陣列由第一陣列選擇信號選擇。此外，由第一陣列選擇信號選擇的陣列中的第一行由行選擇信號選擇。

使用圖 5 所示的時序圖及圖 12 所示的流程圖說明組 400 的工作。此外，在圖 5 中，信號 1501 對應流過在第一字線 451 的信號，信號 1502 對應流過在第二字線 461 的信號，且信號 1503 對應流過在第一閘極線 450a 的信號。此外，信號 1504 對應流過在第一位元線 401a 的信號，信號 1505 對應流過在第一反轉位元線 401b 的信號，信號 1506 對應流過在第二位元線 402a 的信號，信號 1507 對應流過在第二反轉位元線 402b 的信號。此外，信號 1508 對應從第一輸出信號線 118 輸出的信號，信號 1509 對應從第二輸出信號線 119 輸出的信號，信號 1510 對應輸入到第一輸入信號線 125 的信號，且信號 1511 對應輸入到第二輸入信號線 126 的信號。

此外，作為初期狀態說明如下情況：“High”（H）的資料儲存在圖 4A 所示的單元 111 的第一節點 105（“Low”（L）的資料儲存在第二節點 106），L 的資料儲存在單元 112 的第一節點 105（H 的資料儲存在第二節點 106），L 的資料儲存在單元 121 的第一節點 105（H 的資料儲存在第二節點 106），H 的資料儲存在單元 122 的第一節點 105（L 的資料儲存在第二節點 106）。

在時刻 T1 以前，預先將第一位元線 401a（信號 1504

) 和第一反轉位元線 401b (信號 1505) 以及第二位元線 402a (信號 1506) 和第二反轉位元線 402b (信號 1507) 設定為中間電位 (也稱為預充電)。

在時刻 T1 到時刻 T2 之間, 使第一字線 451 (信號 1501) 處於 H。由此, 對應於第一單元 111 的第一節點 105 的電位 (H) 而第一位元線 401a (信號 1504) 變為 H, 對應於第二節點 106 的電位 (L) 而第一反轉位元線 401b (信號 1505) 變為 L。此外, 對應於第二單元 112 的第一節點 105 的電位 (L) 而第二位元線 402a (信號 1506) 變為 L, 對應於第二節點 106 的電位 (H) 而第二反轉位元線 402b (信號 1507) 變為 H。

在時刻 T2 中, 組驅動電路 490 提取第一位元線 401a (信號 1504) 和第一反轉位元線 401b (信號 1505) 的信號, 且將對應的資料 (H) 輸出到第一輸出信號線 118 (信號 1508)。與此同樣, 組驅動電路 490 提取第二位元線 402a (信號 1506) 和第二反轉位元線 402b (信號 1507) 的信號, 並且將對應的資料 (L) 輸出到第二輸出信號線 119 (信號 1509)。像這樣, 組驅動電路 490 讀出儲存在第一陣列的第一行中的資料 (圖 12 中的第一讀出 51)。此外, 儲存在第一行的標籤場中的資料被輸出到連接到第一單元的比較電路。

<第二步驟>

設置在比較部的 i 個比較電路的每一個對從對應位址

的第一位元列的行的標籤場讀出的資料與在第一步驟中控制電路所輸出的位址的第二位元列進行比較（圖 12 中的比較 52）。

從標籤場讀出的資料和位址的第二位元列一致的比較電路輸出快取記憶體命中信號，且兩者不一致的比較電路將快取記憶體缺失信號輸出到選擇電路。

<第三步驟>

選擇電路從設置在與輸出快取記憶體命中信號的比較電路連接的組的陣列的符合的行的資料場將主資料與快取記憶體命中信號一起輸出，而進入第六步驟（圖 12 中的主資料輸出 53）。在除此以外的情況下，進入第四步驟。

<第四步驟>

此外，當在設置在比較部的比較電路連接的組的任何一個中找不到其儲存在標籤場的資料與第二位元列一致的行時，比較電路將快取記憶體缺失信號輸出到控制電路。

<第五步驟>

當有 i 個陣列中尚未被選擇的陣列時，控制電路根據快取記憶體缺失信號將從沒有被選擇的陣列中選擇一個的陣列選擇信號輸出到記憶部，且將位址的第二位元列輸出到比較部而進入第二步驟。明確地說，當由第一陣列選擇信號選擇的陣列輸出快取記憶體缺失信號時，輸出第二陣

列選擇信號而進入第二步驟。此外，由第二陣列選擇信號選擇的陣列輸出快取記憶體缺失信號時，輸出第三陣列選擇信號而進入第三步驟。像這樣，反復將到第 j 陣列選擇信號的陣列選擇信號按順序輸出到比較部，且返回上述第二步驟的工作（圖 12 中的判斷 54 及第 p （ p 是 1 以上且 j 以下的自然數）的讀出 55）。注意，因為搜索的位址是同樣的，所以既可以重新輸出行選擇信號，但是又可以每當輸出陣列選擇信號時重新輸出行選擇信號。此外，在記憶部的 i 個陣列都被選擇之後，而進入第六步驟。

此外，在本實施方式所示的組 400 中，多個陣列藉由使用電晶體的開閉器串聯連接。當從這種結構的組中選擇第二陣列至第 j 陣列中的任何一個時，以目的的陣列的位元線和反轉位元線連接到組驅動電路 490 的方式，與陣列選擇信號一起輸出控制使用電晶體的開閉器的閘極信號。

例如，當選擇第二陣列 300b 時，在從時刻 $T3$ 到時刻 $T4$ 之間使第一閘極線 450a（信號 1503）處於 H，並且將第一陣列 300a 和第二陣列 300b 串聯連接（參照圖 5）。

另外，將第一位元線 401a（信號 1504）和第一反轉位元線 401b（信號 1505）以及第二位元線 402a（信號 1506）和第二反轉位元線 402b（信號 1507）設定為中間電位。

接著，在從時刻 $T4$ 到時刻 $T5$ 之間，使第二字線 461（信號 1502）處於 H。由此，對應於第三單元 121 的第一節點 105 的電位（L）而第一位元線 401a（信號 1504）變

爲 L，並且對應於第二節點 106 的電位 (H) 而第一反轉位元線 401b (信號 1505) 變爲 H。此外，對應於第四單元 122 的第一節點 105 的電位 (H) 而第二位元線 402a (信號 1506) 變爲 H，並且對應於第二節點 106 的電位 (L) 而第二反轉位元線 402b (信號 1507) 變爲 L。

在時刻 T5 中，組驅動電路 490 提取第一位元線 401a (信號 1504) 和第一反轉位元線 401b (信號 1505) 的信號，並且將對應的資料 (L) 輸出到第一輸出信號線 118 (信號 1508)。與此相同，組驅動電路 490 提取第二位元線 402a (信號 1506) 和第二反轉位元線 402b (信號 1507) 的信號，並且將對應的資料 (H) 輸出到第二輸出信號線 119 (信號 1509)。像這樣，組驅動電路 490 讀出儲存在第二陣列的第一行的資料。此外，儲存在第一行的標籤場的資料被輸出到連接到第一單元的比較電路。

設置在比較部中的 i 個比較電路的每一個對從對應位址的第一位元列的行的標籤場讀出的資料與在第一步驟中控制電路所輸出的位址的第二位元列進行比較，而從第二步驟進入第三步驟。

<第六步驟>

當從選擇電路輸入快取記憶體命中信號及主資料時，控制電路將快取記憶體命中信號及主資料輸出到外部輸出端子。

此外，說明即使選擇第一陣列至第 j 陣列中的任何一

個，快取記憶體缺失信號也從比較電路輸入到選擇電路的情況。當根據選擇最後選擇的陣列（明確地說，第 j 陣列）的選擇信號從選擇電路輸入快取記憶體缺失信號時，控制電路將快取記憶體缺失信號輸出到運算裝置（圖 12 中的缺失信號輸出 56）。

上述本發明的一個方式的半導體記憶體裝置的驅動方法是如下：控制電路根據快取記憶體命中或快取記憶體缺失的判斷，搜索一次以上且 j 次以下預先分配有位址的第一位元列的 $i \times j$ 個的行，而指定儲存有符合的資料的行。

由此，可以根據快取記憶體命中信號或快取記憶體缺失信號結束設置在記憶部的行的搜索。並且，可以減少得到快取記憶體命中之前所要搜索的行的個數，且可以抑制讀出工作及比較工作所需要的耗電量。其結果是，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度快且降低耗電量的半導體記憶體裝置。

<對行的寫入工作>

此外，當符合的資料沒有儲存在 $i \times j$ 個行中的任何一個行中並且將快取記憶體缺失信號輸出到運算裝置時，運算裝置從主記憶體獲得資料。並且，本發明的一個方式的半導體記憶體裝置也可以選擇任何組中的符合的行，並改寫為從主記憶體獲得的新資料（圖 12 中的改寫判斷 57）。作為選擇改寫資料的組的方法，可以使用如下改寫演算法：將最遠使用的行作為儲存的地方確定，並且對該行重

寫新資料的 LRU (Least Recently Used: 最近最少使用) 方式; 選擇其使用頻率最少的組的 LFU (Least Frequently Used: 最不經常使用) 方式; 或者選擇最初儲存資料的組的 FIFO (First In First Out: 先進先出) 方式等。當使用任何方式時, 都不進行改寫的組保持資料 (圖 12 中的資料保持 58), 並且進行改寫的組寫入新資料 (圖 12 中的資料寫入工作 59)。

接著, 說明對可以用於本發明的一個方式的半導體記憶體裝置的組的寫入工作。預先將第一位元線 401a (信號 1504) 和第一反轉位元線 401b (信號 1505) 以及第二位元線 402a (信號 1506) 和第二反轉位元線 402b (信號 1507) 設定為中間電位。

例如, 當將 H 寫入到第一單元 111 和第二單元 112 時, 使第一節點 105 的電位都處於 H, 並且使第二節點 106 的電位都處於 L。

在從時刻 T7 到時刻 T8 之間, 使第一位元線 401a (信號 1504) 處於 H, 並且使第一反轉位元線 401b (信號 1505) 處於 L。此外, 使第二位元線 402a (信號 1506) 處於 H, 並且使第二反轉位元線 402b (信號 1507) 處於 L。並且, 使第一字線 451 (信號 1501) 處於 H。

由此, 可以將資料儲存在設置在第一陣列 300a 的第一行中的第一單元 111 和第二單元 112 中。

此外, 例如, 當將 L 寫入到第三單元 121 和第四單元 122 時, 使第一節點 105 的電位都處於 L, 並且使第二節

點 106 的電位都處於 H。

首先，在從時刻 T8 到時刻 T9 之間使第一閘極線 450a (信號 1503) 處於 H，並且將第一陣列 300a 和第二陣列 300b 串聯連接。

接著，在從時刻 T9 到時刻 T10 之間，使第一位元線 401a (信號 1504) 處於 L，並且使第一反轉位元線 401b (信號 1505) 處於 H。此外，使第二位元線 402a (信號 1506) 處於 L，並且使第二反轉位元線 402b (信號 1507) 處於 H。然後，使第二字線 461 (信號 1502) 處於 H。

由此，可以將資料儲存在設置在第二陣列 300b 的第一行中的第三單元 121 和第四單元 122 中。

上述本發明的一個方式的半導體記憶體裝置包括：記憶部，該記憶部具備 i (i 是自然數) 個組，該 i 個組設置有 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列具備 k (k 是 2 以上的自然數) 個預先分配有位址的第一位元列的任何一個的行；比較部；以及控制電路。此外，藉由使用比較部比較一次以上且 j 次以下預先分配有目的的位址的第一位元列的 $i \times j$ 個行的標籤場與目的的位址的第二位元列，以搜索儲存有由該位址指定的資料的行，從控制部輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料。

由此，可以根據快取記憶體命中信號的輸出結束設置在記憶部的行的搜索。並且，可以減少得到快取記憶體命中之前所要搜索的行的個數，可以抑制讀出工作及比較工作所需要的耗電量。其結果是，可以提供一種降低訪問設

置在外部的低速記憶體裝置的頻率，提高處理速度快且降低耗電量的半導體記憶體裝置。

另外，本實施方式可以與本說明書所示出的其他實施方式適當地組合。

實施方式 3

在本實施方式中，參照圖 6 說明可以用於本發明的一個方式的半導體記憶體裝置的記憶部的結構。明確地說，說明藉由具備重疊地設置在多個陣列的電晶體的開閉器，使該多個陣列串聯連接的結構。

圖 6 示出可以用於本發明的一個方式的記憶部的剖面圖。明確地說，示出如下結構：藉由包括電晶體 720 的開閉器 750，使設置在第一陣列 730a 的單元的電晶體 710a 和設置在第二陣列 730b 的單元的電晶體 710b 串聯連接的結構。

設置在本實施方式所示的記憶部的陣列（明確地說，第一陣列 730a 和第二陣列 730b）的單元具備 SRAM。此外，該 SRAM 由其通道形成區具備氧化物半導體以外的半導體層的電晶體構成。明確地說，設置在第一陣列 730a 及第二陣列 730b 的單元都形成在矽單晶的基板 701，並且第一陣列 730a 具備包括電晶體 710a 的 SRAM，且第二陣列 730b 具備包括電晶體 710b 的 SRAM。

此外，作為氧化物半導體以外的半導體材料，例如可以使用矽、銻、矽銻、碳化矽或砷化銻等。另外，也可以

使用有機半導體材料等。

此外，任何半導體材料既可以包括非晶狀態，又可以包括結晶狀態，但是當使用單晶半導體基板時，可以製造能夠高速地工作的電晶體，所以是較佳的。

此外，可以應用 SOI 基板等。“SOI 基板”一般是指在絕緣表面上設置有矽半導體膜的基板，但是在本說明書等中，“SOI 基板”包括在絕緣表面上設置有含有矽以外的材料的半導體膜的基板。也就是說，“SOI 基板”所具有的半導體膜不侷限於矽半導體膜。另外，SOI 基板還包括在玻璃基板等的絕緣基板上隔著絕緣層而設置有半導體膜的基板。

此外，本實施方式中例示的開閉器 750 所具備的電晶體 720 在其通道形成區具備其能隙大於矽半導體的 1.12eV 的半導體材料。例如，可以使用其通道形成區具備能隙為 2.5eV 以上，較佳為 3.0eV 以上的半導體材料的電晶體，明確地說，可以使用其通道形成區具備氧化物半導體、氮化物半導體、氧氮化物半導體、碳化物半導體、呈現半導體特性的鑽石薄膜等的電晶體。與其通道形成區具備其能隙為 1.12eV 的矽半導體的電晶體相比，其通道形成區具備能隙為 2.5eV 以上的半導體材料的電晶體可以降低截止洩汲極電流。

電晶體 710a 和電晶體 710b 由元件隔離絕緣層 702 圍繞，並且在電晶體 710a 和電晶體 720 之間以及在電晶體 710b 和電晶體 720 之間設置有絕緣層 703 及絕緣層 704。

在絕緣層 703 及絕緣層 704 中，設置有到達電晶體 710a 的源極電極和汲極電極中的一方的開口部以及到達電晶體 710b 的源極電極和汲極電極中的一方的開口部。並且，藉由開口部電晶體 720 的第一電極 726a 與電晶體 710a 的源極電極和汲極電極中的一方連接，並且藉由開口部電晶體 720 的第二電極 726b 與電晶體 710b 的源極電極和汲極電極中的一方連接。

此外，設置在第一陣列 730a 的未圖示的一方位元線與電晶體 720 的第一電極 726a 電連接。此外，設置在第二陣列 730b 的未圖示的另一方位元線與電晶體 720 的第二電極 726b 電連接。由此，當使電晶體 720 處於導通狀態時，可以一方位元線與另一方位元線電連接。

在本實施方式所示的記憶部中，在形成有使用氧化物半導體以外的半導體的電晶體的基板上設置有使用具備氧化物半導體層的電晶體的開閉器。藉由採用這種結構，可以將例如使用氧化物半導體以外的半導體的進行高速工作的電晶體與降低其截止洩汲極電流的使用氧化物半導體的電晶體組合而使用。其結果，可以提供有效地利用氧化物半導體以外的半導體和降低其截止洩汲極電流的氧化物半導體的優點的開閉器以及具備該開閉器的記憶部。

由此，可以提供一種降低訪問設置在外部的低速記憶體裝置的頻率，提高處理速度且降低耗電量的半導體記憶體裝置。

另外，本實施方式可以與本說明書所示出的其他實施

方式適當地組合。

實施方式 4

在本實施方式中，說明可以用於本發明的一個方式的半導體記憶體裝置所具備的開閉器的其通道形成區具備能隙為 2.5eV 以上的半導體材料的電晶體的結構。此外，在實施方式 5 中說明本實施方式所示的電晶體的製造方法。

使用圖 7D 說明本實施方式所示的電晶體的結構。圖 7D 示出電晶體的剖面。

本實施方式所示的電晶體 710 包括：基板 701 上的成爲基底的絕緣層 704；氧化物半導體層 713；閘極絕緣層 712；閘極電極 711；用作源極電極或汲極電極的電極 751 和電極 752；以及保護電晶體的絕緣層 705。

<成爲基底的絕緣層的結構>

成爲基底的絕緣層 704 具有絕緣表面，並成爲被形成通道的氧化物半導體層 713 的基底。

成爲基底的絕緣層 704 例如既可以具有包括選自氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧氮化鋁、氮氧化鋁、氧化鉛、氧化鎘等中的一種或多種材料的層的單層結構，又可以具有它們的兩層以上的疊層結構。

<氧化物半導體層>

被形成通道的氧化物半導體層 713 隔著閘極絕緣層 712 與閘極電極 711 重疊，並與夾著閘極電極 711 設置的電極 751 和電極 752 電連接。此外，電極 751 和電極 752 用作源極電極或汲極電極。

將被形成通道的氧化物半導體層 713 的厚度設定為 2nm 以上且 200nm 以下，較佳為 5nm 以上且 30nm 以下。

此外，也可以不將氧化物半導體層 713 加工為島狀。

氧化物半導體層 713 既可以是單晶，又可以是非單晶。當採用後者時，可以具有包含非晶的結構，又可以具有含有具有結晶性的部分的結構，還可以具有在非晶中含有具有結晶性的部分的結構。此外，可以是非晶，也可以是多晶，還可以是非非晶。

作為具有結晶性的氧化物半導體層的一個例子，可以舉出具有 c 軸配向結晶 (CAAC: c-axis aligned crystals) 的氧化物半導體層。此外，在實施方式 7 中說明具有 c 軸配向結晶的氧化物半導體層的詳細。

氧化物半導體層 713 較佳為具有相對於其化學計量比包含過剩的氧的結構。藉由包含過剩的氧，可以抑制起因於金屬氧化物層的氧缺損的載子的生成。

氧化物半導體層 713 至少包含銦 (In) 或鋅 (Zn) 較佳。尤其是，較佳為包含 In 和 Zn。

另外，較佳為還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑較佳為具有錫 (Sn)。另

外，作為穩定劑較佳為具有鈦（Hf）。另外，作為穩定劑較佳為具有鋁（Al）。

另外，作為其他穩定劑，可以具有鑷系元素的鑷（La）、鈰（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鎔（Eu）、釱（Gd）、錽（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鑷（Yb）、鑷（Lu）中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

這裏，例如 In-Ga-Zn-O 類的材料是指包含銦（In）、

鎵 (Ga) 和鋅 (Zn) 的氧化物，並且對其成分比沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。例如，可以包含 SiO_2 。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 表示的材料。這裏，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 表示的材料。

但是，所公開的發明不侷限於此，可以根據所需要的半導體特性（遷移率、閾值、不均勻性等）而使用適當的組成的氧化物。另外，較佳為採用適當的載子濃度、雜質濃度、缺陷密度、金屬元素和氧的原子數比、原子間結合距離以及密度等，以得到所需要的半導體特性。

<閘極絕緣層>

閘極絕緣層 712 可以使用氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鎵、氧化鋁、氧氮化鋁、氧化鉭等。

閘極絕緣層 712 也可以使用高介電常數 (high-k) 材料。作為高介電常數的例子，可以舉出氧化鈣、氧化鈮、氧化釧、矽酸鈣 (HfSi_xO_y ($x > 0$, $y > 0$))、鋁酸鈣 (HfAl_xO_y ($x > 0$, $y > 0$))、添加有氮的矽酸鈣 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))、添加有氮的鋁酸鈣 ($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x > 0$, $y > 0$, $z > 0$))。

閘極絕緣層 712 既可以具有單層結構，又可以具有疊

層結構。例如，可以採用包含 high-k 材料的層與包含選自氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的材料的層的疊層結構。

藉由將閘極絕緣層 712 的厚度減薄或者將上述 high-k 材料用於閘極絕緣層 712 的材料，可以使電晶體微型化而不損環工作特性。

例如，當使用氧化矽時，將閘極絕緣層 712 的厚度可以設定為 1nm 以上且 100nm 以下，較佳為 10nm 以上且 50nm 以下。

另一方面，當使用 high-k 材料時，可以不將其厚度減薄為使電晶體微型化而不產生起因於隧道效應等的閘極漏的程度。

此外，可以將包含第 13 族元素及氧的絕緣材料適用於閘極絕緣層 712。注意，包含第 13 族元素的絕緣材料是指絕緣材料包含一種或多種第 13 族元素。

例如，可以舉出氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等作為包含第 13 族元素及氧的絕緣材料的一個例子。在此，氧化鋁鎵是指鋁的含量（原子%）多於鎵的含量（原子%）的物質，氧化鎵鋁是指鎵的含量（原子%）為鋁的含量（原子%）以上的物質。

在很多情況下，氧化物半導體材料含有第 13 族元素，並且包含第 13 族元素的絕緣材料與氧化物半導體材料的匹配良好。從而，藉由將包含第 13 族元素及氧的絕緣材料用於接觸於氧化物半導體層的絕緣層，可以使與氧化

物半導體層的介面保持為良好狀態。

例如，當以接觸於含有鎵的氧化物半導體層的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以使氧化物半導體層和閘極絕緣層之間的介面特性保持為良好。

另外，藉由使氧化物半導體層與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體層與絕緣層的介面中的氫的聚積。

例如，使用包含氧化鋁的材料形成絕緣層也是有效的。另外，由於氧化鋁具有不容易透過水的特性，因此從防止水侵入到氧化物半導體層中的角度來看，使用該材料是較佳的。

這樣，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到上述同樣的效果。

<閘極電極>

閘極電極 711 隔著閘極絕緣層 712 與氧化物半導體層 713 重疊，並起到電晶體 710 的閘極電極的作用。

閘極電極 711 既可以具有包含導電材料的層的單層結構，也可以具有兩層以上的疊層結構。

導電材料可以是能夠耐受熱處理製程的材料，例如可以使用選自鉬、鈦、鉭、鎢、鋁、銅、鈳、鈳等中的一種金屬或包含選自它們中的一種金屬的合金。

此外，也可以使用以摻雜磷等雜質元素的多晶矽層為

代表的半導體層以及鎳矽化物等矽化層。

<閘極電極上的絕緣層及側壁>

閘極電極上的絕緣層 714a 與閘極電極 711 重疊並具有絕緣性。

側壁 714b 與閘極絕緣層 712、閘極電極 711 以及閘極電極上的絕緣層 714a 的層疊體的側面接觸，並具有絕緣性。

<源極電極及汲極電極>

電極 751 和電極 752 都電連接到氧化物半導體層 713，並起到該電晶體的源極電極和汲極電極的作用。

用作源極電極或汲極電極的電極既可以具有包含導電材料的層的單層結構，又可以具有兩層以上的疊層結構。

導電材料可以是能夠耐受熱處理製程的材料，例如可以使用選自鋁、鉻、銅、鈦、鉭、鉬和鎢中的一種金屬或包含選自它們中的一種金屬的合金。此外，可以使用選自錳、鎂、鋅、鈹、釷和鈾中的一種金屬或包含選自它們中的一種金屬的合金。

此外，導電材料可以使用金屬氮化物。明確地說，可以舉出氮化鈦、氮化鉬、氮化鎢等作為其例子。

此外，導電材料也可以使用導電金屬氧化物。明確地說，可以使用氧化銦、氧化錫、銦-錫氧化物（也稱為 ITO）、銦-鋅氧化物、氧化鋅、添加有鎘或鋁的氧化鋅或包

使上述金屬氧化物包含氧化矽的材料。

此外，導電材料可以使用石墨烯等。

例如，可以舉出由鈦或氮化鈦構成的單層結構、包含矽的鋁的單層結構、在鋁層上層疊有鈦層的兩層結構、在氮化鈦層上層疊有鈦層的兩層結構、層疊有鈦層、鋁層以及鈦層的三層結構等。

此外，電晶體的通道長度（L）根據接觸於氧化物半導體層的源極電極的端部和接觸於氧化物半導體層的汲極電極的端部之間的間隔而決定。

<保護電晶體的絕緣層>

保護電晶體的絕緣層 705 是防止水分等雜質從外部侵入而保護電晶體的層。

將絕緣層 705 的厚度至少設定為 1nm 以上。

絕緣層 705 既可以具有包含具有阻擋性的絕緣體的層的單層結構，又可以具有兩層以上的疊層結構。

尤其是，較佳為採用包含氧化鋁的結構，也可以採用氧化鋁層與包含其他無機絕緣材料的層的疊層結構。這是因為氧化鋁不容易透過水分、氧、其他雜質。

此外，絕緣層 705 也可以是具有氧過剩區域的氧化物絕緣層與氧化鋁層的層疊體，且具有在氧化物半導體層一側設置具有氧過剩區域的氧化物絕緣層的結構。

具有氧過剩區域的氧化物絕緣層例如可以使用氧化矽膜、氧氮化矽膜等。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 5

在本實施方式中，使用圖 7A 至圖 7D 說明實施方式 4 所說明的其通道形成區具備其能隙為 2.5eV 以上的半導體材料的電晶體 710 的製造方法。

<成爲基底的絕緣層的形成>

首先，形成成爲被形成通道的氧化物半導體層的基底的絕緣層 704。成爲基底的絕緣層 704 在基板 701 上利用電漿 CVD 法或濺射法等形成。

基板 701 具有在形成成爲基底的絕緣層的製程以後的製程中能夠耐受處理的程度的耐熱性即可，並且對其大小沒有限制。

基板 701 可以預先設置有其他半導體元件。

作爲基板 701，例如可以使用硼矽酸鋇玻璃或硼矽酸鋁玻璃等玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，還可以應用由矽或碳化矽等構成的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等。

作爲基板 701 可以使用具有撓性的基板。既可以在撓性基板上直接製造電晶體，又可以在另一個製造基板上製造電晶體，然後將該電晶體剝離且轉置轉置到撓性基板上

。此外當將該電晶體從製造基板剝離且轉置到撓性基板上時，較佳在製造基板與包括氧化物半導體層的電晶體之間設置剝離層。

<氧化物半導體層的形成>

接著，將被形成通道的氧化物半導體層 713 設置在成爲基底的絕緣層 704 上。

氧化物半導體層可以利用濺射法、分子束外延法、原子層沉積法或者脈衝雷射沉積法形成。

例如，當作爲氧化物半導體使用 In-Ga-Zn-O 類材料時，可以使用靶材形成。作爲靶材的材料及其成分比可以使用多種材料，例如可以使用包含其比率爲 1:1:1[mol 數比] (=In₂O₃:Ga₂O₃:ZnO) 的 In₂O₃、Ga₂O₃ 和 ZnO 的氧化物靶材。此外，例如，可以使用包含其比率爲 1:1:2[mol 數比] (=In₂O₃:Ga₂O₃:ZnO) 的 In₂O₃、Ga₂O₃ 和 ZnO 的氧化物靶材。

另外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材中的金屬元素的原子數比爲 In:Zn=50:1 至 1:2 (換算爲莫耳數比則爲 In₂O₃:ZnO=25:1 至 1:4)，較佳爲 In:Zn=20:1 至 1:1 (換算爲莫耳數比則爲 In₂O₃:ZnO=10:1 至 1:2)，更佳爲 In:Zn=15:1 至 1.5:1 (換算爲莫耳數比則爲 In₂O₃:ZnO=15:2 至 3:4)。例如，作爲用於形成 In-Zn-O 類氧化物半導體的靶材，當原子數比爲 In:Zn:O=X:Y:Z 時，滿足 $Z > 1.5X + Y$ 。

此外，例如，當氧化物半導體使用 In-Sn-Zn-O 類材料時，可以使用靶材形成。作為靶材可以使用多種成分比，例如包含其原子數比的比率為 1:2:2 (=In:Sn:Zn) 的 In、Sn 和 Zn 的氧化物靶材。此外，例如包含其原子數比的比率為 2:1:3 (=In:Sn:Zn) 的 In、Sn 和 Zn 的氧化物靶材。此外，例如包含其原子數比的比率為 1:1:1 (=In:Sn:Zn) 的 In、Sn 和 Zn 的氧化物靶材。此外，例如包含其原子數比的比率為 20:45:35 (=In:Sn:Zn) 的 In、Sn 和 Zn 的氧化物靶材。

此外，靶材的相對密度為 90%以上且 100%以下，較佳為 95%以上且 99.9%以下。藉由使用相對密度高的靶材，可以使所形成的氧化物半導體層為緻密的膜。

另外，可以將氧化物半導體層形成為其載子密度低的實際上 I 型。在實施方式 6 中說明其詳細方法。

接著，藉由光微影製程形成光阻掩罩，並且使用該光阻掩罩選擇性地蝕刻氧化物半導體層而將它形成為島狀（參照圖 7A）。

此外，藉由在使光阻掩罩後退的同時進行蝕刻，可以使氧化物半導體層的端部為錐形形狀。當將島狀的氧化物半導體層的端部形成為錐形形狀時，可以防止在本製程之後形成的層的斷開，並提高覆蓋性。

<閘極絕緣層、閘極電極及閘極電極上的絕緣層的形成>

接著，在氧化物半導體層 713 上形成閘極絕緣層 712

、閘極電極 711 及閘極電極上的絕緣層 714a 的層疊體。

成爲閘極絕緣層的絕緣層及成爲閘極電極上的絕緣層的絕緣層利用電漿 CVD 法或濺射法等形成。

成爲閘極電極的導電層利用濺射法等形成。

接著，藉由光微影製程形成光阻掩罩，並且利用該光阻掩罩對成爲閘極絕緣層的絕緣層、成爲閘極電極的導電層及成爲閘極電極上的絕緣層的絕緣層進行蝕刻來形成閘極絕緣層 712、閘極電極 711 及閘極電極上的絕緣層 714a 的層疊體。

<側壁的形成>

接著，以接觸於閘極絕緣層 712、閘極電極 711 及閘極電極上的絕緣層 714a 的層疊體的側面的方式形成側壁 714b。

成爲側壁的絕緣層利用電漿 CVD 法或濺射法等形成。

接著，進行各向異性蝕刻，而殘留接觸於層疊體的側面的絕緣層來形成側壁（參照圖 7B）。

<用作源極電極或汲極電極的電極的形成>

接著，形成用作源極電極或汲極電極的電極 751 和電極 752。

包括成爲源極電極或汲極電極的導電材料的層利用濺射法等形成。

接著，藉由光微影製程形成光阻掩罩，並且使用該光阻掩罩選擇性地蝕刻包括導電材料的層來形成電極 751 和電極 752（參照圖 7C）。此外，由與此相同的包括導電材料的層構成的佈線等（未圖示）也藉由與此相同的製程形成。

此外，當形成其通道長度（L）為 10nm 以上且 1000nm（1 μ m）以下，尤其是短於 25nm 的電晶體時，較佳為使用波長短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）形成掩模。這是因為利用超紫外線時的解析度高且景深大。

此外，較佳將用作源極電極或汲極電極的電極的端部形成為錐形形狀。當將用作源極電極或汲極電極的電極的端部形成為錐形形狀時，可以防止在本製程之後形成的層（例如，閘極絕緣層）的斷開，並提高覆蓋性。另外，將錐形的角度較佳為設定為 30°以上且 60°以下。

此外，當作為包括導電材料的層採用鈦層或氮化鈦層的單層結構時，容易加工為具有錐形形狀的源極電極及汲極電極。

<保護電晶體的絕緣層的形成>

接著，形成保護電晶體的絕緣層 705。

保護電晶體的絕緣層利用電漿 CVD 法或濺射法等形成。

由上述製程，可以製造將氧化物半導體材料用於被形

成通道的區域的電晶體 710。

此外，在本實施方式中使用的光阻掩罩不侷限於藉由光微影製程形成的光阻掩罩。除了光微影法以外，可以適當地使用噴墨法、印刷法等而形成。當形成光阻掩罩而不使用光掩模時，可以減少半導體裝置的製造成本。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 6

在本實施方式中，說明在可以用於本發明的一個方式的半導體記憶體裝置所具備的開閉器的電晶體中可以使用的氧化物半導體層的形成方法。明確地說，使用圖 8A 至圖 8D 說明降低其載子密度的實際上 I 型的氧化物半導體層的製造方法。

<成爲基底的絕緣層的結構及其製造方法>

在基板 501 上形成絕緣層 504。成爲被形成通道的氧化物半導體層的基底的絕緣層 504 中的至少與氧化物半導體層接觸的區域較佳爲具有包括藉由熱處理氧脫離的絕緣層的結構。這是因爲如果絕緣層 504 具有氧過剩區域，則可以防止氧從氧化物半導體層移動到絕緣層 504，且藉由進行後面說明的熱處理可以將氧從絕緣層 504 供應到氧化物半導體層中。

當成爲基底的絕緣層具有疊層結構時，較佳爲具有在

氧化物半導體層一側具備具有氧過剩區域的氧化物絕緣層的結構。

例如，成爲基底的絕緣層較佳爲具有從氧化物半導體層一側按順序具有氧過剩區域的氧化矽層和氧化鋁層的疊層結構。

在本說明書等中，“藉由熱處理氧脫離”是指當利用 TDS (Thermal Desorption Spectroscopy: 熱脫附譜分析法) 分析時，換算爲氧原子的氧的脫離量 (或者釋放量) 爲 $1.0 \times 10^{18} \text{cm}^{-3}$ 以上，較佳爲爲 $3.0 \times 10^{20} \text{cm}^{-3}$ 以上。此外，“藉由熱處理氧不脫離”是指當利用 TDS 分析時，換算爲氧原子的氧的脫離量 (或者釋放量) 小於 $1.0 \times 10^{18} \text{cm}^{-3}$ 。

作爲藉由熱處理氧脫離的絕緣層的製造方法，可以舉出在氧氣氛圍下進行成膜的方法或者在進行成膜之後注入氧 (至少包含氧自由基、氧原子以及氧離子中的任何一個) 的方法等。

作爲氧的注入方法，可以使用離子植入法、離子摻雜法、電漿浸沒式離子植入法 (Plasma-immersion ion implantation method)、電漿處理等。

<雜質濃度降低的氧化物半導體層的形成方法 1: 成膜方法
>

在成爲基底的絕緣層 504 上形成氧化物半導體層 413a (參照圖 8A)。氧化物半導體層 413a 因成爲後面被形成通道的氧化物半導體層而以儘量排除包含氫原子的雜質的

方式形成。這是因為包含氫原子的雜質對氧化物半導體層容易形成施體能階。

作為製造包含氫原子的雜質降低的氧化物半導體層的方法，較佳為利用濺射法形成。尤其是，較佳將沒有暴露於大氣的絕緣層用作基底，並且與該絕緣層連續地形成氧化物半導體層的方法。

例如，也可以在利用熱處理或電漿處理去除附著於基板表面的包含氫的雜質之後，以不暴露於大氣的方式形成成為基底的絕緣層，接著以不暴露於大氣的方式形成氧化物半導體層。藉由採用上述方法，可以降低附著於成為基底的絕緣層的表面上的包含氫的雜質，並抑制大氣成分附著於基板與成為基底的絕緣層之間的介面以及成為基底的絕緣層與氧化物半導體層之間的介面。

此外，較佳在利用濺射法形成氧化物半導體層之前，對處理室導入氫氣進行產生電漿的反濺射，來去除附著於成為基底的絕緣層的表面上的粉狀物質（也稱為微粒、塵屑）。

反濺射是指不對靶材一側施加電壓而使用 RF 電源在氫氣氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氫氣氛圍。

此外，較佳為採用使用洩漏率小的處理室形成氧化物半導體層的方法。明確地說，當形成氧化物半導體層時，藉由將濺射裝置的處理室的洩漏率設定為 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$

以下，可以減少當形成膜時混入到氧化物半導體層中的鹼金屬、氫化物等雜質。

此外，較佳為採用在使用吸附型的真空泵（例如，低溫泵等）被排氣的濺射裝置的處理室內形成氧化物半導體層的方法。可以減少鹼金屬、氫原子、氫分子、水、羥基或氫化物等雜質從排氣系統倒流。

此外，較佳為採用對濺射裝置的處理室內供應高純度的氛圍氣體形成氧化物半導體層的方法。明確地說，適當地使用：水、包含羥基的化合物或氫化物等的雜質被去除的高純度稀有氣體（典型為氬）；氧；或稀有氣體和氧的混合氣體。

例如，將氬的純度設定為 9N（99.9999999%）以上（ H_2O 小於 0.1ppb， H_2 小於 0.5ppb），並且將露點設定為 $-121^{\circ}C$ 。此外，將氧的濃度設定為 8N（99.999999%）以上（ H_2O 小於 1ppb， H_2 小於 1ppb），並且將露點設定為 $-112^{\circ}C$ 。

此外，當使用稀有氣體和氧的混合氣體時，較佳為增高氧的流量比率。

〈氧化物半導體層的成膜條件的一個例子〉

作為成膜條件的一個例子可以適用如下條件：基板和靶材之間的距離為 100mm；壓力為 0.6Pa；直流（DC）電源為 0.5kW；氧（氧流量比率為 100%）的氛圍。此外，另外，使用脈衝直流（DC）電源是較佳的，因為可以減少

在成膜時發生的灰塵並可以實現均勻的膜厚度分佈。

<雜質濃度降低的氧化物半導體層的形成方法 2：第一熱處理 >

形成儘量去除包含氫原子的雜質的氧化物半導體層 413b (參照圖 8B)。

作為製造降低包含氫原子的雜質的氧化物半導體層的方法，為了降低氧化物半導體層中的水分或氫等雜質（也稱為脫水化或脫氫化），較佳為採用對氧化物半導體層進行第一熱處理的方法。

當進行第一熱處理時，作為接觸於氧化物半導體層的絕緣層較佳為使用藉由熱處理氧脫離的絕緣層。這是因為當進行第一熱處理時，氧也與包含氫原子的雜質一起從氧化物半導體層釋放。氧釋放了的氧化物半導體層中產生的氧缺損的一部分成為施體，而在氧化物半導體層中產生載子，有可能影響到電晶體的特性。

將第一熱處理的溫度例如設定為 150℃ 以上且低於基板的應變點，較佳為設定為 250℃ 以上且 450℃ 以下，更佳為 300℃ 以上且 450℃ 以下。

將進行第一熱處理的時間設定為 3 分鐘至 24 小時。因為超過 24 小時的熱處理會導致生產率的降低，所以不是較佳的。

在氧化氛圍或惰性氛圍下進行第一熱處理。這裏，氧化氛圍是指包含 10ppm 以上的氧化氣體諸如氧、臭氧或氧

化氮等的氛圍。此外，惰性氛圍是指包含低於 10ppm 的上述氧化氣體且用氮或稀有氣體填充的氛圍。

例如，在如下氛圍下進行第一熱處理：在減壓氛圍下；在氮或稀有氣體等惰性氛圍下；氧氣氛圍下；或使用超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩光譜法）方式的露點儀測量時的水分含量為 20ppm（露點換算為 -55℃）以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）的氛圍下。

此外，氮或氦、氖、氬等稀有氣體不包含水、氫等。另外，將導入到熱處理裝置的氮或氦、氖、氬等稀有氣體的純度設定為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為 0.1ppm 以下）。

對用於第一熱處理的加熱裝置沒有特別的限制。該加熱裝置還可以具備利用來自電阻發熱體等的發熱體的熱傳導或熱輻射對被處理物進行加熱的裝置。

例如，可以使用電爐、LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等的 RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA 裝置是藉由從鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發射的光（電磁波）輻射來加熱被處理物的裝置。GRTA 裝置是使用高溫氣體進行熱處理的裝置。

藉由進行以上的第一熱處理，可以從氧化物半導體層

將氫（包含水、羥基的化合物）釋放。此外，藉由第一熱處理，可以形成降低雜質並為 i 型（本質）或實際上 i 型的氧化物半導體層。

藉由第一熱處理，可以從氧化物半導體層使不穩定的載子源的氫脫離，因此可以抑制電晶體的臨界電壓向負方向漂移。並且，可以提高電晶體的可靠性。

<變形例子>

在進行第一熱處理之後，也可以對氧化物半導體層注入氧（至少包含氧自由基、氧原子、氧離子中的任何一個）。

作為氧的注入方法，可以利用離子植入法、離子摻雜法、電漿浸沒式離子植入法（Plasma-immersion ion implantation method）、電漿處理等。

<閘極絕緣層的結構及其製造方法>

覆蓋被形成通道的氧化物半導體層 513 的閘極絕緣層 512 中的至少接觸於氧化物半導體層的區域較佳為具有包括藉由熱處理氧脫離的絕緣層的結構。這是因為當閘極絕緣層 512 具有氧過剩區域時，可以防止氧從氧化物半導體層 513 移動到閘極絕緣層 512，並且藉由進行後面說明的第二熱處理，將氧從閘極絕緣層 512 供應到氧化物半導體層 513。

當覆蓋被形成通道的氧化物半導體層的絕緣層具有疊

層結構時，較佳為採用在氧化物半導體層一側具備具有氧過剩區域的氧化物絕緣層的結構。

例如，覆蓋被形成通道的氧化物半導體層的絕緣層較佳為具有如下結構：從氧化物半導體層一側依次層疊具有氧過剩區域的氧化矽層以及氧化鋁層的結構。

這是因為氧化鋁層具有不透過氫、水分等雜質與氧的兩者的效果，換言之具有高遮斷效果（阻擋效果），並且當形成氧化鋁層之後進行第二熱處理時，可以防止氧從氧化物半導體層釋放。

<閘極絕緣層、閘極電極及閘極電極上的絕緣層的形成>

接著，在氧化物半導體層 513 上形成閘極絕緣層 512、閘極電極 511 以及閘極電極上的絕緣層 514a 的層疊體。

成為閘極絕緣層的絕緣層及成為閘極電極上的絕緣層的絕緣層利用電漿 CVD 法或濺射法等形成。

成為閘極電極的導電層利用濺射法等形成。

接著，藉由光微影製程形成光阻掩罩，並且使用該光阻掩罩對成為閘極絕緣層的絕緣層、成為閘極電極的導電層以及成為閘極電極上的絕緣層的絕緣層進行蝕刻來形成閘極絕緣層 512、閘極電極 511 以及閘極電極上的絕緣層 514a 的層疊體。

<側壁的形成>

接著，以接觸於閘極絕緣層 512、閘極電極 511 及閘極電極上的絕緣層 514a 的層疊體的側壁的方式形成絕緣層 514b。

成爲側壁的絕緣層利用電漿 CVD 法或濺射法等形成。

接著，進行各向異性蝕刻，而殘留接觸於層疊體的側面的絕緣層來形成側壁。

<供應有氧的氧化物半導體層的製造方法 1：第二熱處理>

被形成通道的氧化物半導體層 513 較佳爲供應有氧的氧化物半導體層。特別佳爲氧缺損被彌補的氧化物半導體層。這是因爲氧缺損的一部分成爲施體而在氧化物半導體層中產生載子，有可能影響到電晶體的特性。

作爲製造供應有氧的氧化物半導體層的方法，可以舉出如下方法：在藉由熱處理氧脫離的絕緣層和被形成通道的氧化物半導體層接觸的狀態下，進行第二熱處理的方法。明確地說，可以使用藉由熱處理氧脫離的絕緣層形成成爲基底的絕緣層或 / 及覆蓋被形成通道的區域的絕緣層，並且藉由進行第二熱處理將氧供應到氧化物半導體層（參照圖 8C）。

另外，第二熱處理只要在以與氧化物半導體層的被形成通道的區域接觸的方式形成包含藉由熱處理氧脫離的絕緣層的絕緣層之後進行，就在任何製程之後也發揮作用。

特別佳的是如下方法：從氧化物半導體層一側依次層

疊具有氧過剩區域的氧化矽層和遮斷效果（阻擋效果）高的氧化鋁層，並且在已形成氧化鋁層的狀態下進行第二熱處理。

第二熱處理可以在氮、氧、超乾燥空氣（水的含量為 20ppm 以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣）或稀有氣體（氬、氦等）的氛圍下進行，但是上述氮、氧、超乾燥空氣或稀有氣體等氛圍較佳為不包含水、氬等。此外，將導入到熱處理裝置的氮、氧或稀有氣體的純度較佳為設定為 6N（99.9999%）以上，更佳為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為 0.1ppm 以下）。

《換算為氧原子的氧的脫離量的測量方法。》

以下，說明藉由 TDS 分析將氧的釋放量換算為氧原子而進行定量的方法。

當進行 TDS 分析時的氣體的脫離量與光譜的積分值成正比。因此，從絕緣層的光譜的積分值以及在標準樣本的基準值所占的比例，可以計算出氣體的脫離量。標準樣本的基準值是指包含所定的原子的樣本的在光譜的積分值中原子密度所占的比例。

例如，從對標準樣本的包含所定密度的氬的矽晶片的 TDS 分析結果及對絕緣層的 TDS 分析結果，使用算式 1 可以算出絕緣層中的氧分子的脫離量（ N_{O_2} ）。在此，假定利用 TDS 分析來得到的被檢出為質量數 32 的所有光譜都

是源自氧分子。作為質量數 32，有 CH_3OH ，但是 CH_3OH 存在的可能性低，所以在此不加考慮。另外，因為包含氧原子同位素的質量數為 17 的氧原子及質量數為 18 的氧原子的氧分子在自然界中的存在比例極微量，所以不加考慮。

$$N_{\text{O}_2} = N_{\text{H}_2} / S_{\text{H}_2} \times S_{\text{O}_2} \times \alpha \quad (\text{算式 1})$$

N_{H_2} 是以密度換算從標準樣本脫離的氫分子的值。 S_{H_2} 是當對標準樣本進行 TDS 分析時的光譜的積分值。在此，將標準樣本的基準值設定為 $N_{\text{H}_2} / S_{\text{H}_2}$ 。 S_{O_2} 是當對絕緣層進行 TDS 分析時的光譜的積分值。 α 是影響到 TDS 分析中的光譜強度的係數。關於算式 1 的詳細情況，可以參照日本專利申請公開 6-275697 號公報。另外，上述氧脫離量的數值是使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W 以包含 $1 \times 10^{16} \text{ cm}^{-3}$ 的氫原子的矽晶片為標準樣本來測量的數值。

此外，在 TDS 分析中，氧的一部作為氧原子而被檢出。氧分子和氧原子的比率可以從氧分子的離子化比率算出。另外，因為上述 α 包括氧分子的離子化比率，所以藉由評估氧分子的脫離量，可以估算出氧原子的脫離量。

注意， N_{O_2} 是氧分子的脫離量。在絕緣層中，當換算為氧原子時的氧脫離量成為氧分子的脫離量的 2 倍。

作為藉由熱處理氧脫離的層的一個例子，有氧過剩的氧化矽 (SiO_x ($x > 2$))。氧過剩的氧化矽 (SiO_x ($x > 2$)) 是指每單位體積的氧原子多於矽原子數的兩倍的氧化矽

。每單位體積的矽原子數及氧原子數為藉由盧瑟福背散射光譜學法測定的值。

<用作源極電極或汲極電極的電極的形成>

接著，形成用作源極電極或汲極電極的電極 551 及電極 552。

利用濺射法等形成包含成為源極電極或汲極電極的導電材料的層。

接著，藉由光微影製程形成光阻掩罩，並且使用該光阻掩罩對包含導電材料的層選擇性地進行蝕刻形成電極 551、電極 552。此外，由包含與此相同的導電材料的層構成的佈線等（未圖示）也利用同一的製程形成。

此外，當形成其通道長度（L）為 10nm 以上且 1000nm（1 μ m）以下，尤其是短於 25nm 的電晶體時，較佳為使用波長短，即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）形成掩模。這是因為利用超紫外線時的解析度高且景深大。

此外，較佳將用作源極電極或汲極電極的電極的端部形成為錐形形狀。當將用作源極電極或汲極電極的電極的端部形成為錐形形狀時，可以防止在本製程之後形成的層（例如，閘極絕緣層）的斷開，並提高覆蓋性。另外，將錐形的角度較佳為設定為 30°以上且 60°以下。

此外，當作為包括導電材料的層採用鈦層或氮化鈦層的單層結構時，容易加工為具有錐形形狀的源極電極及汲

極電極。

<保護電晶體的絕緣層的形成>

接著，形成保護電晶體的絕緣層 505。

利用電漿 CVD 法或濺射法等形成保護電晶體的絕緣層（參照圖 8D）。

如上所述，因為可以抑制被形成通道的氧化物半導體層的載子的生成，所以可以抑制電晶體的特性的變動。此外，可以將每通道幅度 $1\mu\text{m}$ 的截止洩汲極電流抑制為 $1\times 10^{-17}\text{A}$ 以下。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 7

在本實施方式中，說明可以應用於本發明的一個方式的半導體記憶體裝置所具備的開閉器可以使用的電晶體的氧化物半導體層。明確地說，說明具有 c 軸配向結晶的氧化物半導體層。

在本實施方式中，說明包含一種結晶（CAAC: C Axis Aligned Crystal: c 軸配向結晶）的氧化物，該結晶進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從更廣義來理解，含有 CAAC 的氧化物是指非單晶，並是指包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不只由非晶形成。另外，雖然 CAAC 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時，也可以用氮取代氧的一部分。另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於形成 CAAC 的基板面或 CAAC 的表面等的方向）一致。或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於形成 CAAC 的基板面或 CAAC 的表面等的方向）。

CAAC 根據其組成等而成為導體、半導體或絕緣體。另外，CAAC 根據其組成等而呈現對可見光的透明性或不透明性。

作為上述 CAAC 的例子，也可以舉出一種結晶，該結晶被形成為膜狀，並且在該結晶中在從垂直於膜表面或所形成的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 9A 至圖 11C 詳細說明包括在 CAAC。另外，在沒有特別的說明時，在圖 9A 至圖 11C 中，以垂

直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面爲邊界時的上一半或下一半。另外，在圖 9A 至 9E 中，使用圓圈圈上的 O 示出四配位 O ，而使用雙重圓圈圈上的 O 示出三配位 O 。

圖 9A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱爲四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱爲小組。雖然圖 9A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。另外，在圖 9A 的上一半及下一半中分別具有三個四配位 O 。圖 9A 所示的小組的電荷爲 0。

圖 9B 示出具有有一個五配位 Ga 、靠近 Ga 的三個三配位氧原子（以下稱爲三配位 O ）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 9B 的上一半及下一半分別具有有一個四配位 O 。另外，因爲 In 也採用五配位，所以也有可能採用圖 9B 所示的結構。圖 9B 所示的小組的電荷爲 0。

圖 9C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 9C 的上一半具有有一個四配位 O ，並且在下一半具有有三個四配位 O 。或者，也可以在圖 9C 的上一半具有有三個四配位 O ，並且在下一半具有有一個四配位 O 。圖 9C 所示的小組的電荷爲 0。

圖 9D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 9D 的上一半具有有三個四配位 O ，並

且在下一半具有三個四配位 O。圖 9D 所示的小組的電荷為 +1。

圖 9E 示出包括兩個 Zn 的小組。在圖 9E 的上半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 9E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。圖 9A 所示的六配位 In 的上半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 9B 所示的 5 配位 Ga 的上半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 9C 所示的四配位 Zn 的上半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。

像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。以下示出其理由。例如，

在六配位金屬原子 (In 或 Sn) 藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子 (Ga 或 In) 或四配位金屬原子 (Zn) 的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 10A 示出構成 In-Sn-Zn-O 類層結構的中組的模型圖。圖 10B 示出由三個中組構成的大組。另外，圖 10C 示出從 c 軸方向上觀察圖 10B 的層結構時的原子排列。

在圖 10A 中，為了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 10A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 10A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 10A 中，構成 In-Sn-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該

小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作為具有電荷 -1 的結構，可以舉出圖 9E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 10B 所示的大組來可以得到 In-Sn-Zn-O 類結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （ m 是 0 或自然數）表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物；三元金屬氧化物的 In-Ga-Zn-O 類氧化物（也表示為 IGZO）、In-Al-Zn-O 類氧化物、Sn-Ga-Zn-O 類氧化物、Al-Ga-Zn-O 類氧化物、Sn-Al-Zn-O 類氧化物、In-Hf-Zn-O 類氧化物、In-La-Zn-O 類氧化物、In-Ce-Zn-O 類氧化物、In-Pr-Zn-O 類氧化物、In-Nd-Zn-O 類氧化物、In-Sm-Zn-O 類氧化物、In-Eu-Zn-O 類氧化物、In-Gd-Zn-O 類氧化物、In-Tb-Zn-O 類氧化物、

In-Dy-Zn-O 類氧化物、In-Ho-Zn-O 類氧化物、In-Er-Zn-O 類氧化物、In-Tm-Zn-O 類氧化物、In-Yb-Zn-O 類氧化物、In-Lu-Zn-O 類氧化物；二元金屬氧化物的 In-Zn-O 類氧化物、Sn-Zn-O 類氧化物、Al-Zn-O 類氧化物、Zn-Mg-O 類氧化物、Sn-Mg-O 類氧化物、In-Mg-O 類氧化物、In-Ga-O 類氧化物等。

例如，圖 11A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 11A 中，構成 In-Ga-Zn-O 類層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 11B 示出由三個中組構成的大組。另外，圖 11C 示出從 c 軸方向上觀察圖 11B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於圖 11A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

作為用於本發明的一個方式的電晶體，採用將包含 CAAC 的氧化物半導體層適用於通道形成區的結構，可以期待高可靠性，所以是較佳的。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1 是說明根據實施方式的半導體記憶體裝置的結構的圖；

圖 2 是說明設置在根據實施方式的半導體記憶體裝置的組的結構的圖；

圖 3 是說明設置在根據實施方式的半導體記憶體裝置的組的結構的圖；

圖 4A 和圖 4B 是說明設置在根據實施方式的半導體記憶體裝置的組的結構的圖；

圖 5 是說明根據實施方式的半導體記憶體裝置的工作的時序圖；

圖 6 是說明可以用於根據實施方式的半導體記憶體裝置的記憶部的結構的圖；

圖 7A 至圖 7D 是說明根據實施方式的電晶體的製造方法的圖；

圖 8A 至圖 8D 是說明根據實施方式的電晶體的製造方法的圖；

圖 9A 至圖 9E 是說明根據實施方式的氧化物材料的結構的圖；

圖 10A 至圖 10C 是說明根據實施方式的氧化物材料的結構的圖；

圖 11A 至圖 11C 是說明根據實施方式的氧化物材料的結構的圖；

圖 12 是說明根據實施方式的半導體記憶體裝置的工作的流程圖。

【主要元件符號說明】

10：位址

12：位元列

20：快取記憶體命中信號

30：主資料

100：單元

101：反相器

102：反相器

103：電晶體

104：電晶體

105：節點

106：節點

110：單元

111：單元

112：單元

118：輸出信號線

119 : 輸出信號線
120 : 單元
121 : 單元
122 : 單元
125 : 輸入信號線
126 : 輸入信號線
210 : 行
220 : 行
300_1 至 300_j : 陣列
300a : 陣列
300b : 陣列
310a : 陣列
310b : 陣列
310c : 陣列
320a : 陣列
320b : 陣列
320c : 陣列
400 : 組
400_1 至 400_i : 組
401a : 位元線
401b : 反轉位元線
402a : 位元線
402b : 反轉位元線
410 : 組

- 411：位元線
- 412：字線
- 413a：氧化物半導體層
- 413b：氧化物半導體層
- 415a：開閉器
- 415b：開閉器
- 416a：閘極線
- 416b：閘極線
- 419：組驅動電路
- 420：組
- 421：位元線
- 422：字線
- 425a：開閉器
- 425b：開閉器
- 425c：開閉器
- 426a：閘極線
- 426b：閘極線
- 426c：閘極線
- 429：組驅動電路
- 450a：閘極線
- 451：字線
- 461：字線
- 490：組驅動電路
- 500：半導體記憶體裝置

504 : 絕緣層
505 : 絕緣層
510 : 記憶部
511 : 閘極電極
512 : 閘極絕緣層
513 : 氧化物半導體層
514a : 絕緣層
514b : 絕緣層
520 : 比較部
522_1 至 522_i : 比較電路
525 : 選擇電路
530 : 控制電路
550 : 運算裝置
551 : 電路
552 : 電極
560 : 主記憶體裝置
701 : 基板
702 : 元件隔離絕緣層
703 : 絕緣層
704 : 絕緣層
705 : 絕緣層
710 : 電晶體
710a : 電晶體
710b : 電晶體

- 711 : 閘極電極
- 712 : 閘極絕緣層
- 713 : 氧化物半導體層
- 714a : 絕緣層
- 714b : 側壁
- 720 : 電晶體
- 726a : 電極
- 726b : 電極
- 730a : 陣列
- 730b : 陣列
- 750 : 開閉器
- 751 : 電極
- 752 : 電極
- 1501 : 信號
- 1502 : 信號
- 1503 : 信號
- 1504 : 信號
- 1505 : 信號
- 1506 : 信號
- 1507 : 信號
- 1508 : 信號
- 1509 : 信號
- 1510 : 信號
- 1511 : 信號

七、申請專利範圍：

1. 一種半導體記憶體裝置，包括：

記憶部，該記憶部包括 i (i 是自然數) 個組，該 i 個組的每個組包括 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列的每個陣列包括 k (k 是 2 以上的自然數) 個行，該 k 個行的每個行包括標籤場和資料場；

比較部，該比較部包括 i 個比較電路以及與該 i 個比較電路及該 i 個組連接的選擇電路；以及

控制電路，該控制電路與該選擇電路連接並包括被輸入位址或 / 及由該位址指定的主資料的外部輸入端子、輸出快取記憶體缺失信號或快取記憶體命中信號以及主資料的外部輸出端子，

其中，該 i 個組和該 i 個比較電路都連接到該控制電路，

其中，該 i 個組的每一個連接到該 i 個比較電路中的對應的比較電路，

其中，該位址的第一位元列分配於該 k 個行中的對應的行，

其中，該位址的第二位元列儲存在該對應的行的該標籤場中，

其中，由該位址指定的該主資料儲存在該對應的行的該資料場中，

其中，該比較部比較該控制電路所選擇的每個行的標籤場的第二位元列與從該控制電路輸入的位址的第二位元

列，並當該標籤場的該第二位元列和從該控制電路輸入的該位址的該第二位元列不一致時將快取記憶體缺失信號輸出到該控制電路，或者當該標籤場的第二位元列和從該控制電路輸入的該位址的該第二位元列一致時將快取記憶體命中信號和儲存在行的資料場中的主資料輸出到該控制電路，

其中，根據經過該外部輸入端子輸入的位址信號或從該比較部輸入的該快取記憶體缺失信號，該控制電路將選擇分配有該輸入位址的該第一位元列的該行的行選擇信號以及按順序選擇該 j 個陣列中的一個的陣列選擇信號輸出到該記憶部，並將該輸入位址的該第二位元列輸出到該比較電路，

其中，在該 j 個陣列都由該陣列選擇信號選擇之後根據從該比較部輸入的該快取記憶體缺失信號經過該外部輸出端子輸出該快取記憶體缺失信號，

並且，根據從該比較部輸入的該快取記憶體命中信號經過該外部輸出端子輸出該快取記憶體命中信號及該主資料。

2.根據申請專利範圍第 1 項之半導體記憶體裝置，其中在該組的每一個中該 j 個陣列藉由包括電晶體的開閉器串聯連接。

3.根據申請專利範圍第 1 項之半導體記憶體裝置，其中在該組的每一個中該 j 個陣列藉由包括電晶體的開閉器並聯連接。

4. 根據申請專利範圍第 2 項之半導體記憶體裝置，其中該電晶體包括包含通道形成區的氧化物半導體層。

5. 根據申請專利範圍第 3 項之半導體記憶體裝置，其中該電晶體包括包含通道形成區的氧化物半導體層。

6. 根據申請專利範圍第 1 項之半導體記憶體裝置，其中該 j 個陣列中的該 k 個行包括複數個 SRAM。

7. 一種半導體記憶體裝置的驅動方法，包括如下步驟：

第一步驟，其中經過包括外部輸入端子和外部輸出端子的控制電路的該外部輸入端子輸入位址，該控制電路向記憶部輸出陣列選擇信號和行選擇信號，該記憶部包括 i (i 是自然數) 個組，該 i 個組的每個組包括 j (j 是 2 以上的自然數) 個陣列，該 j 個陣列的每個陣列包括 k (k 是 2 以上的自然數) 個行，該 k 個行的每個行包括標籤場和資料場並預先分配有位址的 k 種第一位元列，該陣列選擇信號選擇該記憶部中的 j 個陣列中的一個，該行選擇信號從該 k 個行選擇對應於該位址的該行，將該位址的第二位元列輸出到比較部，該比較部包括 i 個比較電路以及與該 i 個比較電路及該 i 個組連接的選擇電路，並且，該 i 個組的每一個連接到該 i 個比較電路中的對應的比較電路；

第二步驟，其中該比較部的該 i 個比較電路比較該被選擇的 i 個行的該標籤場的第二位元列與從該控制電路輸入的該位址的該第二位元列，當該標籤場的該第二位元列

和從該控制電路輸入的該位址的該第二位元列一致時該比較電路將快取記憶體命中信號輸出到該選擇電路，或者當該標籤場的該第二位元列和從該控制電路輸入的該位址的該第二位元列不一致時該比較電路將快取記憶體缺失信號輸出到該選擇電路；

第三步驟，其中該選擇電路輸出主資料，該主資料儲存在該行的該資料場中，該行包括該其第二位元列與該位址的該第二位元列一致的標籤場，該位址從該組中的該控制電路輸入，該組連接到輸出了該快取記憶體命中信號的該比較電路；

第四步驟，其中當該 i 個比較電路都輸出快取記憶體缺失信號時，該比較部將該快取記憶體缺失信號輸出到該控制電路；

第五步驟，其中該控制電路將選擇尚未選擇的該陣列中的一個的陣列選擇信號以及該行選擇信號輸出到該記憶部，並將該位址的該第二位元列輸出到該比較部；以及

第六步驟，其中該控制電路將經過該外部輸出端子輸出從該選擇電路輸入的該快取記憶體命中信號及該主資料或該快取記憶體缺失信號，

其中，當該 i 個比較電路中的一個輸出快取記憶體命中信號時，省略該第四步驟和該第五步驟而在該第三步驟之後進入該第六步驟，在除此以外的情況下在該第三步驟之後進入該第四步驟，

並且，當在該第五步驟中該記憶部中的該 j 個陣列不

都被選擇時，返回該第二步驟且在該記憶部中的該 j 個陣列都被選擇之後，在該第五步驟之後進入該第六步驟。

8. 一種半導體記憶體裝置，包括：

記憶部，該記憶部包括第一組及第二組；

比較部，該比較部包括第一比較電路、第二比較電路及選擇電路；以及

控制電路，

其中，該第一組和該第二組各者包括第一陣列及第二陣列，

其中，該第一陣列及該第二陣列各者包括複數個線，

其中，該複數個線各者包括標籤場及資料場，

其中，該第一比較電路被架構以：比較來自該第一組的該第一陣列的該複數個線中的對應的線的該標籤場的第一資料與來自該控制電路的第二資料；並在當該第一資料與該第二資料一致時將第一快取記憶體命中信號輸出到該選擇電路，以及當該第一資料與該第二資料不一致時將第一快取記憶體缺失信號輸出到該選擇電路，及接著當該第一資料與該第二資料不一致時比較來自該第一組的該第二陣列的該複數個線中的對應的線的該標籤場的第三資料與來自該控制電路的該第二資料。

並且，該第二比較電路被架構以：比較來自該第二組的該第一陣列的該複數個線中的對應的線的該標籤場的第二資料與來自該控制電路的該第二資料；並在當該第四資料與該第二資料一致時將第二快取記憶體命中信號輸出到

該選擇電路，以及當該第四資料與該第二資料不一致時將第二快取記憶體缺失信號輸出到該選擇電路；及接著當該第四資料與該第二資料不一致時比較來自該第二組的該第二陣列的該複數個線中的對應的線的該標籤場的第五資料與來自該控制電路的該第二資料。

9. 根據申請專利範圍第 8 項之半導體記憶體裝置，其中該第一組及該第二組各者更包括複數個電晶體，其中該第一陣列及該第二陣列經由該複數個電晶體彼此電連接，

其中當該第一資料與該第二資料不一致時，該第一組的該複數個電晶體被架構為導通，

並且當該第四資料與該第二資料不一致時，該第二組的該複數個電晶體被架構為導通。

10. 根據申請專利範圍第 9 項之半導體記憶體裝置，其中該複數個電晶體各者包括具有通道形成區的氧化物半導體層。

11. 根據申請專利範圍第 8 項之半導體記憶體裝置，該複數個線各者包括複數個 SRAM。

圖 1

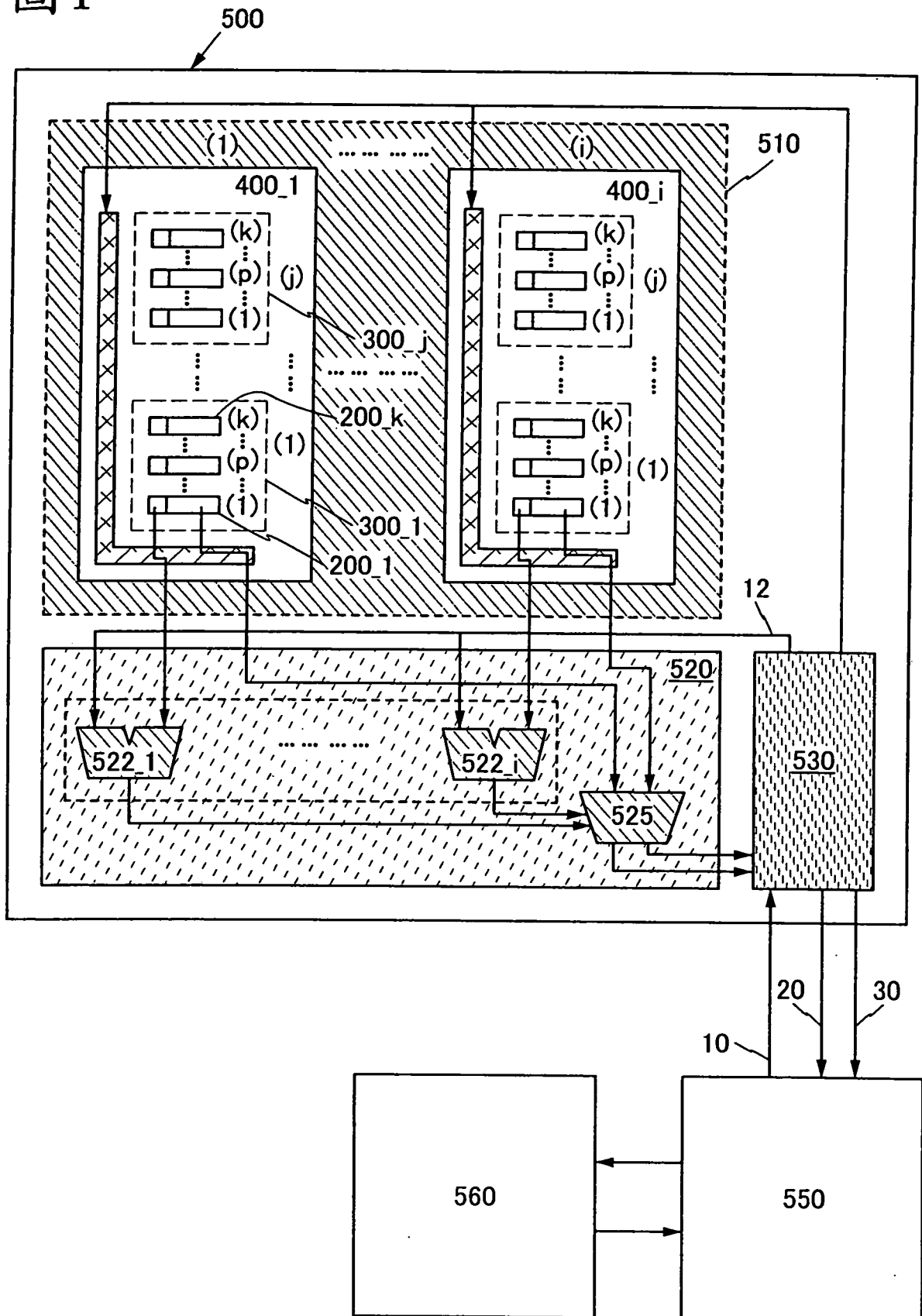


圖 2

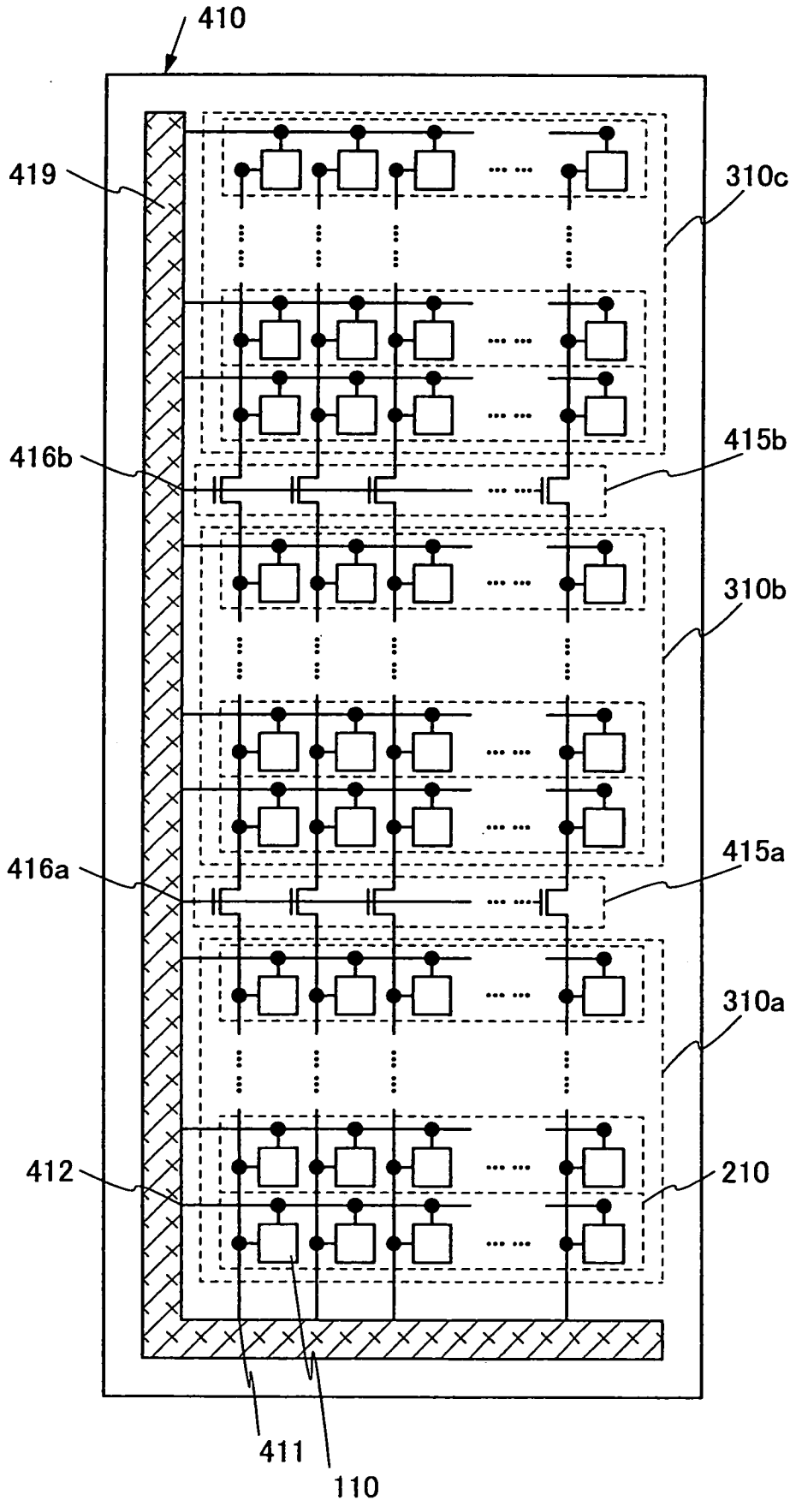


圖 3

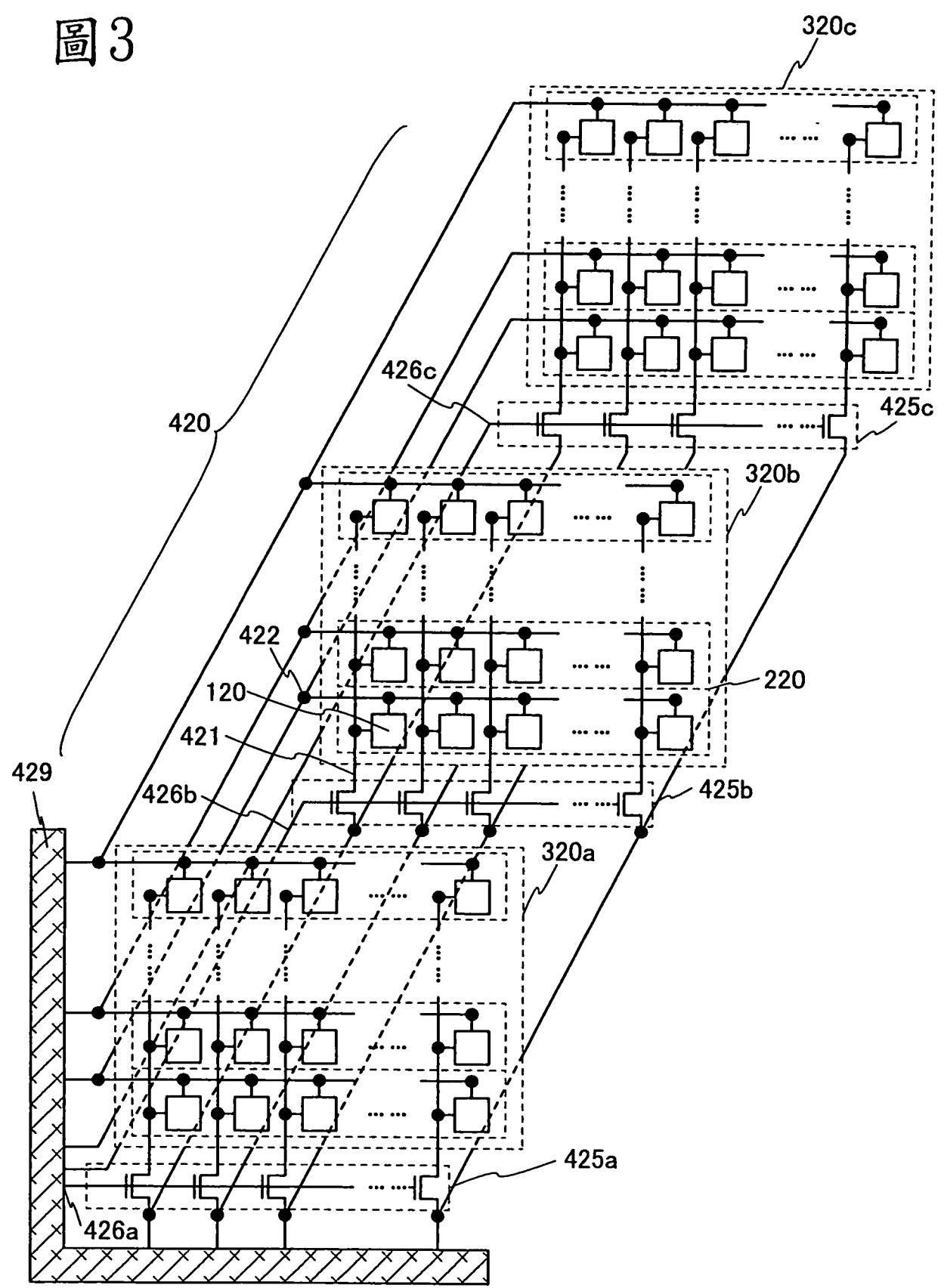


圖 4A

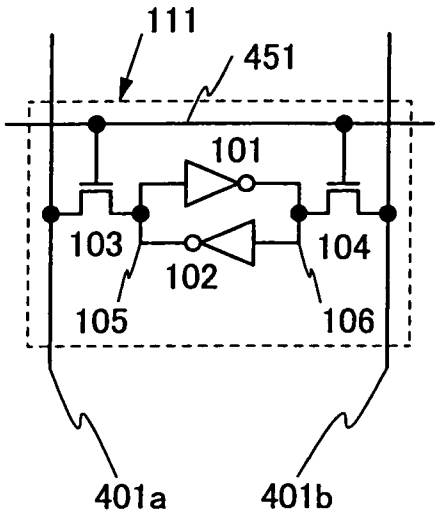


圖 4B

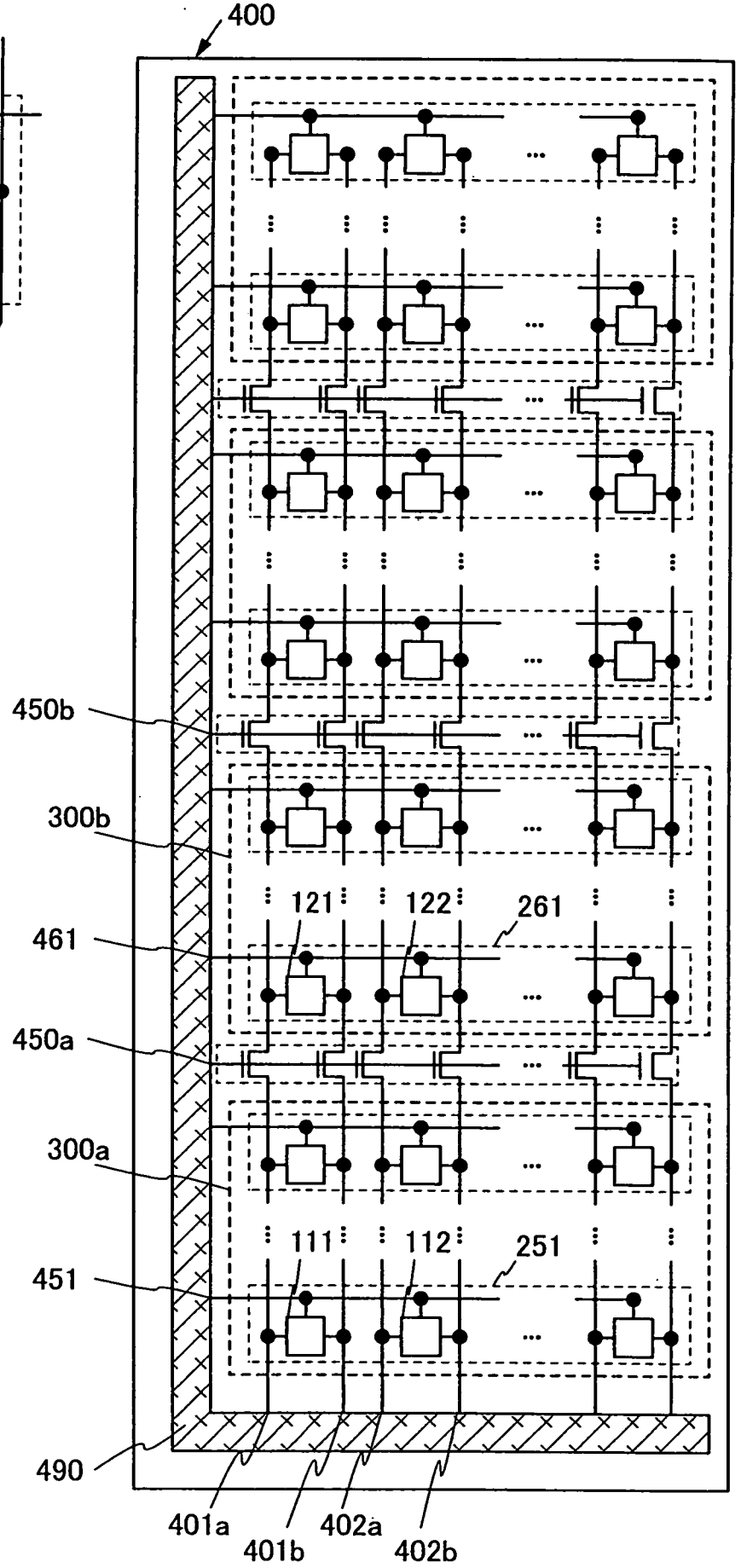


圖5

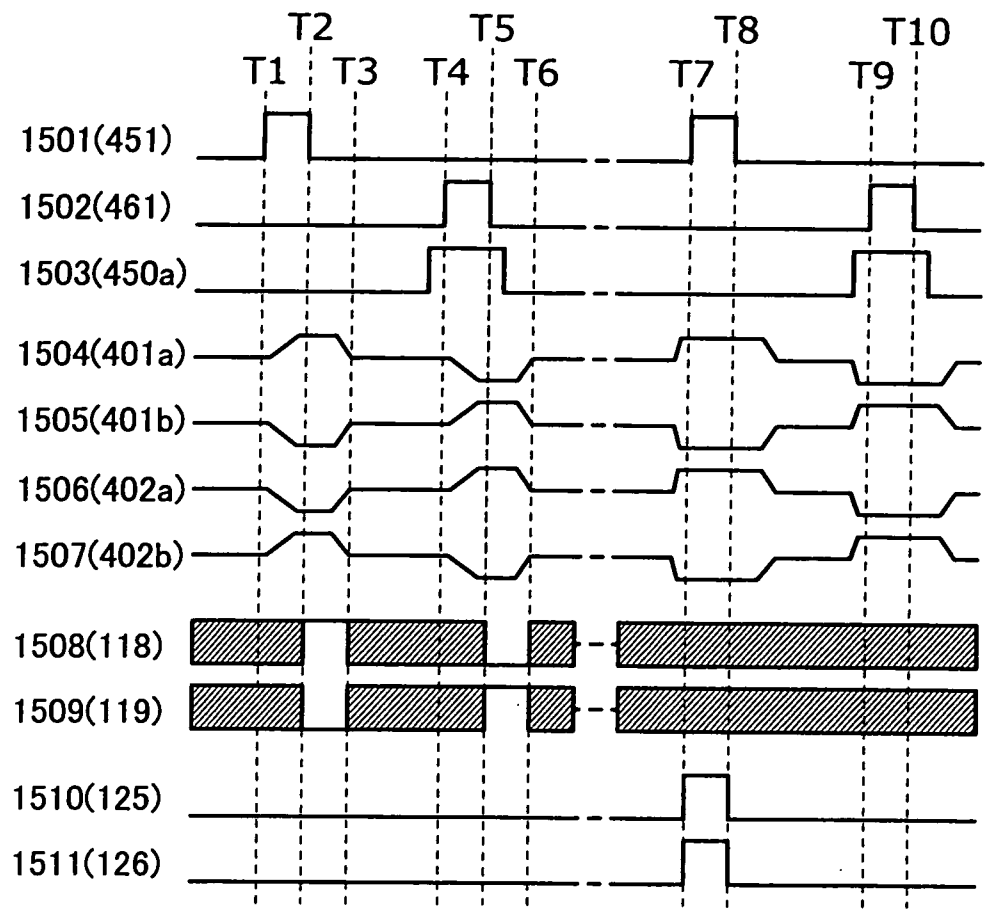


圖6

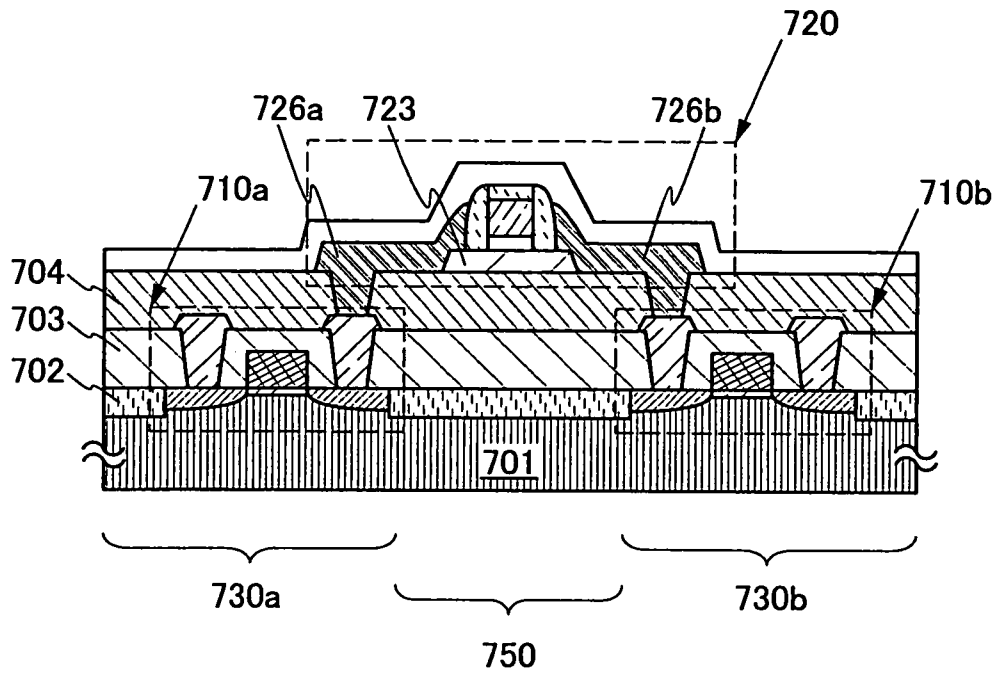


圖 7A

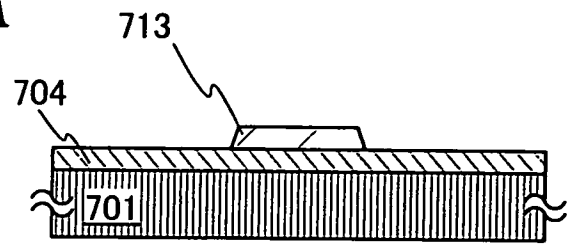


圖 7B

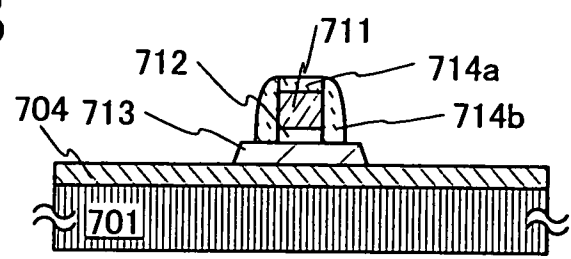


圖 7C

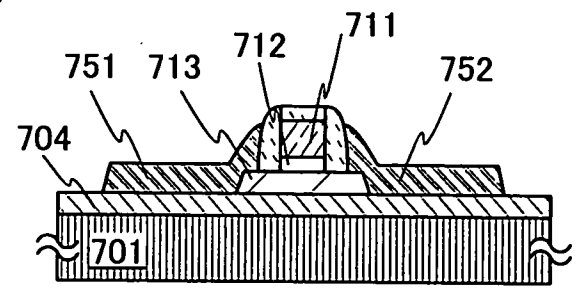


圖 7D

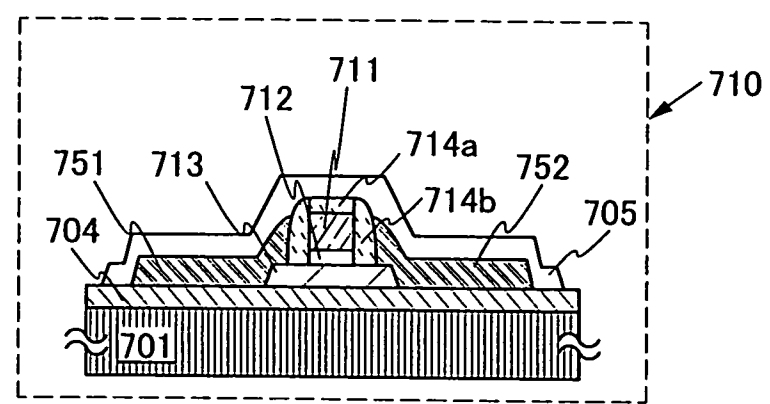


圖 8A

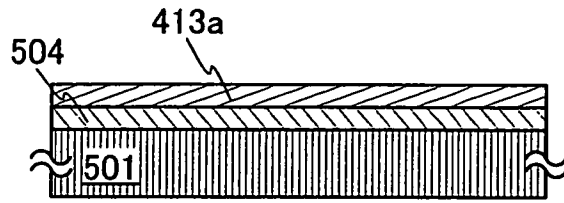


圖 8B

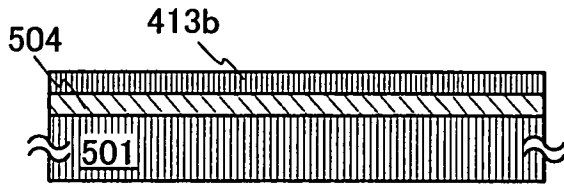


圖 8C

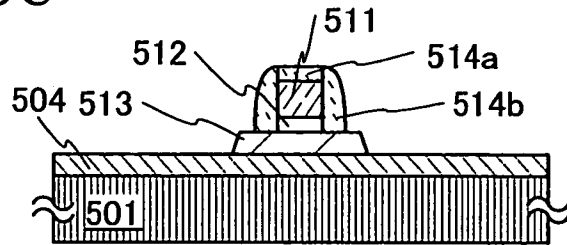


圖 8D

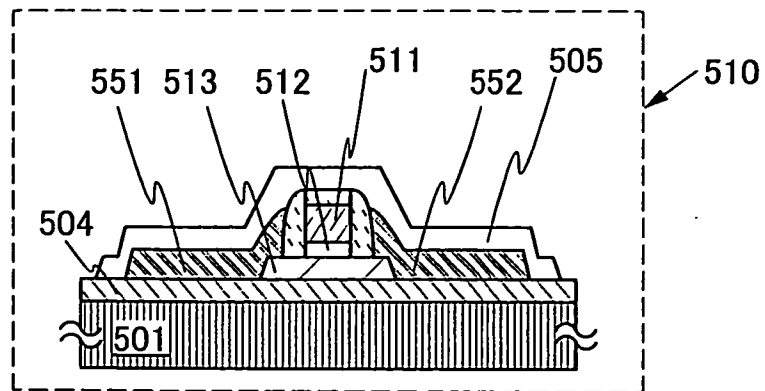


圖 9A

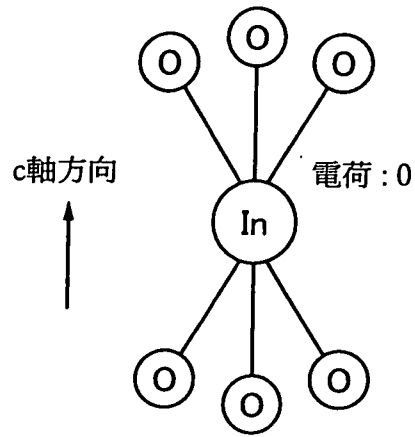


圖 9D

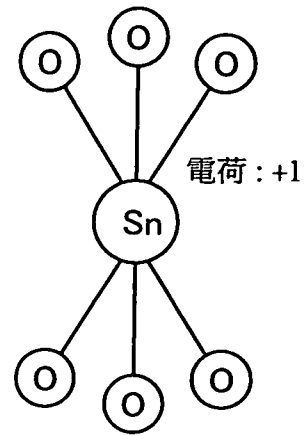


圖 9B

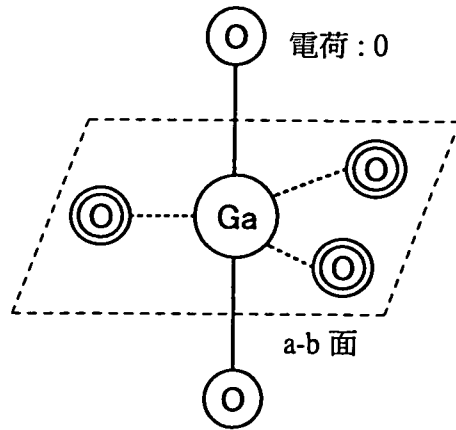


圖 9E

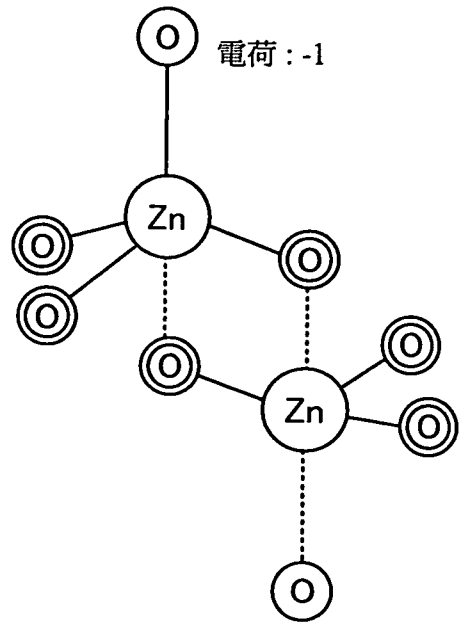


圖 9C

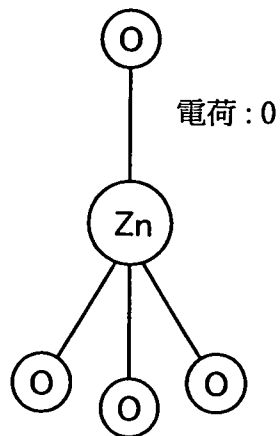


圖 12

