



## (12)发明专利

(10)授权公告号 CN 105830161 B

(45)授权公告日 2019.04.23

(21)申请号 201480068613.7

(72)发明人 X·李 Y·陆 S·H·康

(22)申请日 2014.12.12

(74)专利代理机构 上海专利商标事务所有限公司 31100

(65)同一申请的已公布的文献号

申请公布号 CN 105830161 A

代理人 元云

(43)申请公布日 2016.08.03

(51)Int.Cl.

(30)优先权数据

14/109,200 2013.12.17 US

G11C 11/16(2006.01)

H01L 43/08(2006.01)

H01L 43/12(2006.01)

(85)PCT国际申请进入国家阶段日

2016.06.16

(56)对比文件

US 2012032287 A1, 2012.02.09,

(86)PCT国际申请的申请数据

US 2009224341 A1, 2009.09.10,

PCT/US2014/070035 2014.12.12

US 2011233696 A1, 2011.09.29,

(87)PCT国际申请的公布数据

审查员 夏雪

W02015/094974 EN 2015.06.25

(73)专利权人 高通股份有限公司

权利要求书3页 说明书9页 附图27页

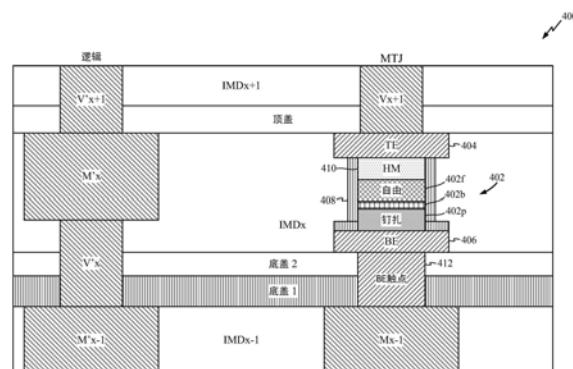
地址 美国加利福尼亚州

(54)发明名称

用于技术缩放的MRAM集成技术

(57)摘要

一种与缩小设备技术兼容的磁阻性随机存取存储器(MRAM)集成，包括通过一个或多个逻辑元件在共用层间金属电介质(IMD)层中形成的磁性隧道结(MTJ)。该MTJ连接至底部IMD层中的底部金属线和顶部通孔，该顶部通孔连接至顶部IMD层。该MTJ基本上在被配置成分隔该共用IMD层和底部IMD层的一个或多个底部盖层与被配置成分隔该共用IMD层和顶部IMD层的一个或多个顶部盖层之间延伸。MTJ可包括顶部电极，用以连接至顶部通孔或通过用于较小设备技术的硬掩模直接连接至顶部通孔。逻辑元件包括通孔、金属线、和半导体器件。



1. 一种磁阻式随机存取存储器,包括:

通过一个或多个逻辑元件在共用层间金属电介质层中形成的磁性隧道结,

其中所述磁性隧道结连接至底部层间金属电介质层中的底部金属线和顶部通孔,所述顶部通孔连接至顶部层间金属电介质层,其中所述磁性隧道结与所述顶部通孔直接物理接触,

其中所述磁性隧道结在被配置成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的一个或多个底部盖层与被配置成分隔所述共用层间金属电介质层和所述顶部层间金属电介质层的一个或多个顶部盖层之间延伸。

2. 如权利要求1所述的磁阻式随机存取存储器,其特征在于,所述磁性隧道结包括自由层、阻挡层、和钉扎层。

3. 如权利要求1所述的磁阻式随机存取存储器,其特征在于,所述磁性隧道结包括连接至顶部电极的硬掩模,以使所述磁性隧道结通过所述顶部电极连接至所述顶部通孔。

4. 如权利要求3所述的磁阻式随机存取存储器,其特征在于,包括被配置成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的两个底部盖层,并且其中所述磁性隧道结的底部电极通过底部电极触点连接至所述底部金属线,其中所述底部电极触点延伸通过所述两个底部盖层两者。

5. 如权利要求4所述的磁阻式随机存取存储器,其特征在于,所述磁阻式随机存取存储器用三个掩模制造,其中第一掩模被用于形成所述底部电极触点,第二掩模被用于形成所述磁性隧道结,且第三掩模被用于形成所述顶部电极。

6. 如权利要求3所述的磁阻式随机存取存储器,其特征在于,包括被配置成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的两个底部盖层,并且其中所述磁性隧道结的底部电极通过底部电极触点连接至所述底部金属线,其中所述底部电极触点延伸通过所述两个底部盖层中的仅一者。

7. 如权利要求1所述的磁阻式随机存取存储器,其特征在于,所述磁性隧道结包括硬掩模以使所述磁性隧道结通过所述硬掩模连接至所述顶部通孔。

8. 如权利要求7所述的磁阻式随机存取存储器,其特征在于,包括被配置成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的两个底部盖层,并且其中所述磁性隧道结的底部电极通过底部电极触点连接至所述底部金属线,其中所述底部电极触点延伸通过所述两个底部盖层两者。

9. 如权利要求8所述的磁阻式随机存取存储器,其特征在于,所述磁阻式随机存取存储器用两个掩模制造,其中第一掩模被用于形成所述底部电极触点,且第二掩模被用于形成所述磁性隧道结。

10. 如权利要求7所述的磁阻式随机存取存储器,其特征在于,包括被配置成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的两个底部盖层,并且其中所述磁性隧道结的底部电极通过底部电极触点连接至所述底部金属线,其中所述底部电极触点延伸通过所述两个底部盖层中的仅一者。

11. 如权利要求1所述的磁阻式随机存取存储器,其特征在于,所述一个或多个逻辑元件包括在所述共用层间金属电介质层中形成的通孔和金属线中的一者或者者。

12. 如权利要求1所述的磁阻式随机存取存储器,其特征在于,进一步包括被配置成围

绕所述磁性隧道结的保护性侧盖。

13. 一种通过一个或多个逻辑元件在共用层间金属电介质层中形成磁性隧道结的方法,所述方法包括:

在底部层间金属电介质层中形成底部金属线;

形成分隔所述共用层间金属电介质层和所述底部层间金属电介质层的一个或多个底部盖层;

形成耦合至所述底部金属线的底部电极触点;

在所述底部电极触点上形成所述磁性隧道结;

形成分隔所述共用层间金属电介质层和顶部层间金属电介质层的一个或多个顶部盖层;以及

在所述一个或多个顶部盖层中形成顶部通孔,所述顶部通孔连接至所述磁性隧道结以使所述磁性隧道结在所述一个或多个底部盖层与所述一个或多个顶部盖层之间延伸,其中所述磁性隧道结与所述顶部通孔直接物理接触。

14. 如权利要求13所述的方法,其特征在于,形成所述磁性隧道结包括在所述底部电极触点上形成底部电极,在所述底部电极的顶部形成钉扎层、阻挡层和自由层,以及形成硬掩模。

15. 如权利要求14所述的方法,其特征在于,包括将所述硬掩模连接至所述顶部通孔。

16. 如权利要求15所述的方法,其特征在于,包括用第一掩模形成所述底部电极触点以及用第二掩模形成所述磁性隧道结。

17. 如权利要求14所述的方法,其特征在于,包括在所述硬掩模的顶部形成顶部电极并将所述顶部电极连接至所述顶部通孔。

18. 如权利要求17所述的方法,其特征在于,包括用第一掩模形成所述底部电极触点并且用第二掩模形成所述磁性隧道结,以及用第三掩模形成所述顶部电极。

19. 如权利要求13所述的方法,其特征在于,包括在所述底部盖层之一中蚀刻的图案中形成所述底部电极触点。

20. 如权利要求13所述的方法,其特征在于,在所述共用层间金属电介质层中形成所述一个或多个逻辑元件包括在所述共用层间金属电介质层中形成通孔和金属线,以使所述通孔和所述金属线的组合高度匹配所述磁性隧道结和所述底部电极触点的组合高度。

21. 如权利要求13所述的方法,其特征在于,进一步包括形成围绕所述磁性隧道结的保护性侧盖。

22. 一种磁阻式随机存取存储器设备,包括:

通过用于执行逻辑功能的一个或多个装置在共用绝缘装置中形成的磁性存储装置,

其中所述磁性存储装置连接至底部绝缘装置中的底部金属装置和顶部贯穿互连装置,所述顶部贯穿互连装置连接至顶部绝缘装置,其中所述磁性存储装置与所述顶部贯穿互连装置直接物理接触,

其中磁性隧道结在用于分隔所述共用绝缘装置和所述底部绝缘装置的底部装置与用于分隔所述共用绝缘装置和所述顶部绝缘装置的一个或多个顶部装置之间延伸。

23. 一种形成磁阻式随机存取存储器器件的方法,所述方法包括:

在底部层间金属电介质层中图案化底部金属线;

形成将底部层间金属电介质层与共用层间金属电介质层分隔开的一个或多个底部盖层；

图案化所述一个或多个底部盖层中的底部电极开口用于形成底部电极并针对所述底部电极用金属来填充所述底部电极开口；

在所述底部电极上沉积磁性隧道结；

图案化所述磁性隧道结；

沉积电介质材料以形成所述共用层间金属电介质层，以及在所述磁性隧道结的顶部执行平坦化；

在所述共用层间金属电介质层中图案化并沉积逻辑元件；

沉积顶部盖层以供将所述共用层间金属电介质层与顶部层间金属电介质层分隔开；以及

在所述顶部盖层中图案化顶部通孔开口并在所述顶部通孔开口中沉积顶部通孔以将所述磁性隧道结连接至所述顶部层间金属电介质层中的顶部金属线，其中所述磁性隧道结与所述顶部通孔直接物理接触。

24. 如权利要求23所述的方法，其特征在于，进一步包括在在所述底部电极上沉积所述磁性隧道结之前在所述底部电极上执行化学机械抛光(CMP)。

25. 如权利要求23所述的方法，其特征在于，进一步包括在沉积所述顶部盖层之前通过掩模在所述磁性隧道结上沉积侧盖层并图案化所述底部电极。

26. 如权利要求23所述的方法，其特征在于，所述逻辑元件包括通孔和共用层金属线。

## 用于技术缩放的MRAM集成技术

### 技术领域

[0001] 所公开的实施例涉及磁阻式随机存取存储器 (MRAM) 集成,更具体地,示例性实施例涉及用于与随设备技术的进步和缩小设备尺寸而可缩放的逻辑过程进行MRAM集成的技术。

### 背景技术

[0002] 磁阻式随机存取存储器 (MRAM) 是使用磁性元件的非易失性存储器技术。MRAM操作是公知的,并且可使用惯用的各种各样的MRAM、自旋转移力矩MRAM (STT-MRAM) 的示例来简要说明。STT-MRAM使用当穿过薄膜(自旋过滤器)时变为自旋极化的电子。

[0003] 图1解说了常规的STT-MRAM位单元100。STT-MRAM位单元100包括磁性隧道结 (MTJ) 存储元件105(也称为“MTJ栈”或“MTJ单元”)、晶体管101、位线102和字线103。MTJ单元105例如由被绝缘隧道阻挡层122分隔开的钉扎层124和自由层120形成,钉扎层124和自由层120中的每一者可保持磁矩或极化。

[0004] 在MTJ单元105的设计是面内MTJ的设计的情况下,在MTJ单元105中使用反铁磁 (AFM) 层和盖层(未示出)。AFM层被用于钉扎面内MTJ的钉扎层的磁矩。盖层被用作MTJ与金属互连之间的缓冲层。在MTJ单元105被设计为垂直MTJ的情况下,存在钉扎层124但不包括AFM层。

[0005] 自由层的极化可通过在特定方向施加电流以使钉扎层和自由层的极性或基本对准或相反来反转。通过MTJ的电路径的电阻取决于钉扎层和自由层的极化的对准而变化。如所知的,电阻中的这种变化可被用于编程和读取STT-MRAM位单元100。STT-MRAM位单元100还包括电路元件、源线104、读出放大器108、读/写电路系统106和位线参考107。本领域技术人员将领会,STT-MRAM位单元100的操作和构造是本领域已知的。

[0006] 如从以上示例所见的,常规STT-MRAM位单元的形成涉及在电路板或半导体封装上集成各种上述组件。更具体地,存储器或存储元件(例如,MTJ位单元105)必须与各种其他电路组件(本文一般称为“逻辑元件”)集成,诸如无源组件、金属导线、晶体管、逻辑门等。一般地,此种集成要求存储器元件与逻辑元件之间的工艺兼容性。

[0007] 然而,半导体技术缩放跨集成电路的各种组件不是统一的,这是公知的。例如,关于MRAM形成,垂直互连通路(通常称为“通孔”)的金属线宽度和高度被认为从这一代到下一代缩放约70%。另一方面,诸如MTJ位单元的高度、盖层厚度等的方面未能以相当步调缩放。

[0008] 申请人共同拥有的Li等人的美国专利申请(美国专利公开2012/0032287,题为“MRAM Device and Integration Techniques Compatible with Logic Integration”(与逻辑集成兼容的MRAM器件和集成技术),其当前待决并在下文中称为“Li”)公开了用于将逻辑过程(即,涉及逻辑元件的形成)与形成MRAM器件元件(诸如,MTJ位单元)的过程相集成的各种技术。

[0009] 参照图2,解说了类似于Li所公开的实施例之一的存储器器件。更具体地,图2解说了存储器器件200的横截面视图,其反映了Li的实施例,其中附图标记出于本公开的目的作

了修改和/或添加。以下命名适用于图2。在与金属间电介质 (IMD) 层  $IMDx-1$ 、 $IMDx$  和  $IMDx+1$  对应的标识为“ $x-1$ ”、“ $x$ ”和“ $x+1$ ”的三层中解说了存储器器件200的元件。标识IMD层的相同后缀也被添加至相应IMD层中存在的金属/通孔元件。所解说了元件被示为划分成与“MTJ”元件并列的“逻辑”元件。

[0010] 更详细地,逻辑元件被代表性地解说为遵循以上标注的通孔和金属线,其中通孔  $V' x+1$  和  $V' x$  分别在层  $x+1$  和  $x$  中,而金属线  $M' x$  和  $M' x-1$  分别在层  $x$  和  $x-1$  中。

[0011] 在MTJ侧,位单元MTJ 202被解说为在层  $x$  中,其具有顶部电极 (TE) 204和底部电极 (BE) 206。金属线  $Mx$  可被耦合至层  $x$  中的TE 204,金属线  $Mx$  可通过对层  $x$  中的顶部通孔  $top\_Vx$  (顶  $_Vx$ ) 的可任选使用被进一步耦合至层  $x+1$  中的通孔  $Vx+1$ 。层  $x$  中的盖层  $Cap3x$  (盖  $3x$ ) 是用于隔离和形成用于金属线  $Mx$  的金属岛的可任选特征。BE 206可通过通孔  $Vx$  被耦合至层  $x-1$  中的金属线  $Mx-1$ 。

[0012] 逻辑侧和MTJ侧元件两者共有的是分别在层  $x-1$ 、 $x$  和  $x+1$  中的IMD层  $IMDx-1$ 、 $IMDx$  和  $IMDx+1$ 。这些IMD层由所描绘的实施例中的一个或多个盖层来分隔。绝缘盖层是用于金属线的扩散阻挡层并且可从诸如SiC、SiN膜等的绝缘体形成。更具体地,一个或多个底部盖层(底-盖1-2) 分隔IMD层  $IMDx-1$  和  $IMDx+1$ ,而一个或多个顶部盖层(顶-盖1-2) 分隔IMD层  $IMDx$  和  $IMDx+1$ 。

[0013] 尽管图2的存储器器件200描绘了针对当前技术的Li中的逻辑和MTJ侧元件的稳健和有效集成,但是技术进步对层  $x-1$ 、 $x$  和  $x+1$  的每一者中的最大可用高度施加了甚至越来越多的约束。层的高度可被视为约束这些层的盖层之间的分隔。例如,层  $x$  的高度可根据底部盖层(底-盖1-2) 和顶部盖层(顶-盖1-2) 之间的距离来观察。随着将来技术演进到20nm、16nm、10nm和之后的领域,例如,层  $x$  的高度可缩小为达到小至层  $x$  的高度将几乎不能足够在逻辑侧容适通孔  $V' x$  和金属  $M' x$  的尺寸。如上所提及的,这是因为金属线和通孔可随着技术演进来相对快速地缩放。然而,MRAM技术不可能以相同速率来演进。换言之,随着技术演进,如果层  $x$  的高度达到几乎不能足够容适通孔  $V' x$  的尺寸,则针对层  $x$  中的MTJ侧容适当前解说了配置将是有高度挑战性的。

[0014] 因此,随着技术演进和设备大小缩小,MTJ 202可被挤压到金属岛  $Mx$  中。进一步地,金属岛  $Mx$  可能需要变薄到其中该金属岛  $Mx$  可有效地变为不存在的点。尽管Li公开了其中在层  $x$  中的MTJ侧上的组件可被降低以使例如BE 206可被沉没到底-盖2中更深的实施例,但这可随着技术演进导致其余的底部盖层(底-盖1) 上的应力增加。另一方面,抬高MTJ侧上组件的位置可开始侵入顶部  $x+1$  层。

[0015] 因此,出于众多原因,用于半导体设备中的MRAM和逻辑集成的当前办法可能对于将来技术是不可行的,因为设备尺寸持续缩小。

## 发明内容

[0016] 示例性实施例涉及关于与缩小设备技术兼容的磁阻式随机存取存储器 (MRAM) 集成的系统和方法。

[0017] 因此,示例性MRAM器件包括通过一个或多个逻辑元件在共用层间金属电介质 (IMD) 层中形成的磁性隧道结 (MTJ)。MTJ连接至底部IMD层中的底部金属线和顶部通孔,该顶部通孔连接至顶部IMD层。MTJ基本上在被配置成分隔共用IMD层和底部IMD层的一个或多

一个底部盖层与被配置成分隔共用IMD层和顶部IMD层的一个或多个顶部盖层之间延伸。MTJ可包括顶部电极,用以连接至顶部通孔或通过用于较小设备技术的硬掩模直接连接至顶部通孔。逻辑元件包括通孔、金属线、和半导体器件。

[0018] 另一示例性实施例涉及一种用于通过一个或多个逻辑元件在共用层间金属电介质(IMD)层中形成磁性隧道结(MTJ)的方法,该方法包括:在底部IMD层中形成底部金属线;形成分隔共用IMD层和底部IMD层的一个或多个底部盖层;形成耦合至底部金属线的底部电极触点;在底部电极触点上形成MTJ;形成分隔共用IMD层和顶部IMD层的一个或多个顶部盖层;以及在一个或多个顶部盖层中形成顶部通孔,该顶部通孔连接至MTJ以使该MTJ基本上在一个或多个底部盖层与一个或多个顶部盖层之间延伸。

[0019] 另一示例性实施例涉及一种磁阻式随机存取存储器(MRAM)器件,包括:在共用绝缘装置中通过用于执行逻辑功能的一个或多个装置形成的磁性存储装置,其中该磁性存储装置连接至底部绝缘装置中的底部金属装置和连接至顶部绝缘装置的顶部贯穿互连装置,其中MTJ基本上在用于分隔共用绝缘装置和底部绝缘装置的底部装置与用于分隔共用绝缘装置和顶部绝缘装置的顶部装置之间延伸。

[0020] 又一示例性实施例涉及一种形成磁阻式随机存取存储器(MRAM)器件的方法,该方法包括:在底部IMD层中图案化底部金属线;形成将底部IMD层与共用IMD层分隔开的一个或多个底部盖层;图案化一个或多个底部盖层中的底部电极开口用于形成底部电极并针对该底部电极用金属来填充底部电极开口;在底部电极上沉积磁性隧道结(MTJ);图案化该MTJ;

[0021] 沉积电介质材料以形成共用IMD层,以及在MTJ的顶部执行平坦化;在共用IMD层中图案化并沉积逻辑元件;沉积顶部盖层以供将共用IMD层与顶部IMD层分隔开;以及在顶部盖层中图案化顶部通孔开口并在该顶部通孔开口中沉积顶部通孔以将MTJ连接至顶部IMD层中的顶部金属线。

## 附图说明

[0022] 给出附图以助益各种实施例的描述,并且提供这些附图仅仅是为了了解说实施例而非对其进行限制。

[0023] 图1是具有MTJ存储元件的常规MRAM电路的解说。

[0024] 图2是包括根据Li的共同待决申请的逻辑元件和MRAM单元的存储器器件的横截面视图。

[0025] 图3解说了随设备技术进步的设备尺寸中的趋势。

[0026] 图4A-L解说了针对与根据示例性实施例的逻辑工艺兼容的MRAM集成的示例性存储器器件400的变型。

[0027] 图4M解说了存储器器件400的MTJ侧的布局的俯视图,其基本上对应于跨图4A-L看到的存储器器件400的大多数变型。

[0028] 图5解说了详述形成图4A-L的存储器器件400的示例性过程的流程图。

[0029] 图6A-H解说了针对与根据示例性实施例的逻辑过程兼容的MRAM集成的示例性存储器器件600的变型。

[0030] 图6I解说了存储器器件600的MTJ侧的布局的俯视图,其基本上对应于跨图6A-H看到的存储器器件600的大多数变型。

[0031] 图7解说了详述形成图6A-H的存储器器件600的示例性过程的流程图。

### 具体实施方式

[0032] 在以下针对具体实施例的描述和相关附图中公开了各种实施例的各方面。可以设计替换实施例而不会脱离本发明的范围。另外,各种实施例的众所周知的元素将不被详细描述或将被省去以免湮没各种实施例的相关细节。

[0033] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。同样,术语“实施例”并不要求所有实施例都包括所讨论的特征、优点、或工作模式。

[0034] 本文所使用的术语仅出于描述特定实施例的目的,而并不旨在限定各实施例。如本文所使用的,单数形式的“一”、“某”和“该”旨在也包括复数形式,除非上下文另有明确指示。还将理解,术语“包括”、“具有”、“包含”和/或“含有”在本文中使用时指明所陈述的特征、整数、步骤、操作、元素、和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元素、组件和/或其群组的存在或添加。

[0035] 示例性实施例涉及MRAM的设计和制造,并且在一些方面,尤其涉及MRAM或MTJ元件与如示例性地应用于高级设备技术的逻辑元件的改进集成。换言之,各实施例包括MTJ元件的设计和布局,该设计和布局与具有极小和日益缩小尺寸(例如,20nm、16nm、10nm等等)的将来设备技术兼容。然而,将理解,示例性实施例不被解释为限定于任何特定设备技术、电路、或将来,但另一方面,各实施例表示针对集成电路或包括MRAM集成的半导体器件中的空间和面积的改进型利用的高效解决方案。

[0036] 参照图3,解说了随设备技术进步的设备尺寸中的趋势。图3的各方面可再次参照图2来解释。MRAM集成中的各种上述组件的高度被解说为设备技术尺寸的函数。更具体地,例如,在共用层x中,逻辑元件由通孔和金属高度来表示,如图2中所述。代表性地,例如,共用IMD层的高度(例如,IMDx的高度并且另外,底-盖1-2的厚度)被认为对应于层x的高度。从图3中可发现,通孔和金属高度可被快速缩放。在当前技术(诸如40/45nm和28nm)中,IMD高度分别约为2800nm和1700nm,这允许足够空间以供容适MRAM集成结构,诸如图2中解说的那些结构。然而,随着技术进步,通孔和金属线的高度急剧地减少,并且相应地,IMD层的高度也需要减少。例如,对于20/16nm技术而言,通孔高度为650A,而对于10nm技术,通孔高度为400A是可能的。相应地,对于20/16nm技术,针对图2的IMDx的IMD高度(加上底-盖1-2的厚度)将被限定于约1350A,这留下非常小的空间以供容适MTJ位单元连同其接触金属线Mx,诸如用于MTJ 202的配置,如图2中所解说的。进一步地,盖层厚度缩放得比IMDx层中的逻辑慢。与设备尺寸的缩减相关联的这些问题被认为在IMDx层的高度将被限制在800A的技术(诸如10nm)中是非常严重的。

[0037] 因此,示例性实施例包括MTJ侧元件的设计的改进以匹配逻辑侧中的通孔和金属线高度的缩放。在一些情形中,与顶部和底部盖层的数量、盖层的定位和厚度、底部电极BE、MTJ底部电极TE和/或硬掩模(HM)的定位和厚度等的参数可被恰适地设计成适合技术进步的需求,如将在以下进一步描述的。在一些实施例中,形成共用IMD层中的一个或多个逻辑元件,从而在共用IMD层中形成的通孔和金属线的组合高度匹配示例性MTJ和底部电极触点的组合高度。

[0038] 现在参照图4A-L,描绘了用于具有对于缩小设备尺寸稳健的逻辑过程的MRAM的示例性集成的第一实施例连同其各种变型。更具体地,在这些图中解说了存储器器件400的各种方面。为了一致性和易于说明区分示例性实施例的各方面,图4A-L采用了与关于Li的实施例的图2的上述存储器器件200的那些特性和命名类似的解说性特性和命名。更具体地,遵循类似的附图标记来针对类似特征,而区别方面被不同地标出。

[0039] 关于图2与图4A-L之间的共性,在图4A-L中,存储器器件400被解说为具有在“逻辑”侧下示出的一个组件集,以及在“MTJ”侧下示出的另一组件集以解说与逻辑元件或逻辑工艺兼容的MRAM元件、或磁性存储装置、或MTJ元件的集成。如先前,解说了三个层x-1,x和x+1,其具有被示为IMD层(IMD<sub>x-1</sub>、IMD<sub>x</sub>和IMD<sub>x+1</sub>)的电介质或绝缘装置。一般地,属于这些层的组件用标识该组件所属的层的恰适后缀来标记。例如,在逻辑侧上解说了贯穿互连装置或通孔V<sup>x+1</sup>和V<sup>x</sup>以及金属线M<sup>x</sup>和M<sup>x-1</sup>。逻辑侧还可包括其他半导体器件,但为了清楚并未解说这些设备。而在MTJ侧上解说了通孔V<sub>x+1</sub>和金属线M<sub>x-1</sub>。用于分隔IMD<sub>x-1</sub>和IMD<sub>x</sub>层的两个装置在图4A-L中被示为用于分隔IMD<sub>x-1</sub>和IMD<sub>x</sub>层的底部盖层“底-盖1”和“底-盖2”。IMD层对于逻辑侧和MTJ侧是共用的。一般来说,对“共用IMD层”的引用涉及MTJ形成的IMD<sub>x</sub>层。

[0040] 与图2比较,仅一个用于分隔IMD<sub>x</sub>和IMD<sub>x+1</sub>层的装置被示为顶部盖层“顶-盖”,其在图4A-L中被解说为分隔IMD<sub>x</sub>和IMD<sub>x+1</sub>层,由此可避免被第二顶部盖层占据的空间。在图4A-L中描绘的实施例中仍可采用两个底部盖层以提供形成MTJ元件的稳定性,这将在以下进一步讨论。如先前所提及的,图4A-L例如适用于其中具有共用IMD<sub>x</sub>层的层x或者顶-盖和底-盖1-2之间的分隔的高度被减少以跟上缩小设备大小(例如,20nm、16nm、10nm技术)的情形。因此,与图2比较,可以假设:为了解释示例性方面(但并非作为限定),x层或顶部盖层与底部盖层之间的分隔的高度被显著减少(例如,与关于缩小设备大小的高级设备技术成比例,其中示例性实施例可被有利地应用)。

[0041] 现在讨论一些区别特征,图4A-L解说了MTJ位单元结构的变型,其中MTJ 402连同TE 404和BE 406基本上在底部盖层与顶部盖层之间扩展。换言之,与Li的存储器器件200形成对比,存储器器件400牺牲了连接至MTJ 402的金属线(例如,图2中的M<sub>x</sub>)。相反,TE 404直接连接至通孔V<sub>x+1</sub>以形成层x+1中的连接,因此创建了更多空间以供以关于IMD<sub>x</sub>层中可用的减少高度形成MTJ 402。

[0042] 另外,与Li的存储器器件200形成对比,图4A-L的存储器器件400还可通过将BE 406和TE 404与MTJ 402的主体对准来减少BE 406和TE 404的水平或表面面积。该对准可通过参照图4M来理解,图4M解说了存储器器件400的MTJ侧的布局的俯视图,其基本上对应于跨图4A-L看到的存储器器件400的大多数变型。MTJ 402的MTJ栈(其可具有圆形水平表面面积)与耦合至通孔V<sub>x+1</sub>的TE 404对准并以其为中心。在另一侧,MTJ 402耦合至BE 406,BE 406通过BE触点(在该视图中未示出)耦合至M<sub>x-1</sub>。如从图4M的俯视图中看出,BE 406的水平表面面积可跨图4A-L变化,如将在以下进一步说明的。

[0043] 有了对附图的进一步详细参照,图4A提供了跨图4B-L的其余附图可见其变型的基本结构细节。例如,图4A解说了包括MTJ栈的MTJ 402,其包括自由层402f、阻挡层402b和钉扎层402c,其中MTJ栈以TE 404和BE 406为中心。与IMD<sub>x-1</sub>层中的金属M<sub>x-1</sub>的底部触点可通过BE触点412来形成,如所示(替换地,BE 412可由通孔来形成)。尽管BE触点412可具有比BE

406更小的水平表面面积(如所描绘的),因此节省了要被沉积以形成BE触点412的金属量,但这不是必要,并且BE触点412可形成成为任何恰适大小。MTJ 402的主体可被保护性覆盖侧盖408覆盖。进一步地,也可存在硬掩模HM 410(例如,由导电材料制成以保护MTJ栈并将MTJ 402电耦合至TE 404)。图4B和4C表示图4A的替换,其在一些方面包括可参与抵达上述图4A的结构的中间结构。更具体地,在图4B中,可形成保护性侧盖414Ab,其保护并形成围绕整个MTJ结构(包括TE 404、BE 406以及扩展钉孔层402pAb)的侧壁。在图4C中,保护性侧盖414Ac另外覆盖在扩展钉孔层402pAc上形成的扩展阻挡层402bAc。保护性侧盖414Ab和414Ac可在两步骤图案化工艺期间保护图4A-C中解说的MTJ 402的变型,以下参照图5进一步讨论。以此方式,MTJ侧中的元件可被设计成使得它们能容适在共用IMDx层的减少高度内并保持与逻辑侧的集成兼容。

[0044] 现在参照图4D-F,现在将讨论图4A的存储器器件400的变型。在图4D中,BE 406B的水平表面面积可被减少,并且侧盖408B可被恰定制。在图4E中,MTJ 402的钉孔层可被加宽,并且侧盖408C可轮廓相符以覆盖更宽的钉孔层;BE 406C的水平表面面积也可被恰当地增加或加宽。侧盖408C的水平分段在图4F的侧盖408D中被移除。

[0045] 现在来到图4G-L,形成底部金属线M' x-1和Mx-1以伸出底-盖1。以此方式,在MTJ侧,BE触点412E的宽度可被缩小,且较低层x-1中的金属线Mx-1可与MTJ 402更靠近。再次,与图4A类似,图4G表示基本结构,而图4H和4I表示图4G的替换,其在一些方面包括可参与抵达图4G的结构的中间结构。在图4G中更具体地,BE 406E通过BE触点412E连接至金属线Mx-1,其中BE触点412E充当贯穿底-盖2的通孔。因为该布局可清除x层中的某些空间,或创建底部盖层与顶部盖层之间的附加分隔,所以HM 410E可被延长或由附加高度形成以将MTJ 402耦合至TE 404。相应地,侧盖408E可被延长以保护MTJ 402连同HM 410E的附加高度。参照图4H,可形成保护性侧盖414Eb,其保护并形成在图4G的整个MTJ结构(包括TE 404、BE 406E以及扩展钉孔层402pEb)上的侧壁。在图4I中,保护性侧盖414Ec另外覆盖在扩展钉孔层402pEc上形成的扩展阻挡层402bEc。保护性侧盖414Eb和414Ec可在两步骤图案化工艺期间保护图4G-I中解说的MTJ 402的变型,以下参照图5进一步讨论。

[0046] 在图4J中,BE 406F的水平表面面积被减少且侧盖408F被相应地修改以移除其在图4G的BE 406E上形成的水平分段。在图4K中,MTJ 402的钉孔层被加宽,BE 406G的水平表面面积被增加,且侧盖408G大致轮廓相符。与图4K相比,BE 406H的水平表面面积被减小且侧盖408H在图4L中被相应地定制。

[0047] 再次参照图4M,如前向所提及的,解说了存储器器件400的MTJ侧的布局的俯视图,其基本上对应于跨图4A-L看到的存储器器件400的大多数变型。更具体地,如所描绘的,示出IMDx-1层中的金属Mx-1是大矩形面积,其要被当作该俯视图中的最底层。在该金属Mx-1层的顶部,形成在俯视图中具有矩形尺寸的BE 406。被描绘为MT 402的MTJ栈在俯视图的常规圆柱或圆形/椭圆形中被示为在BE 406的顶部形成。TE 404在MTJ 402顶部形成,且通孔Vx+1连接至TE 404以便将MTJ 402连接至顶部IMDx+1层,顶部IMDx+1层可包括金属线(诸如Mx+1(未示出))。将理解,图4M中示出的各元素的相对尺寸仅是出于示例性实施例的解说目的,且这些相对尺寸和形状不被解释为限定。

[0048] 现在参照图5,解说了详述形成存储器器件400的示例性过程的流程图。该流程图包括以下过程:层x-1的IMDx-1中的金属线Mx-1(以及针对逻辑侧的金属线M' x-1)被图案

化一框502；接下来可沉积层x中的绝缘底部盖层底-盖1和2一框504；底部盖层被图案化以为BE触点(例如, BE触点412E)腾出空间, 金属被沉积以形成BE触点, 且在沉积MTJ层之前执行化学机械抛光(CMP)一框506；在一些方面, 薄BE层(未显式示出)随后被沉积且执行短CMP, 之后在薄BE层上沉积BE(例如, BE 404)和MTJ层或MTJ栈(例如, MTJ 402, 例如包括钉扎层、阻挡层、自由层和HM 410)一框508；MTJ层(或在一些方面中, 自由层(诸如MTJ 402的402f))被图案化且侧盖层(例如, 侧盖408)被沉积, 之后使用掩模或分隔件或通过TE掩模将钉扎层(例如, 钉扎层402p)和BE图案化一框510；在层x的MTJ侧与逻辑侧之间的区域中沉积共用IMD<sub>x</sub>, 且在MTJ顶部执行平坦化一框512；在MTJ栈上沉积TE(例如, TE 404)且图案化该TE, 其中可任选地该MTJ栈或钉扎层BE层根据涉及保护性侧盖(例如, 根据图4A-C; 4G-I)的两步骤MTJ蚀刻被图案化一框514；再次沉积电介质IMD<sub>x</sub>以便填充层x的开放区域, 之后可将IMD CMP工艺用于IMD<sub>x</sub>层的平坦化一框516；底-盖1和2被图案化且通过底-盖1和2创建逻辑侧的通孔V' x, 且层x的逻辑侧的金属线M' x/通孔V' x可被沉积, 同时注意不要在MTJ侧图案化一框518；顶-盖1可被沉积在MTJ侧上的TE上, 且金属线M' x被沉积在逻辑侧上一框520；以及顶-盖被图案化以在MTJ侧上形成通孔V<sub>x+1</sub>以连接至TE且形成通孔V' x+1以连接至逻辑侧上的金属线M' x一框522。

[0049] 在图5的上述过程中, 在根据图4A-L制造的存储器器件的情形中可能需要三个掩模, 其中第一掩模用于在框506-508中讨论的BE接触信息, 第二掩模用于形成在框508-510中讨论的MTJ栈, 并且第三掩模用于如框514中讨论地在MTJ顶部形成TE连接。可以看到存储器器件400完全与逻辑过程(例如, 框502-504和518-522)兼容。

[0050] 现在参照图6A-H, 描绘了用于MRAM与对于缩小设备尺寸稳健的逻辑过程的示例性集成的第二实施例连同其各种变型。更具体地, 在这些图中解说了存储器器件600的各种方面。为了一致性和易于说明示例性实施例的各区别方面, 图6A-L采用了与图2的上述存储器器件200和图4A-L的设备400的那些特性和命名类似的解说性特性和命名。更具体地, 类似的附图标记以下针对类似特征, 而区别方面被不同地标出。为了简明起见, 本文将不重复共同方面的详细说明。

[0051] 简要地, 与图2和图4A-L中一样, 在图6A-H中, 存储器器件600被解说为具有在“逻辑”侧下示出的一个组件集以及在“MTJ”侧下示出的另一组件集, 以解说MRAM或MTJ元件与逻辑过程的集成。如先前所述, 解说了三个层x-1、x和x+1, 其具有共用IMD层IMD<sub>x-1</sub>、IMD<sub>x</sub>和IMD<sub>x+1</sub>且属于这些层的组件用表示该组件所属层的恰适后缀来标记。例如, 在逻辑侧上解说了通孔V' x+1和V' x以及金属线M' x和M' x-1。而在MTJ侧上解说了通孔V<sub>x+1</sub>和金属线M<sub>x-1</sub>。两个底部盖层(底-盖1和2)被解说为用于分隔IMD<sub>x-1</sub>和IMD<sub>x</sub>层, 且一个顶部盖层(顶-盖)被解说为分隔IMD<sub>x</sub>和IMD<sub>x+1</sub>层。与图4A-L的情形中一样, 图6A-H还描绘了其中具有共用IMD<sub>x</sub>层的层x的高度或者顶-盖和底-盖1-2之间的分隔被(例如与图2相比)减少以跟上缩小设备大小(例如, 20nm、16nm、10nm技术)的各方面。

[0052] 另一方面, 关于存储器器件600和400的差异, 图6A-H一般涉及在MTJ位单元结构上牺牲顶部电极(TE)形成、由此创建更多空间以供MTJ侧元件集成的实施例。取代形成单独的IE, 存储器器件600利用在示例性MTJ栈中已经存在的导电硬掩模(HM)来连接至通孔V<sub>x+1</sub>, 通孔V<sub>x+1</sub>连接至层x+1中的IMD<sub>x+1</sub>层。因此, 在一些非限制性方面, 存储器器件600可被认为适用于比存储器器件400有进一步进步(即, 针对MTJ侧集成提供甚至更小的高度)的设备技

术;尽管这不是必须的,且出于设计选择存储器器件600可被选择,即使存储器器件400还可适用于特定MRAM集成尝试。

[0053] 更具体地,图6A-H解说存储器器件600的变型,其中MTJ 602包括无需中间TE而直接在层x中耦合至MTJ侧上的通孔Vx+1的HM 610。图6A-H的其余方面基本上与图4A-L相同,且将在以下章节中更详细地讨论。类似于图4A-L的存储器器件400,图6A-H的存储器器件600还可通过将BE 606与MTJ 602的主体对准来减小BE 606的水平或表面面积。该对准可通过参照图6I来理解,图6I解说了存储器器件600的MTJ侧的布局的俯视图,其基本上对应于跨图6A-H看到的存储器器件600的大多数变型。MTJ 602的MTJ栈(其可具有圆形水平表面面积)与通孔Vx+1对准或以其为中心,并通过HM 610(在该视图中未示出)耦合至通孔Vx+1。在另一侧,MTJ 602如先前地耦合至BE 606,BE 606通过BE触点(在该视图中也未示出)耦合至Mx-1。如从图6I的俯视图中看出,BE 606的水平表面面积可跨图6A-H变化,如将在以下进一步说明的。

[0054] 进一步详细参照图6A,例如,MTJ 602包括形成MTJ栈并以BE 606为中心或与其对准的自由层、阻挡层和钉孔层。与IMDx-1层中的金属Mx-1的底部触点可通过BE触点612来形成,如所示(替换地,BE触点612可由通孔来形成)。尽管BE触点612可具有比BE 606更小的水平表面面积(如所描绘的),因此节省了要被沉积以形成BE触点612的金属量,但这不是必需,并且BE触点612可形成为任何恰适大小。MTJ 602的主体可被保护性覆盖(诸如,侧盖408)覆盖。如已经提及的,HM 610(例如,由导电材料制成以保护MTJ栈)电耦合至通孔Vx+1以供将层x中的MTJ 602连接至诸如层x+1中的金属线Mx+1(未示出)之类的元件。如所见,存储器器件600还满足与逻辑过程的兼容MRAM集成的要求,其中MTJ侧元件被设计成使得它们能被容适在共用IMDx层的减小高度内。

[0055] 现在参照图6B-D,现在将讨论图6A的存储器器件600的变型。在图6B中,BE 606B的水平表面面积可被减小,并且侧盖608B可被恰适定制。在图6C中,MTJ 602的钉孔层可被加宽,并且侧盖608C可轮廓相符以覆盖更宽的钉孔层;BE 606C的水平表面面积也可被恰适地增加或加宽。侧盖608C的水平分段在图6D的侧盖608D中被移除。

[0056] 现在来到图6E-H,与图4G-L中描绘的实施例类似,形成底部金属线M' x-1和Mx-1以伸出底-盖1。以此方式,在MTJ侧,BE触点612E的宽度可被缩小,且较低层x-1中的金属线Mx-1可与MTJ 602更靠近。在图6E中更具体地,BE 606E通过BE触点612E连接至金属线Mx-1,其中BE触点612E充当贯穿底-盖2的通孔。因为该布局可清出x层中的某些空间,或创建底部盖层与顶部盖层之间的附加分隔,所以HM 610E可被延长或由附加高度形成以将MTJ 602耦合至通孔Vx+1。相应地,侧盖608E可被加大以保护MTJ 602连同HM 610E的附加高度。在图6F中,BE 606F的水平表面面积被减小且侧盖608F被相应地修改以移除其在图6E的BE 606E上形成的水平分段。在图6G中,MTJ 602的钉孔层被加宽,BE 606G的水平表面面积被增加,且侧盖608G大致轮廓相符。与图6G相比,BE 606H的水平表面面积被减小且侧盖608H被相应地定制。

[0057] 现在参照图7,解说了详述形成存储器器件600的示例性过程的流程图。该流程图包括以下过程:层x-1的IMDx-1中的金属线Mx-1(以及针对逻辑侧的金属线M' x-1)被图案化一框702;接下来可沉积层x中的绝缘底部盖层(底-盖1和2)一框704;底部盖层被图案化以为BE触点(例如,BE触点612)腾出空间,用于BE触点的金属随后被填充,并执行化学机械

抛光(CMP)一框706；薄BE层或膜随后被沉积且执行短CMP，之后在薄BE层上沉积BE(例如，BE 604)和MTJ层或MTJ栈(例如，MTJ 602，例如包括钉扎层、阻挡层、自由层和HM 610)一框708；MTJ层被图案化且侧盖层(例如，侧盖608)被沉积，且BE使用掩模或间隔物被图案化一框710；在层x的MTJ侧与逻辑侧之间的区域中沉积共用IMD<sub>x</sub>，且在MTJ顶部执行平坦化一框712；底-盖1和2被图案化且通过底-盖1和2创建逻辑侧的通孔V' x，且层x中逻辑侧的金属线M' x可被沉积，同时注意不要在MTJ侧图案化一框714；顶-盖1可被沉积在MTJ侧上的硬掩模(例如，HM 610)上，且金属线M' x被沉积在逻辑侧上一框716；以及顶-盖1被图案化以在MTJ侧上形成通孔V<sub>x+1</sub>以连接至HM且形成通孔V' x+1以连接至逻辑侧上的金属线M' x+1一框718。

[0058] 与图5中描述的用于形成根据图4A-L的存储器器件400的过程形成对比，可以看到在上述图7形成根据图6A-H的存储器器件600的过程中涉及更少步骤。这是因为在图7的过程中不要求与形成TE有关的步骤。相应地，图7的过程中使用的掩模数量也低于关于图5所讨论的那些掩模数量。更具体地，对于图7的过程，在制造根据图6A-H的存储器器件600的情形中可能仅需要两个掩模，其中第一掩模用于框706-708中讨论的BE触点制造而第二掩模用于形成框708-710中讨论的MTJ栈。可以看到存储器器件600也完全与逻辑过程(例如，框702-704和714-718)兼容。

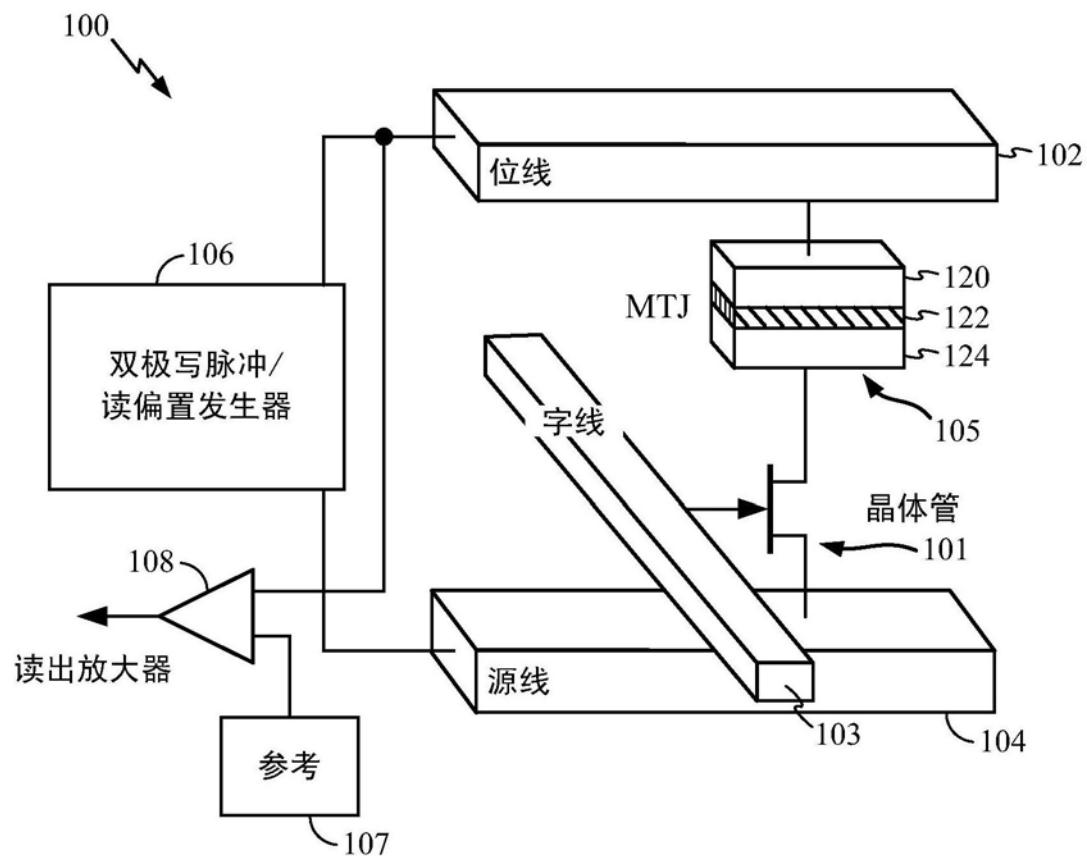
[0059] 本领域技术人员将领会，信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如，贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0060] 此外，本领域技术人员将领会，结合本文中所公开的实施例描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性，各种解说性组件、块、模块、电路、以及步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性，但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0061] 结合本文中所公开的实施例描述的方法、序列和/或算法可直接在硬件中、在由处理器执行的软件模块中、或者在这两者的组合中体现。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM或者本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器从而该处理器能从/向该存储介质读写信息。在替换方案中，存储介质可以被整合到处理器。

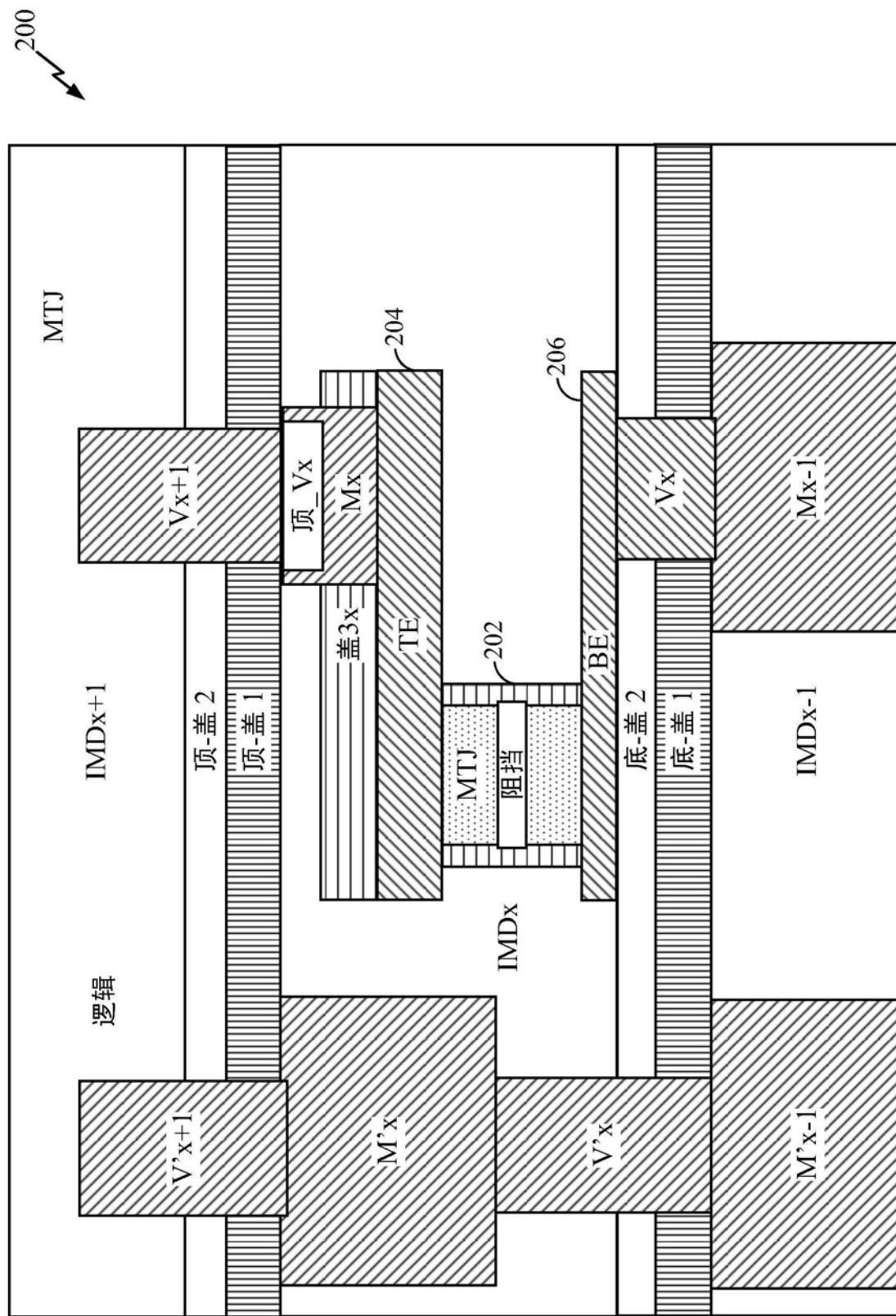
[0062] 因此，本发明的实施例可包括实施用于随缩小设备大小和将来设备技术兼容且稳健的逻辑过程的MRAM集成的方法的计算机可读介质。相应地，本发明并不限于所解说的示例且任何用于执行文本所描述的功能性的手段均被包括在本发明的实施例中。

[0063] 尽管上述公开示出了本发明的解说性实施例，但是应当注意到，在其中可作出各种更换和改动而不会脱离如所附权利要求定义的本发明的范围。根据本文中所描述的本发明实施例的方法权利要求的功能、步骤和/或动作不必按任何特定次序来执行。此外，尽管本发明的要素可能是以单数来描述或主张权利的，但是复数也是已料想了的，除非显式地声明了限定于单数。



常规技术

图1



根据Li等人 (US2012/0032287) 的MRAM集成

图2

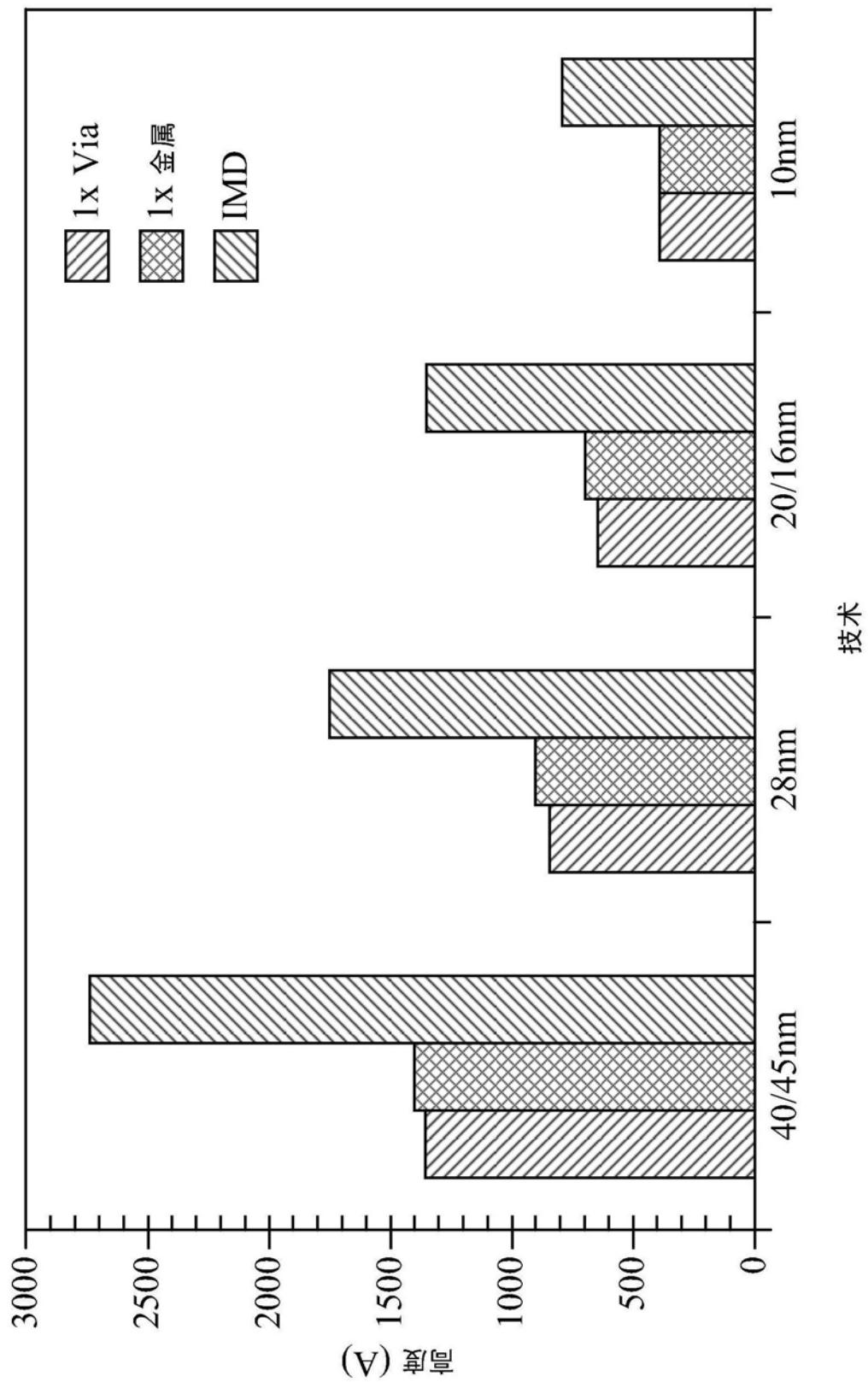


图3

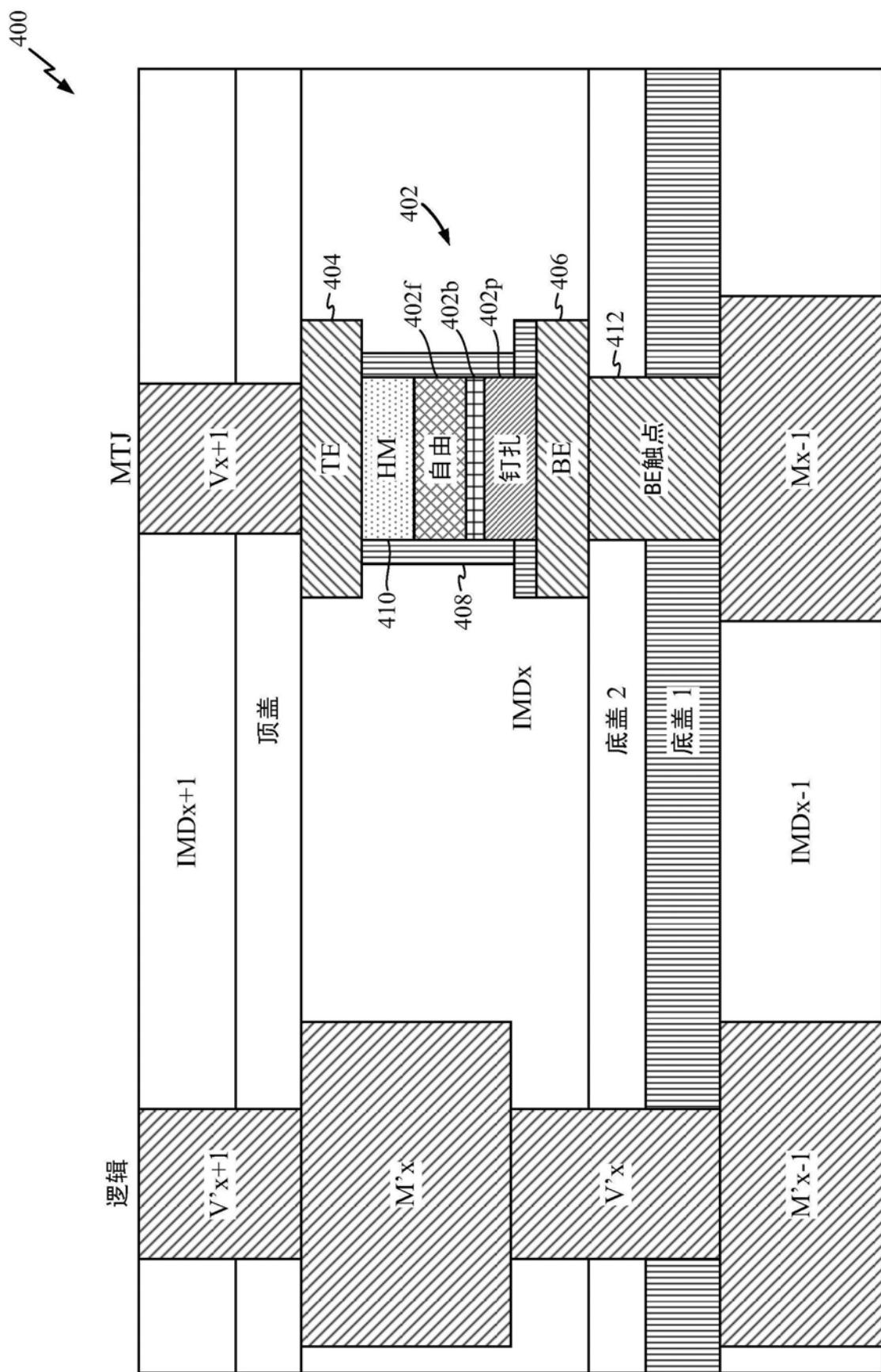


图4A

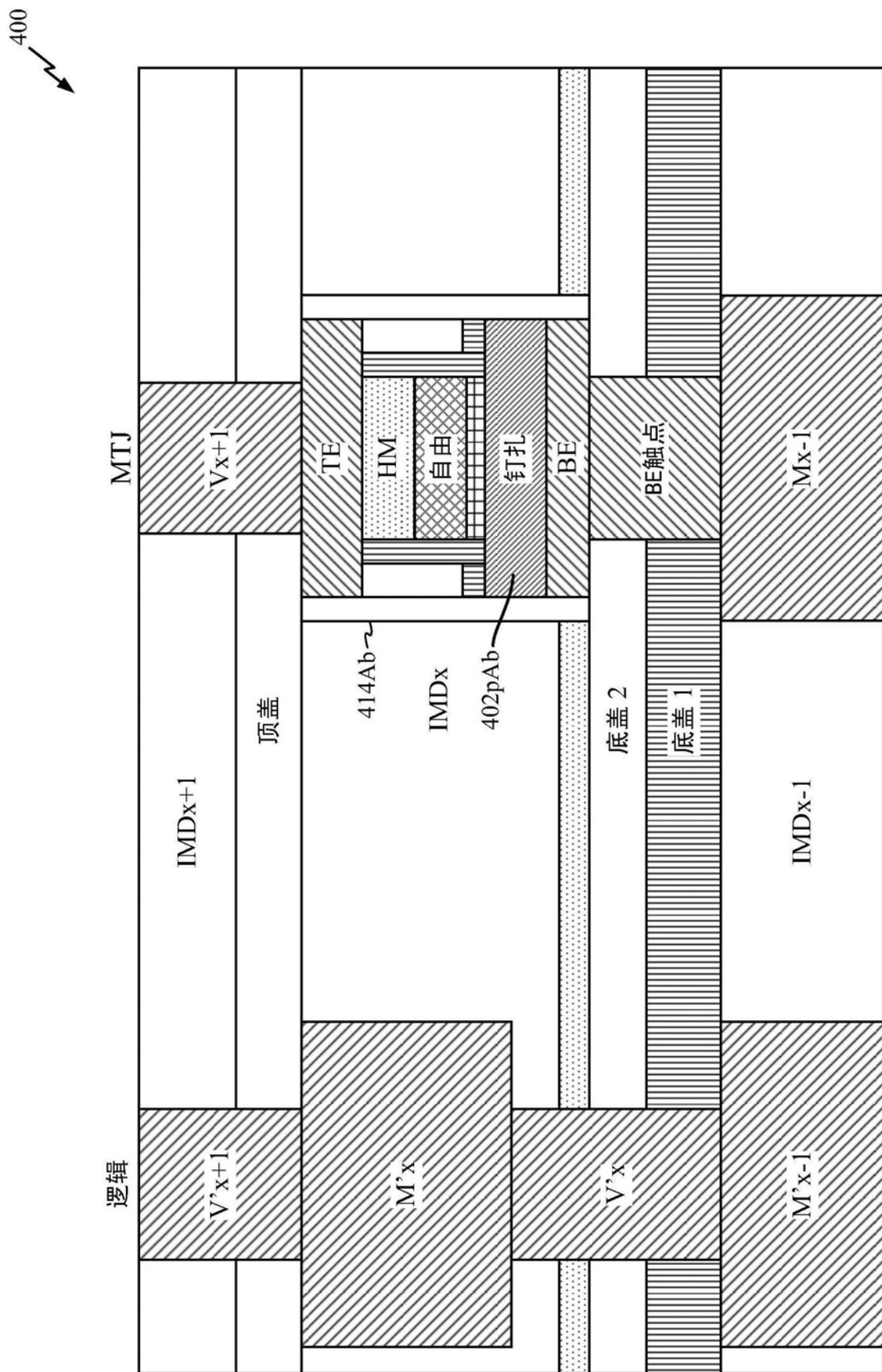


图4B

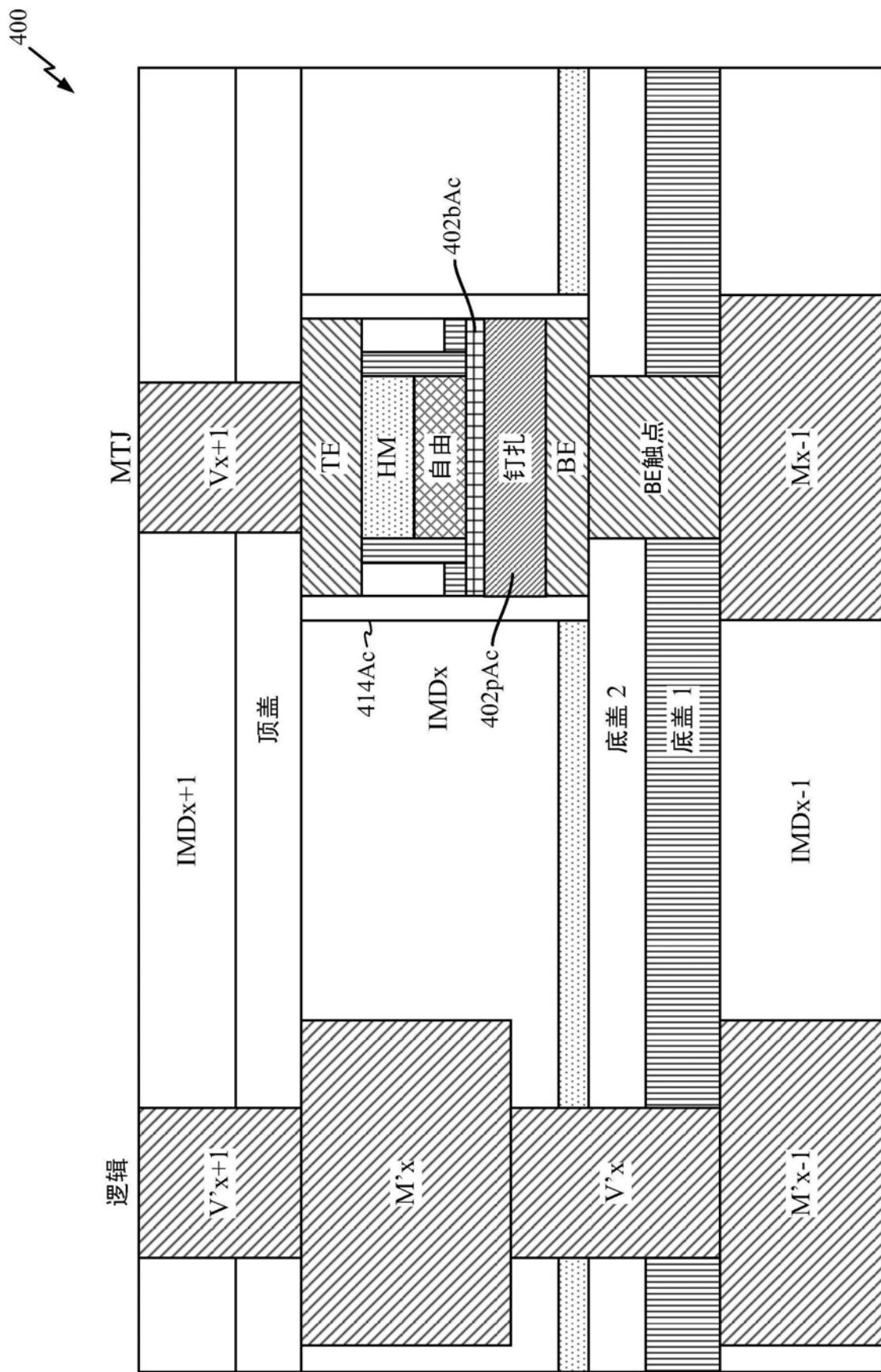


图4C

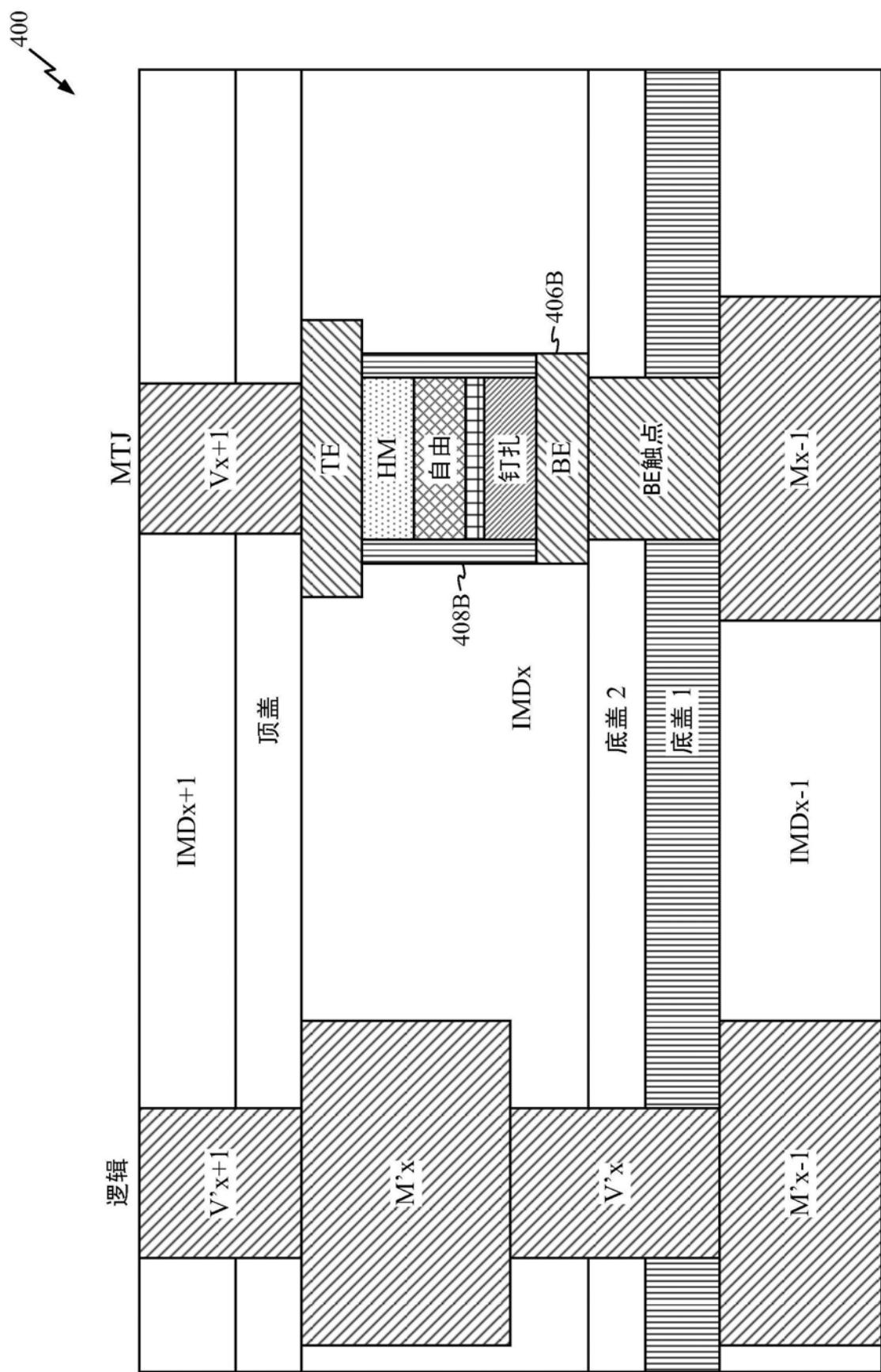


图4D

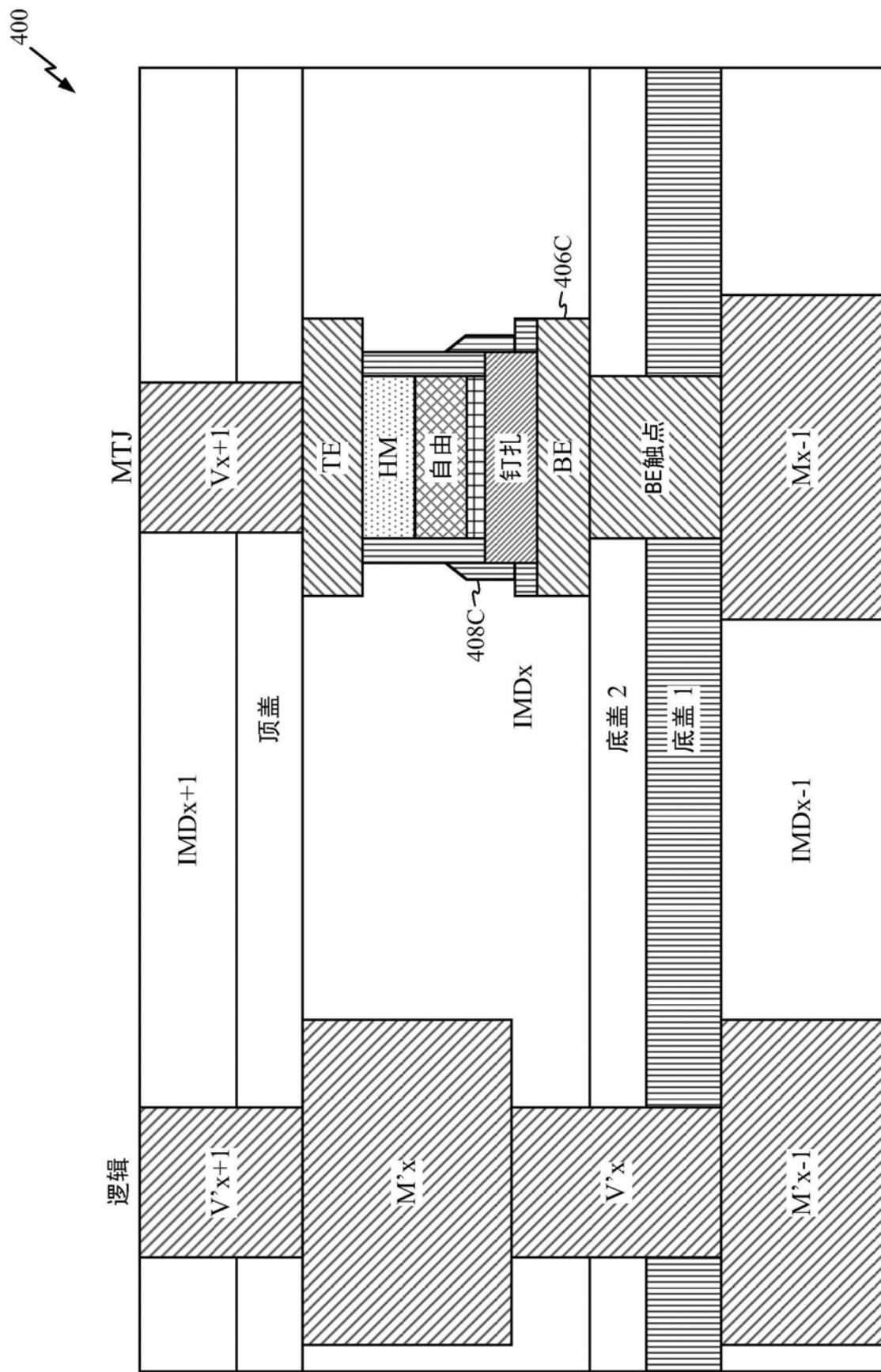


图4E

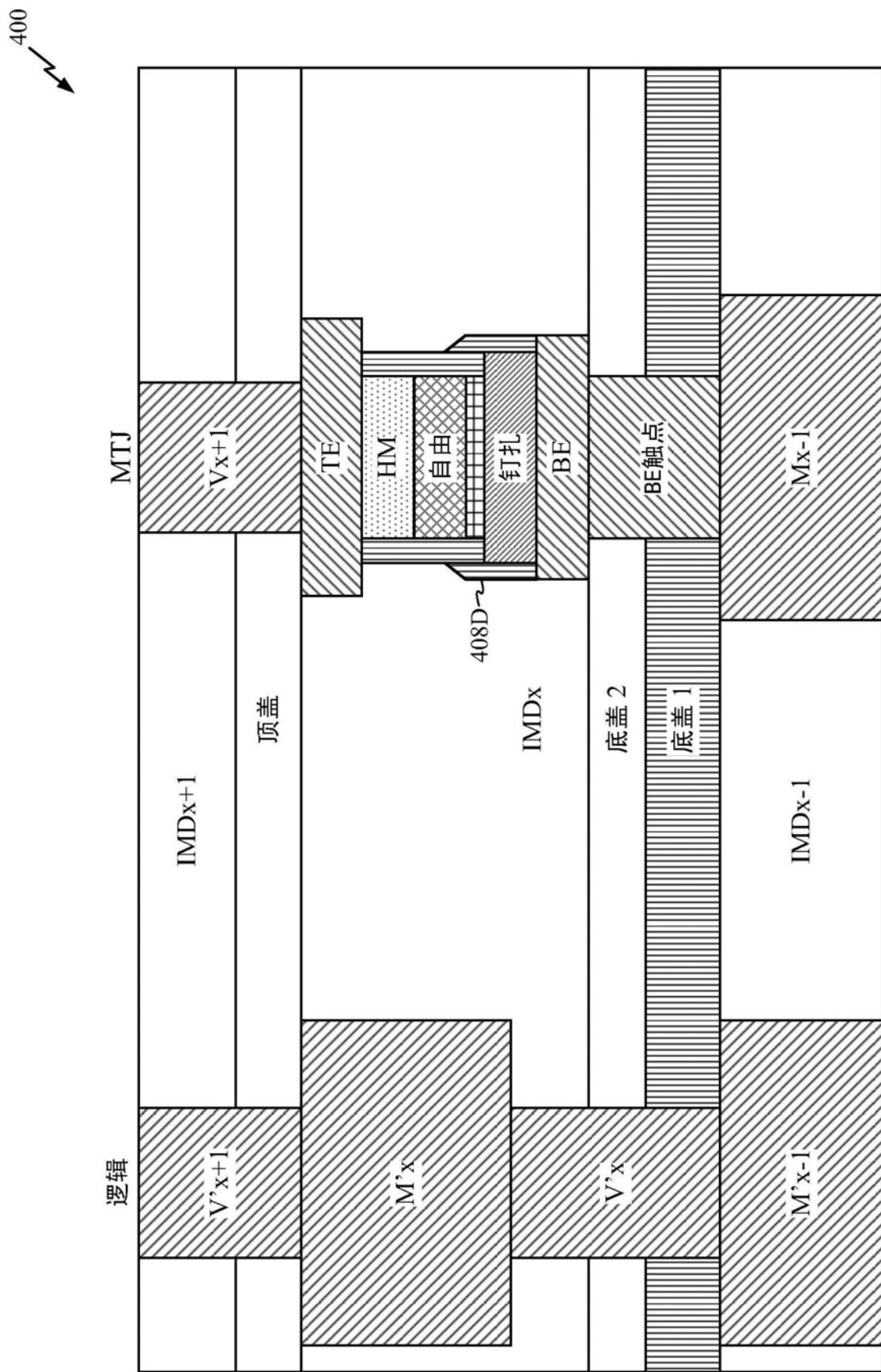


图4F

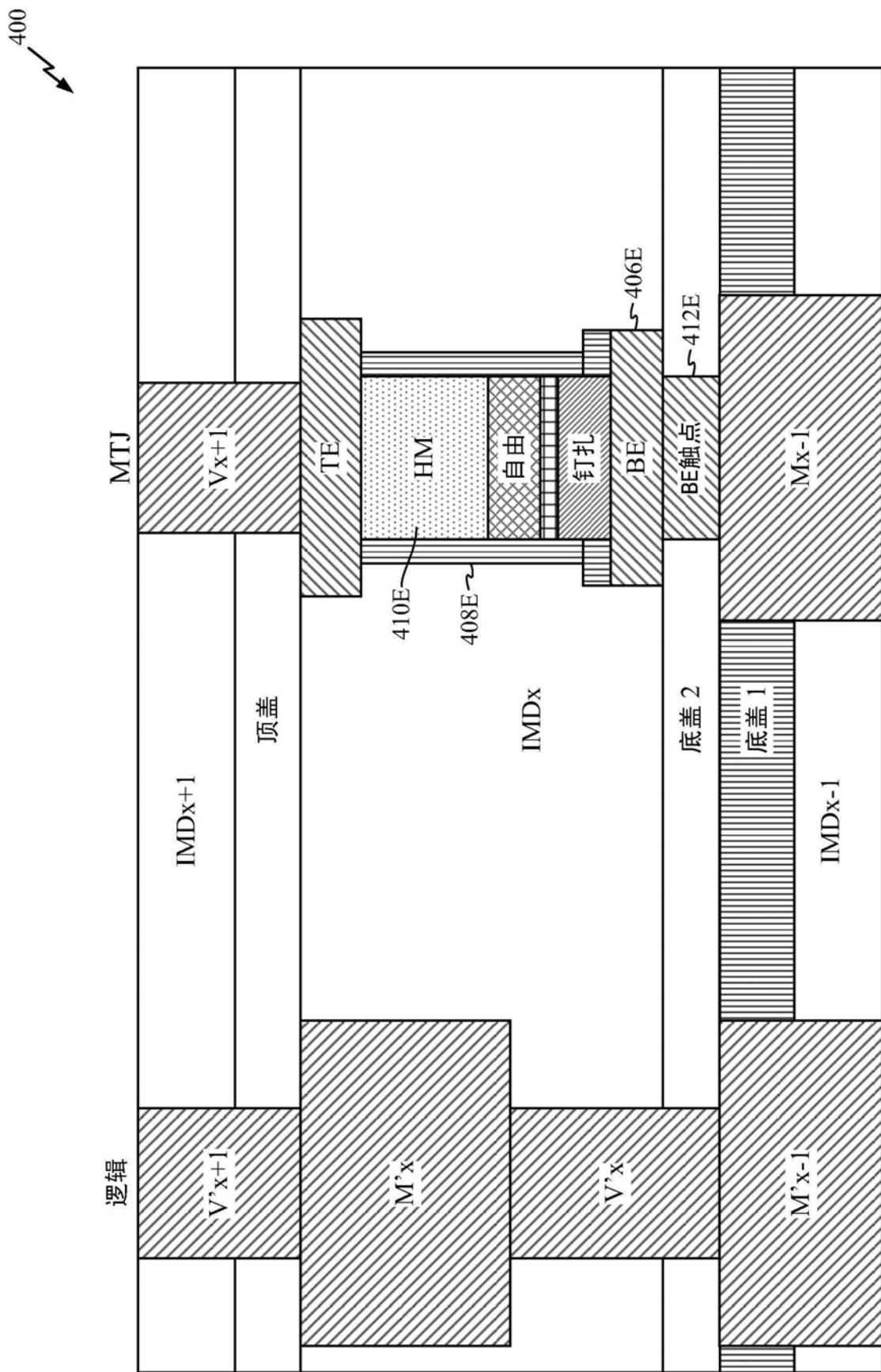


图4G

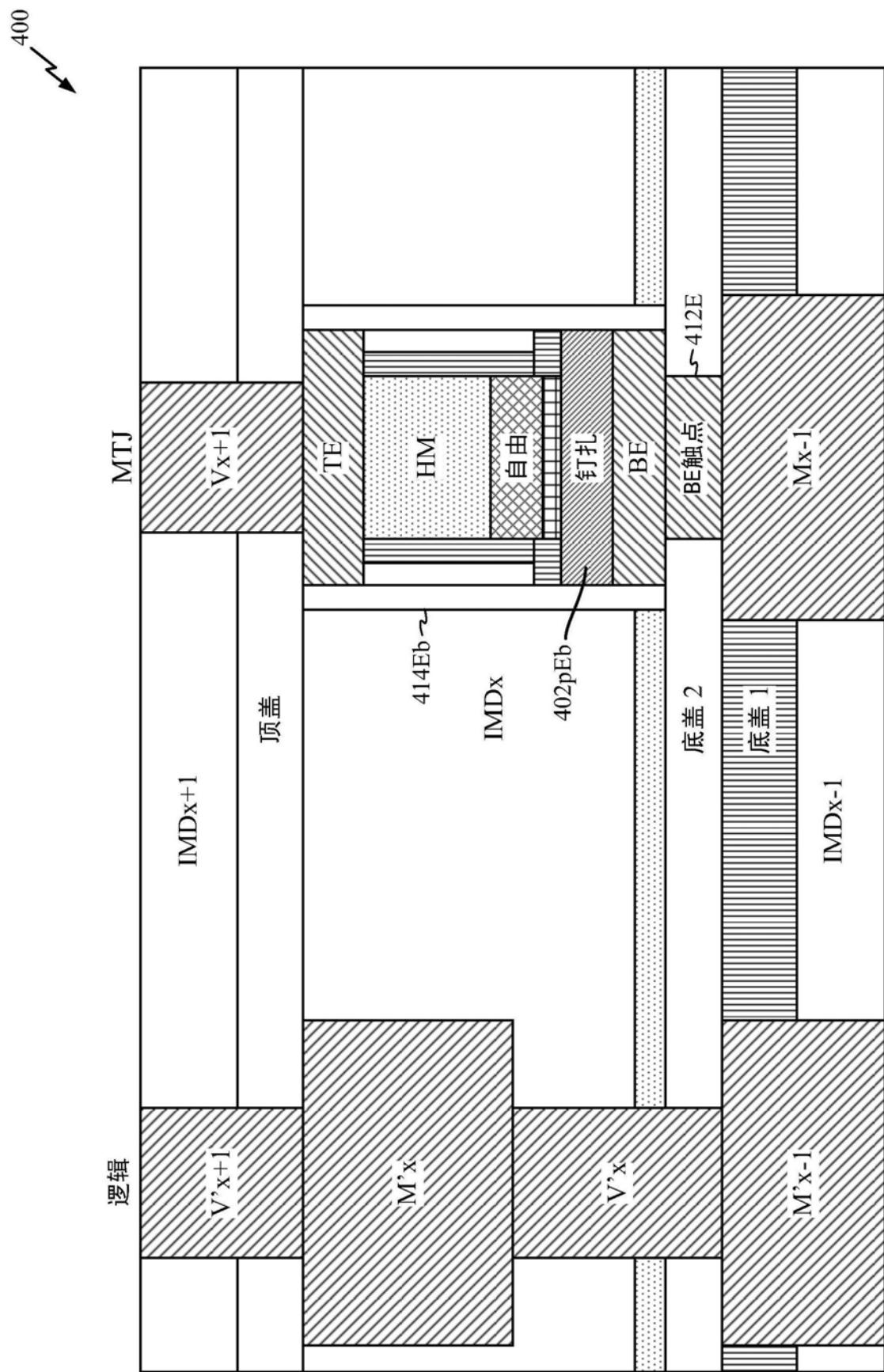


图4H

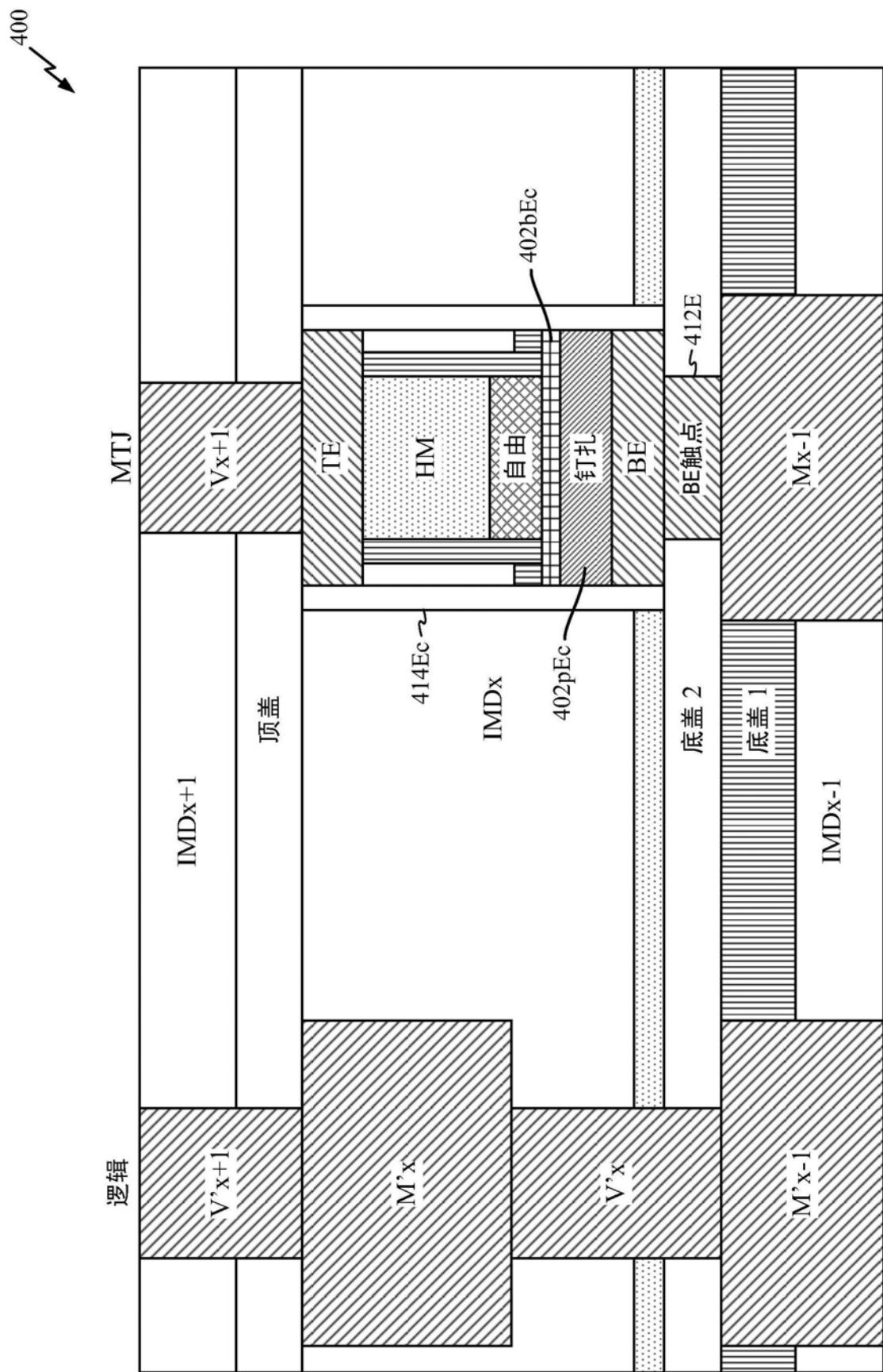


图4I

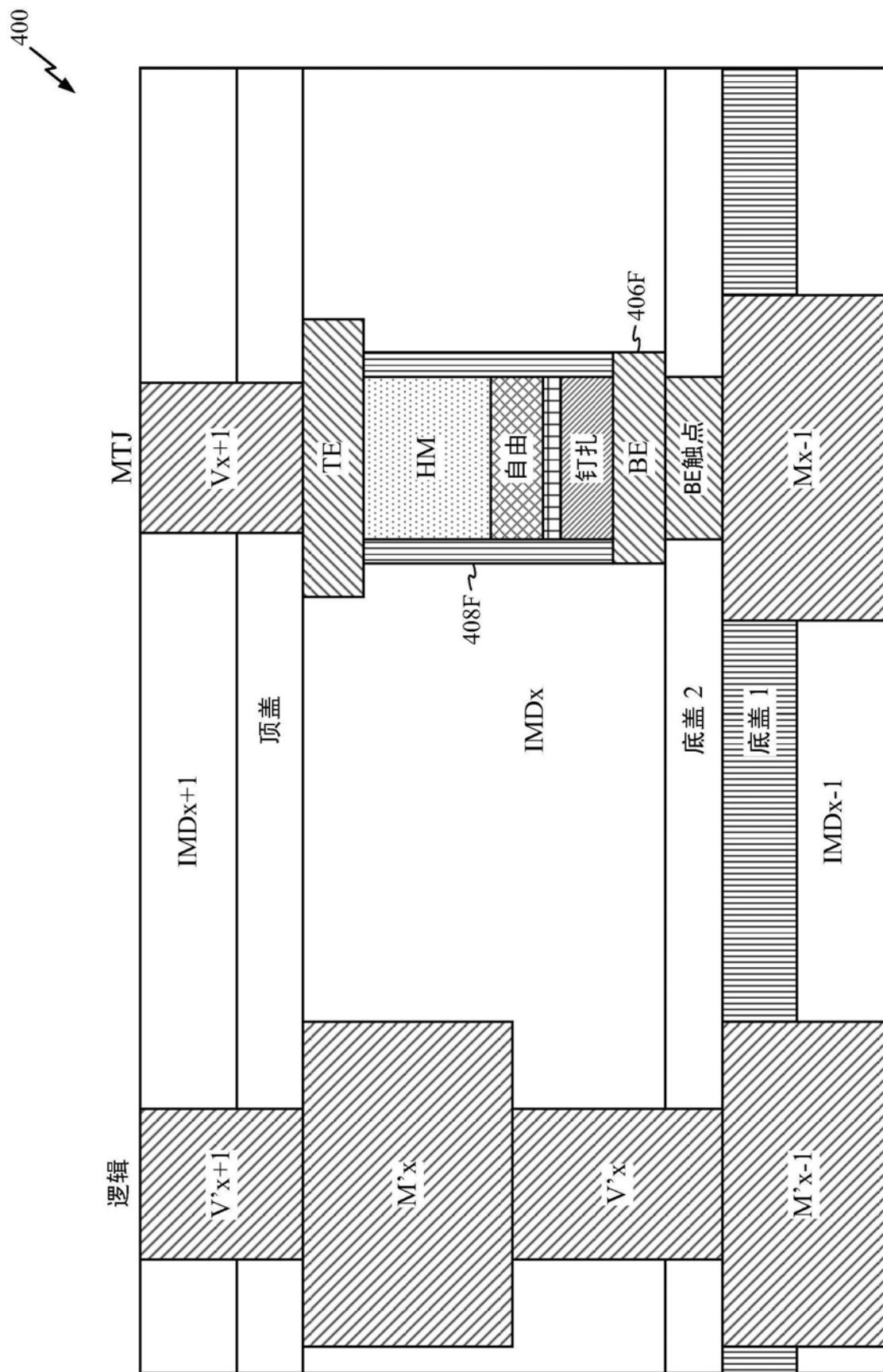


图4J

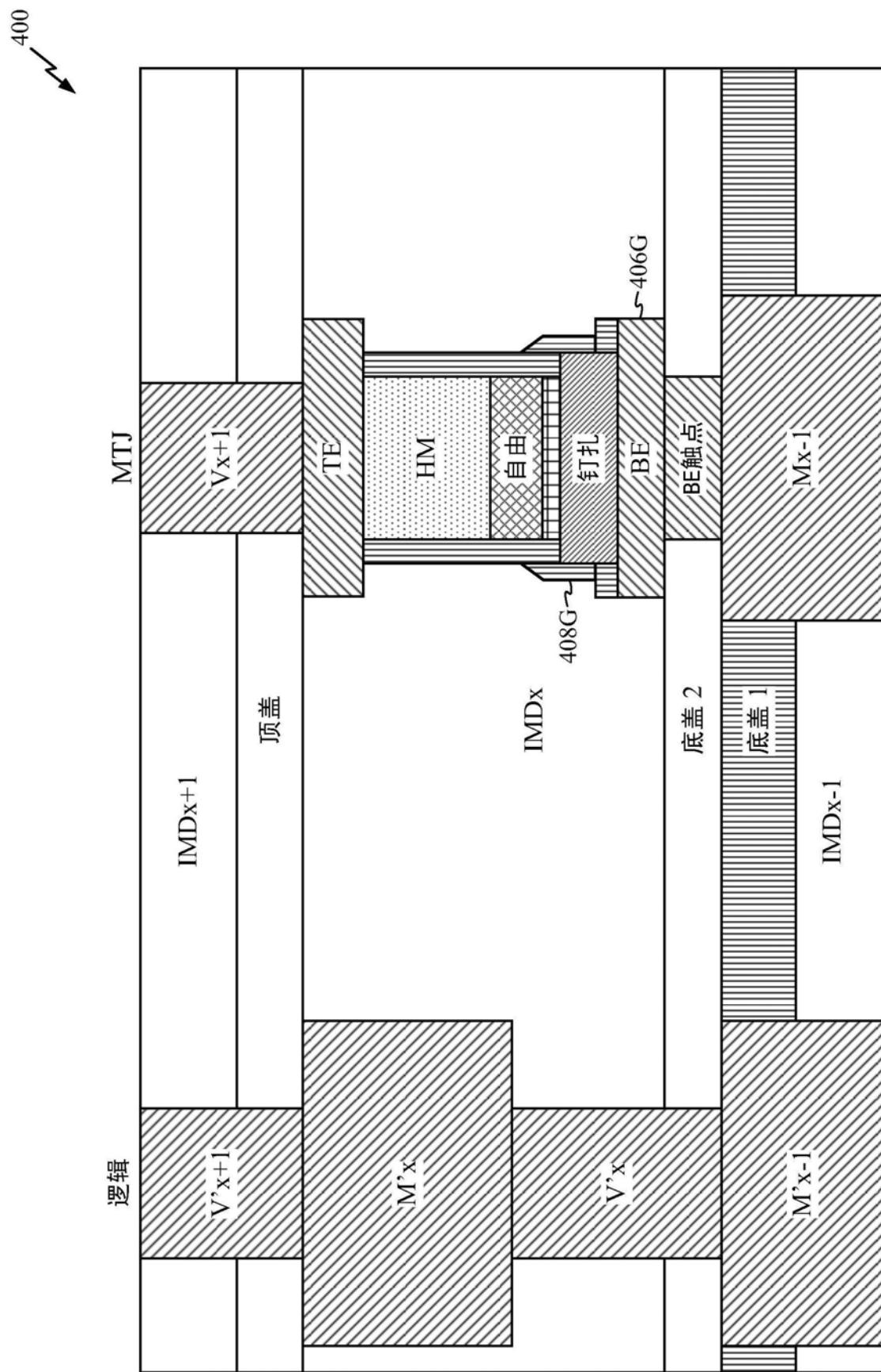


图4K

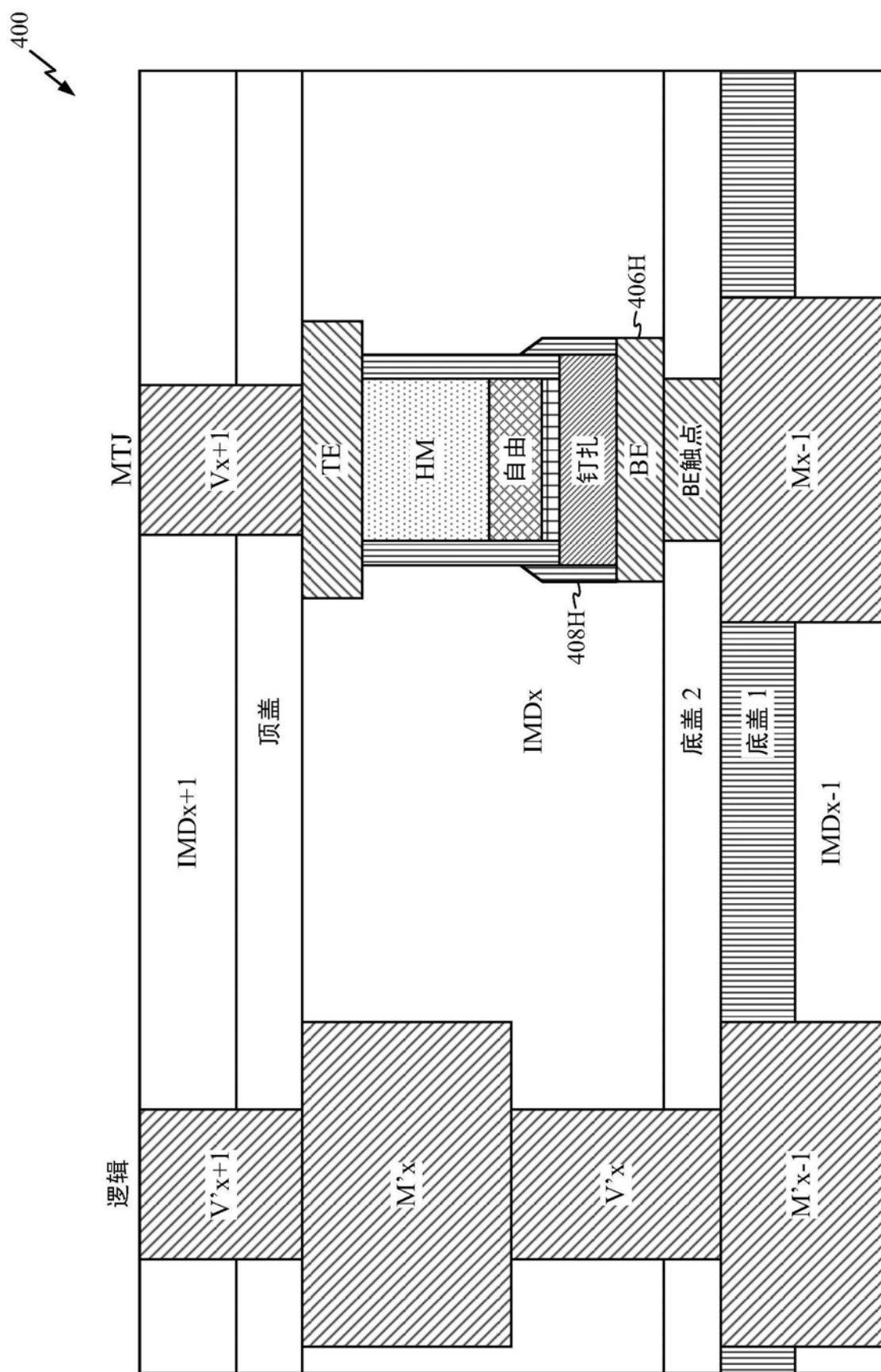


图4L

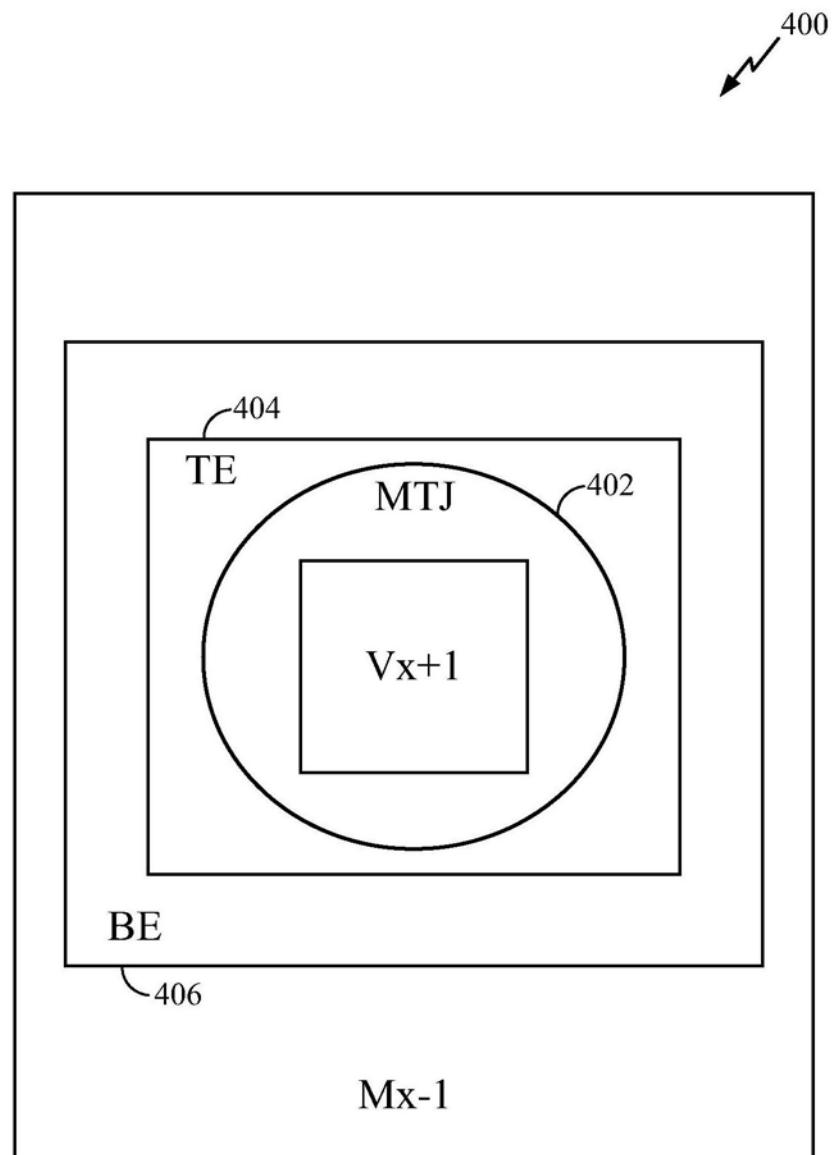


图4M

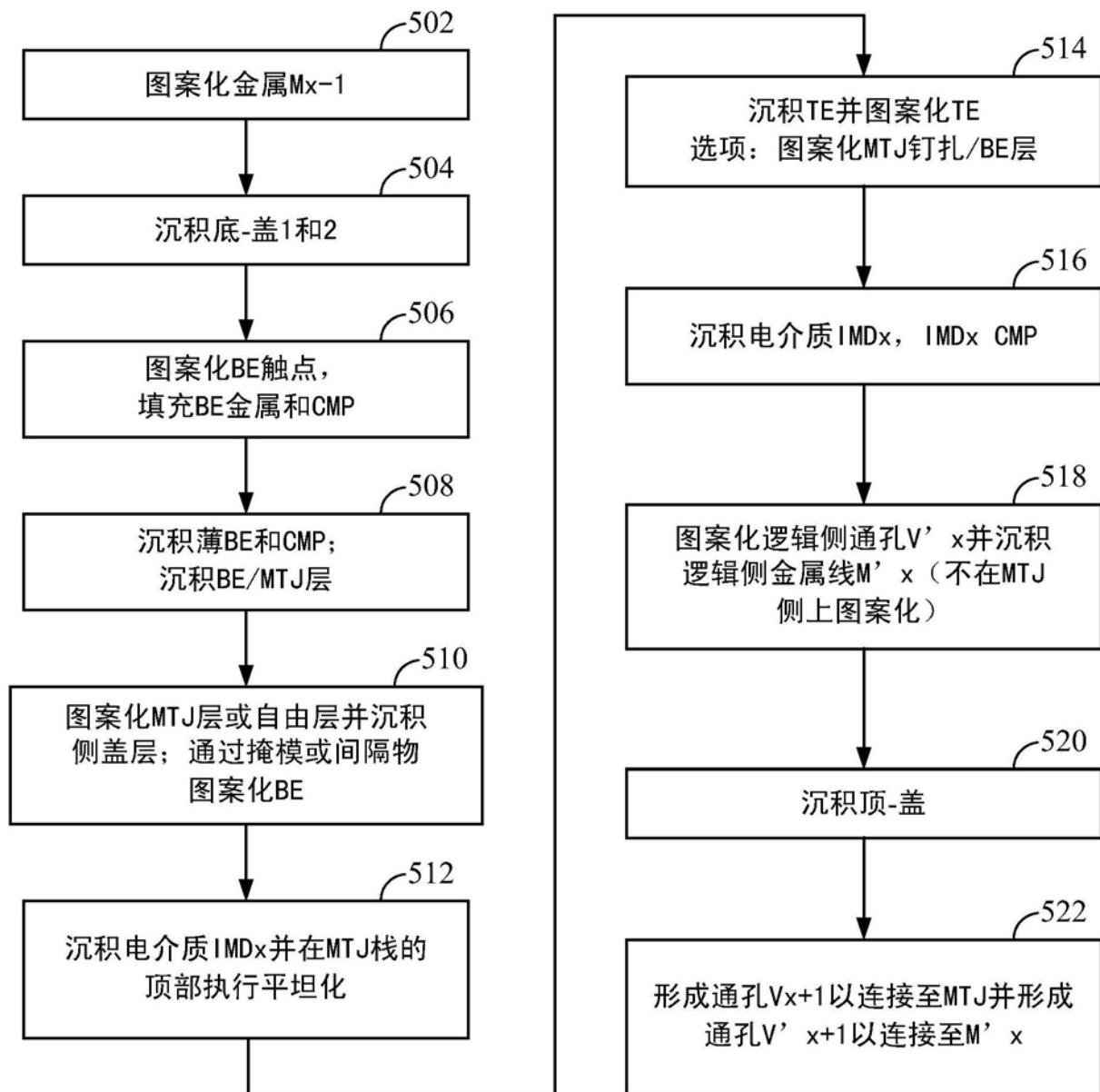


图5

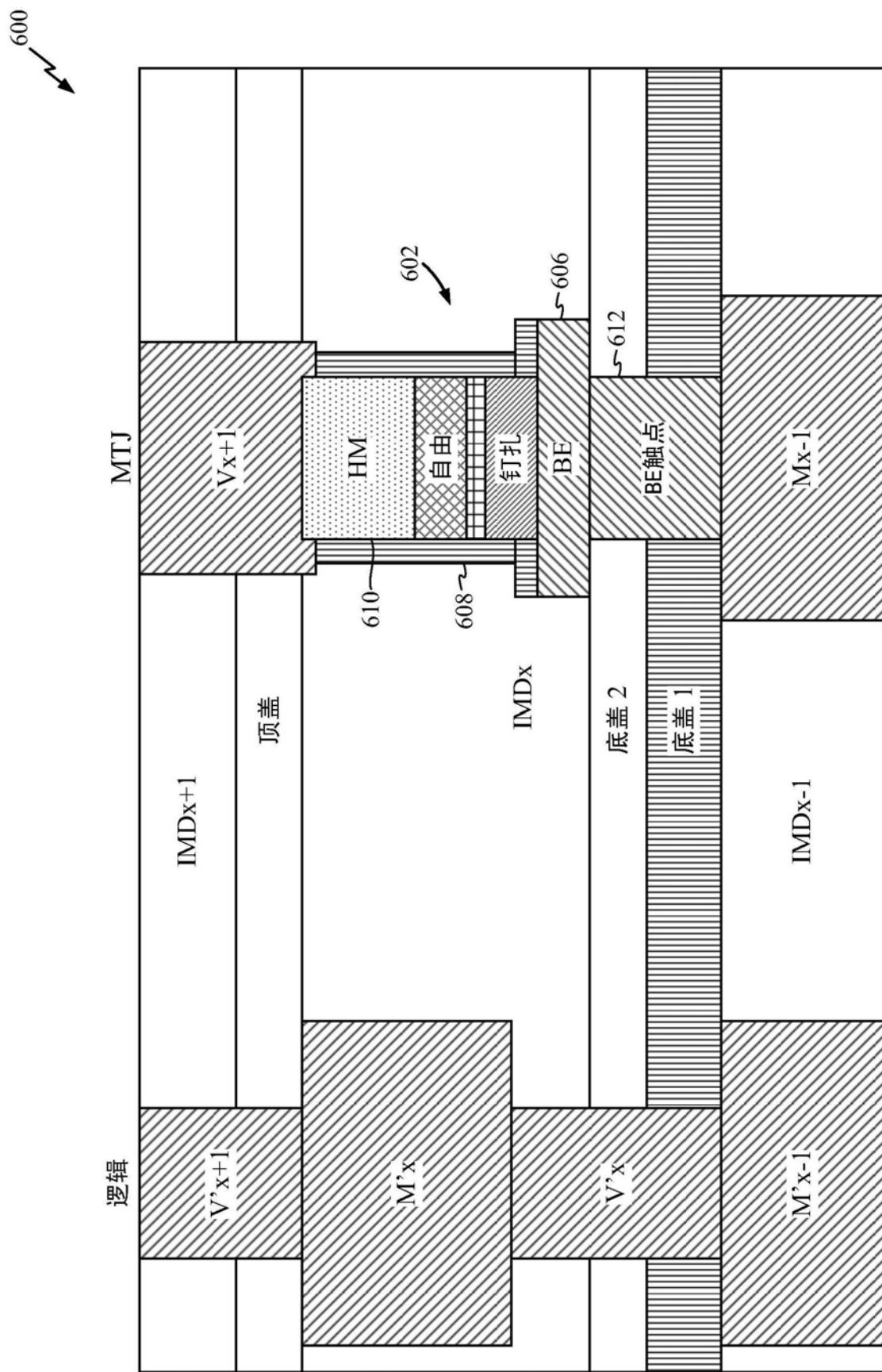


图6A

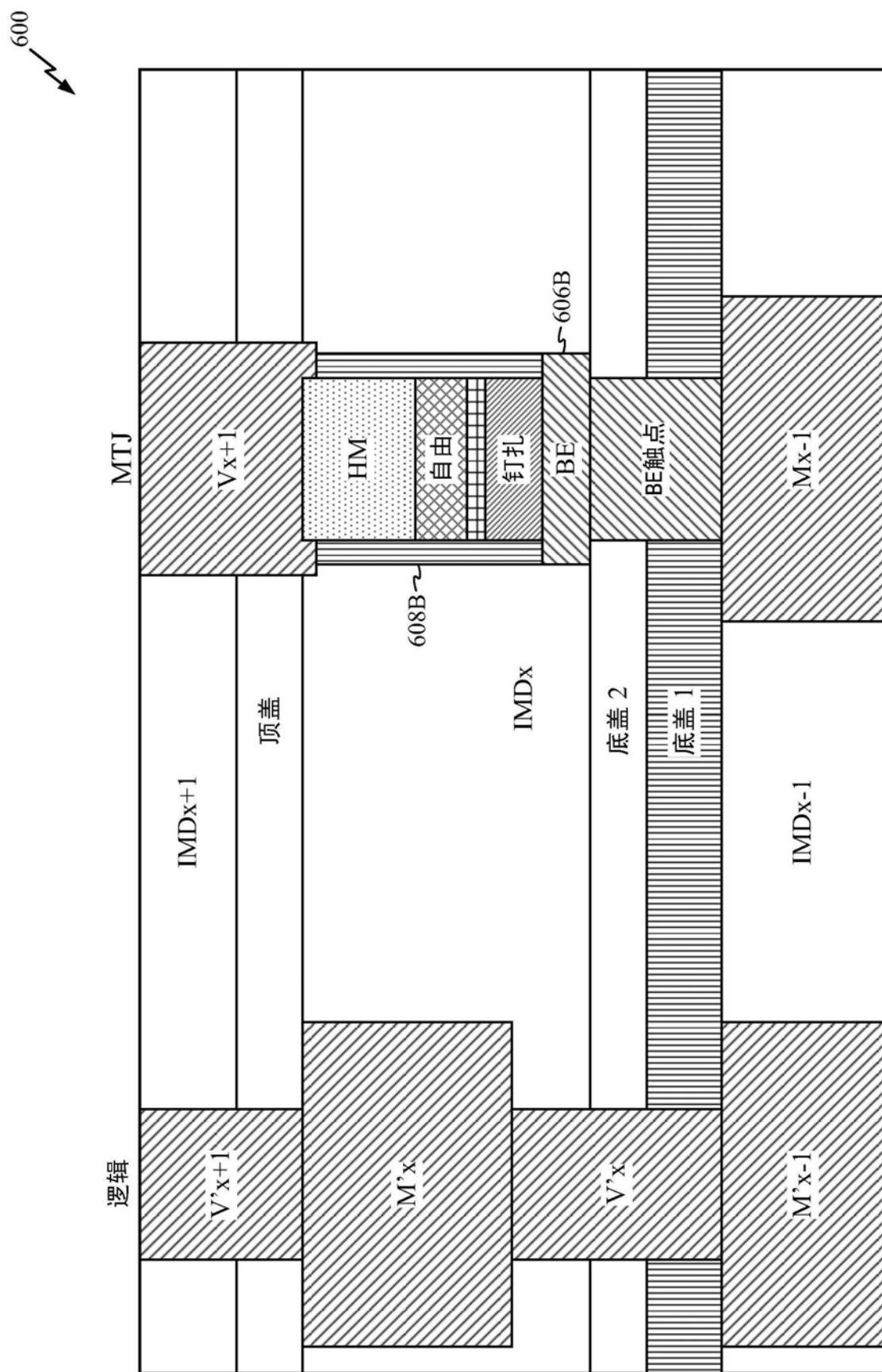


图6B

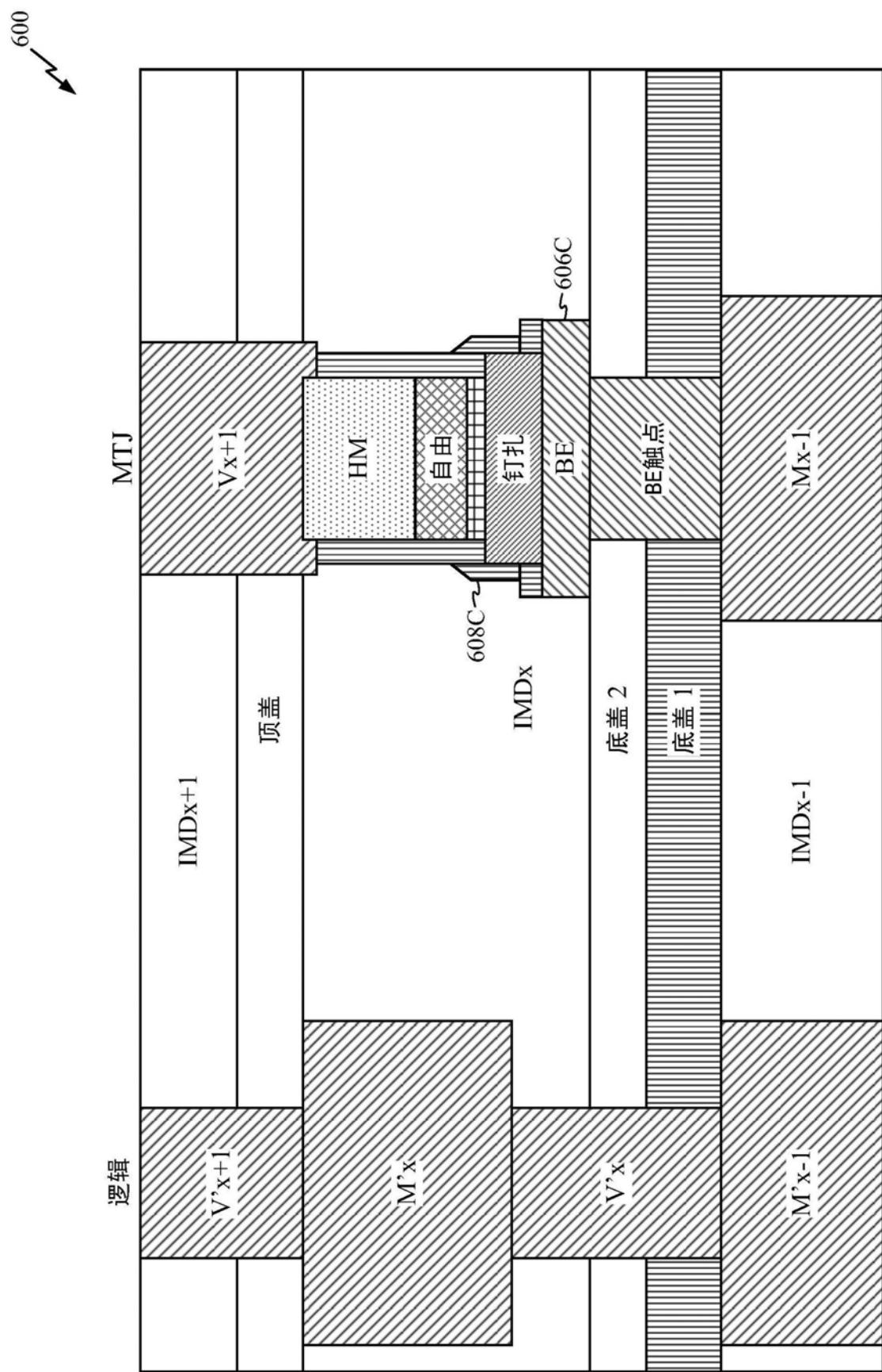


图6C

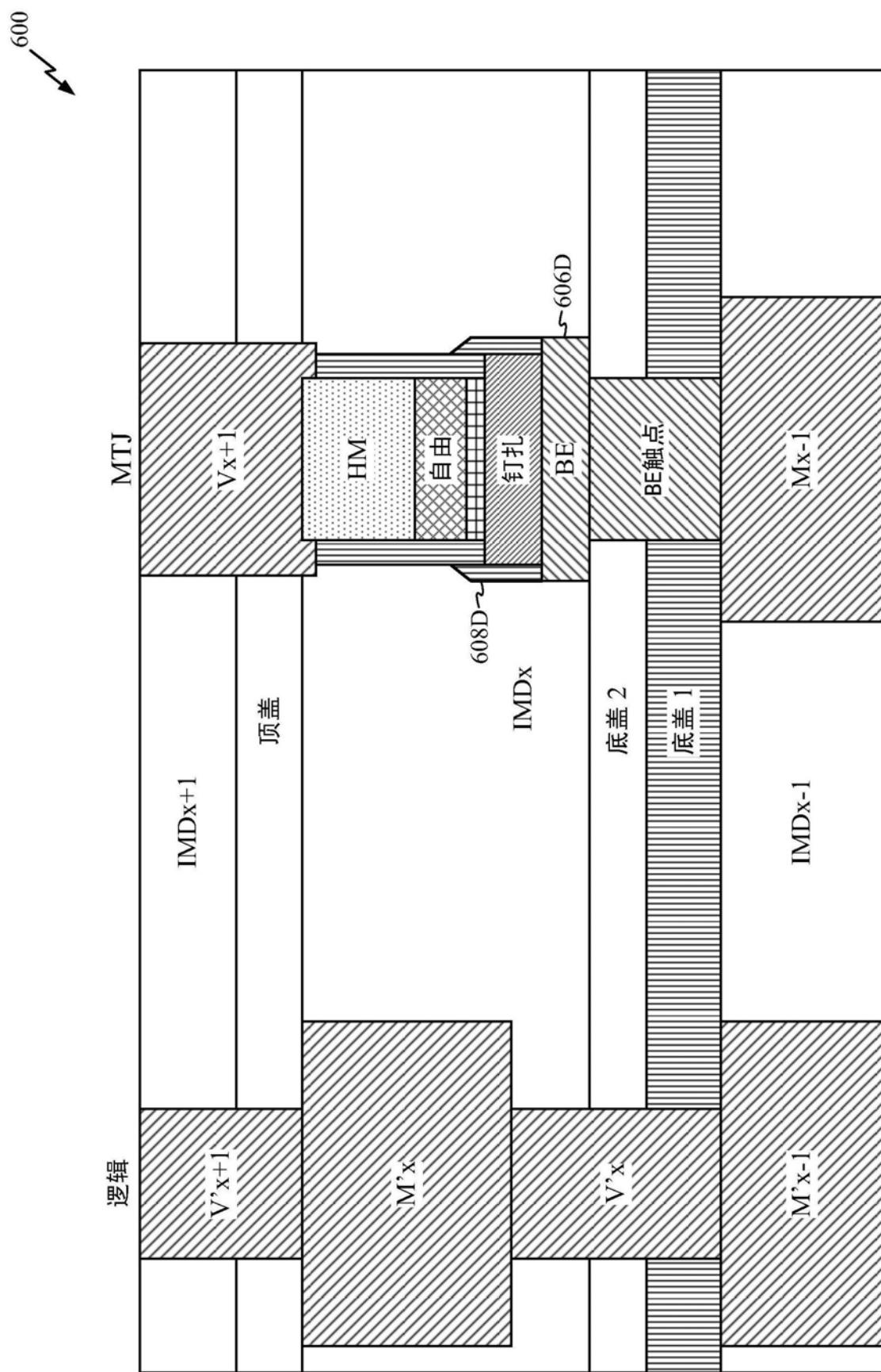


图6D

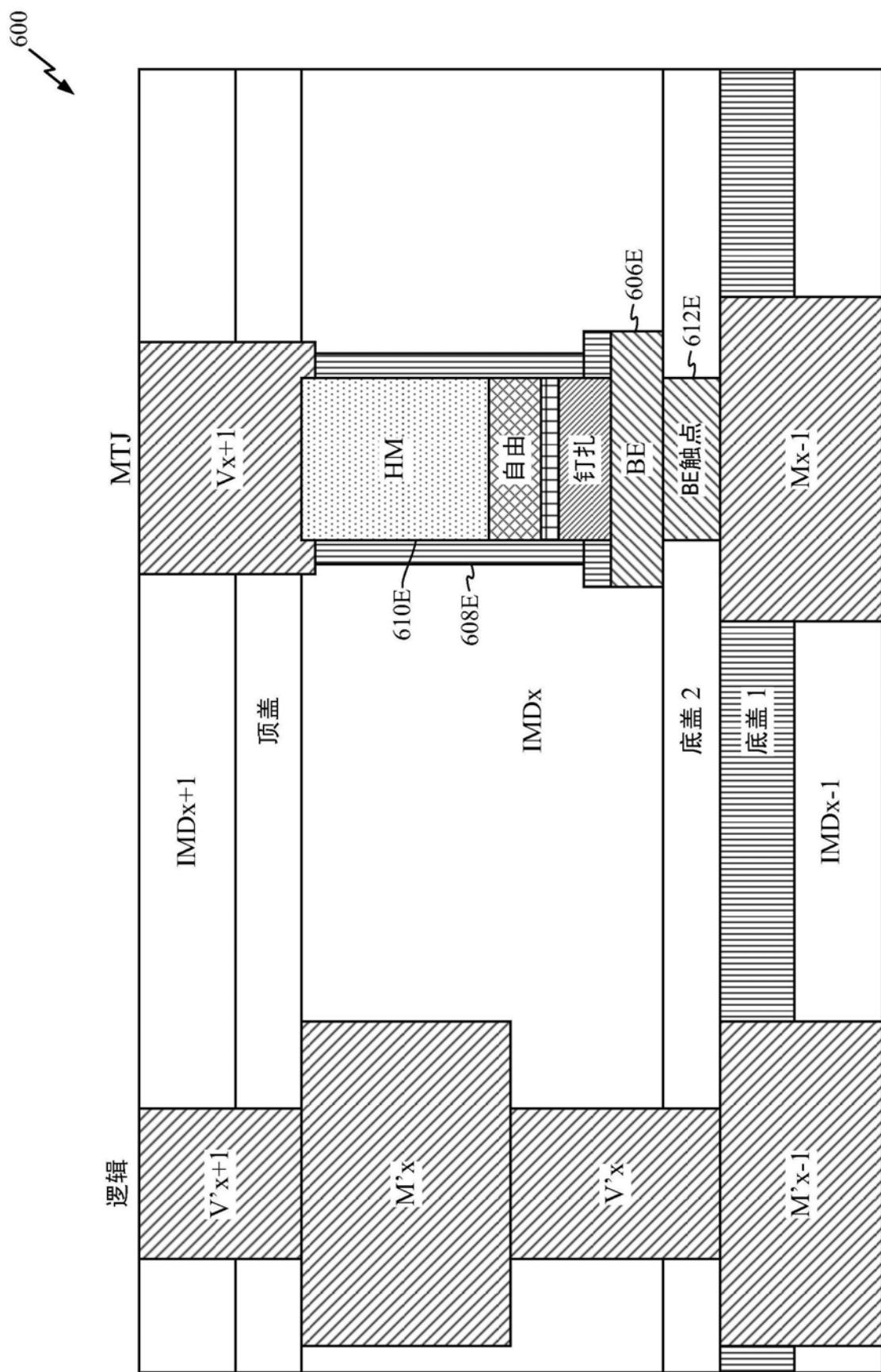


图6E

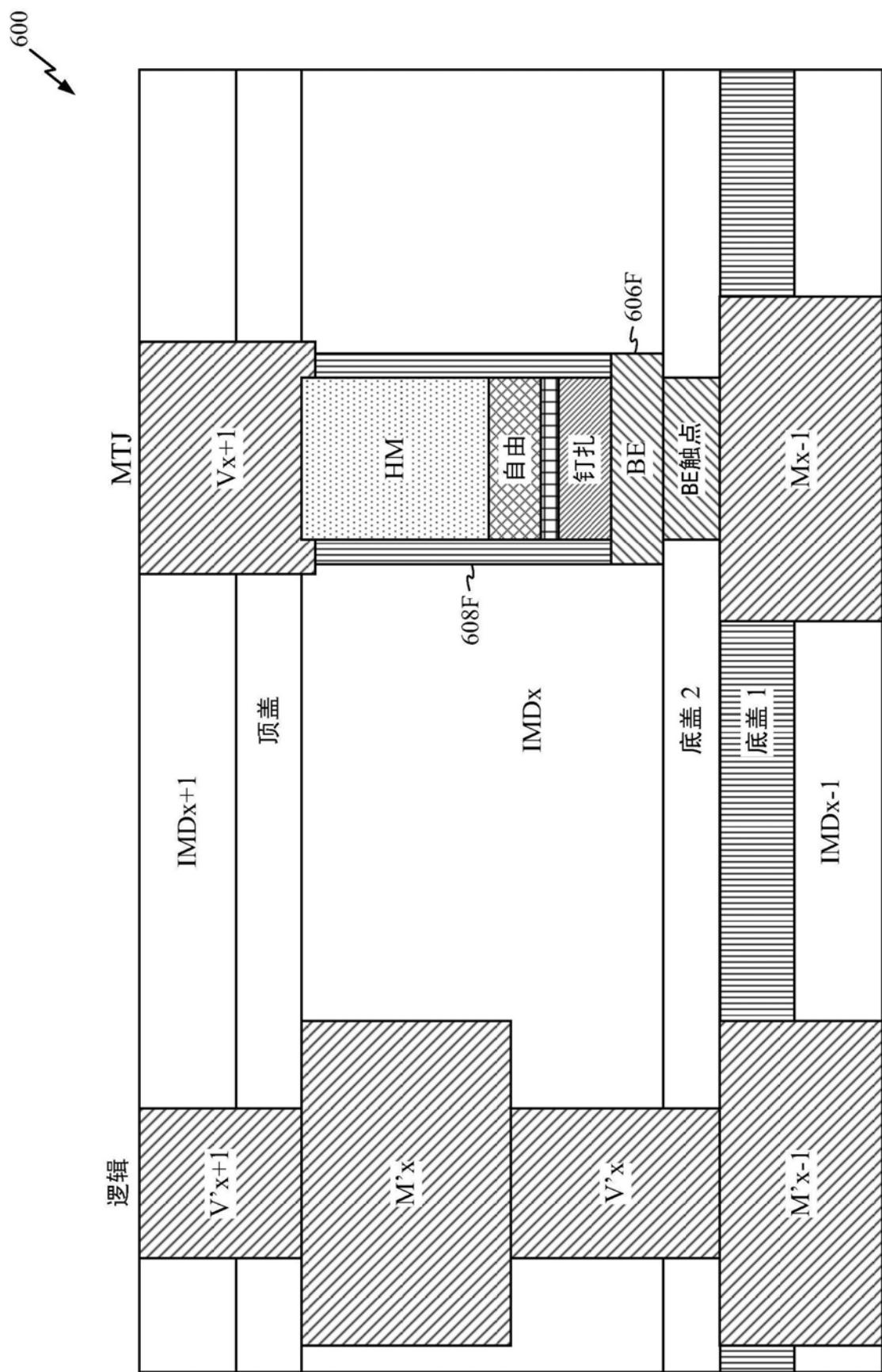


图6F

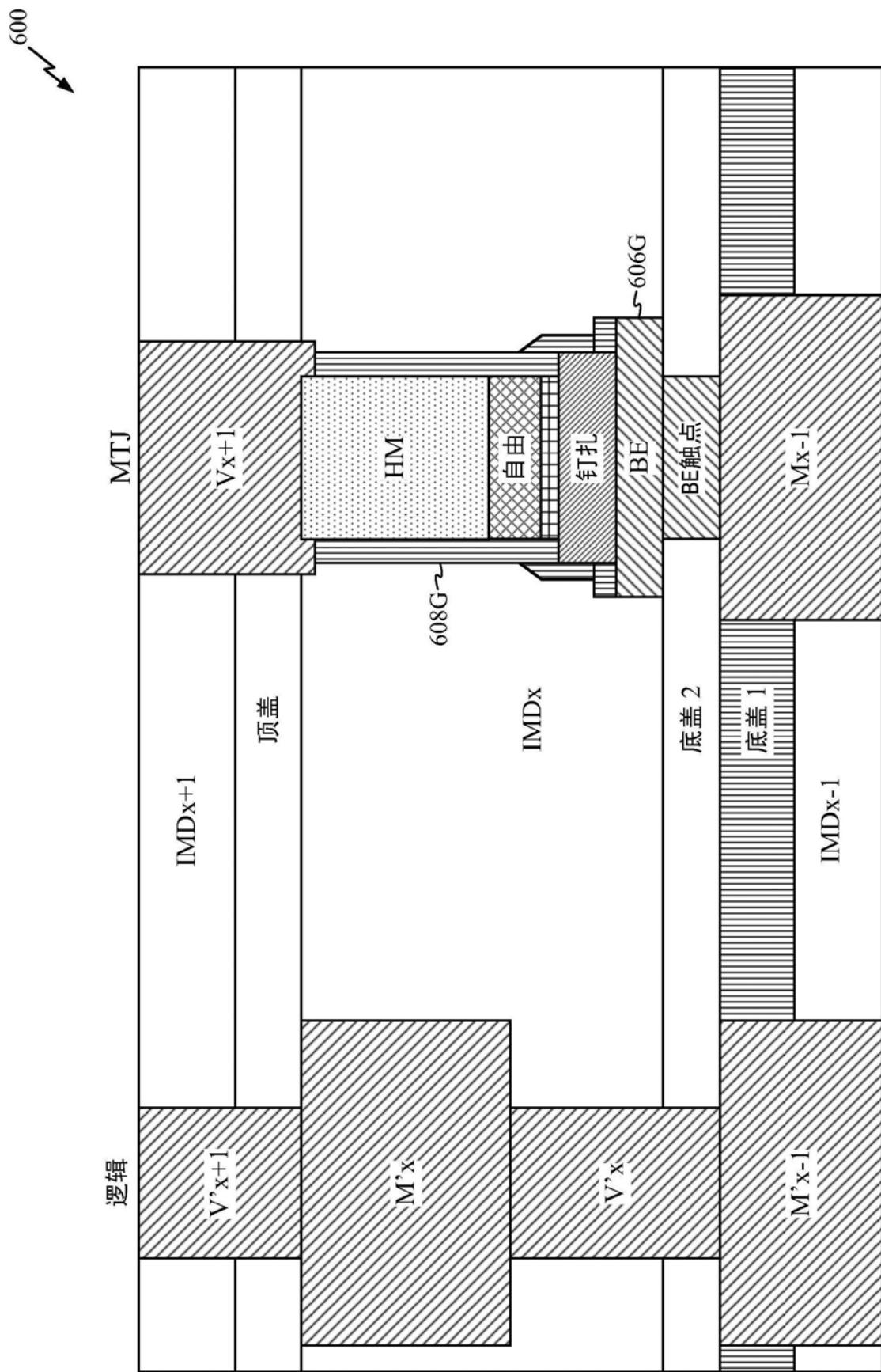


图6G

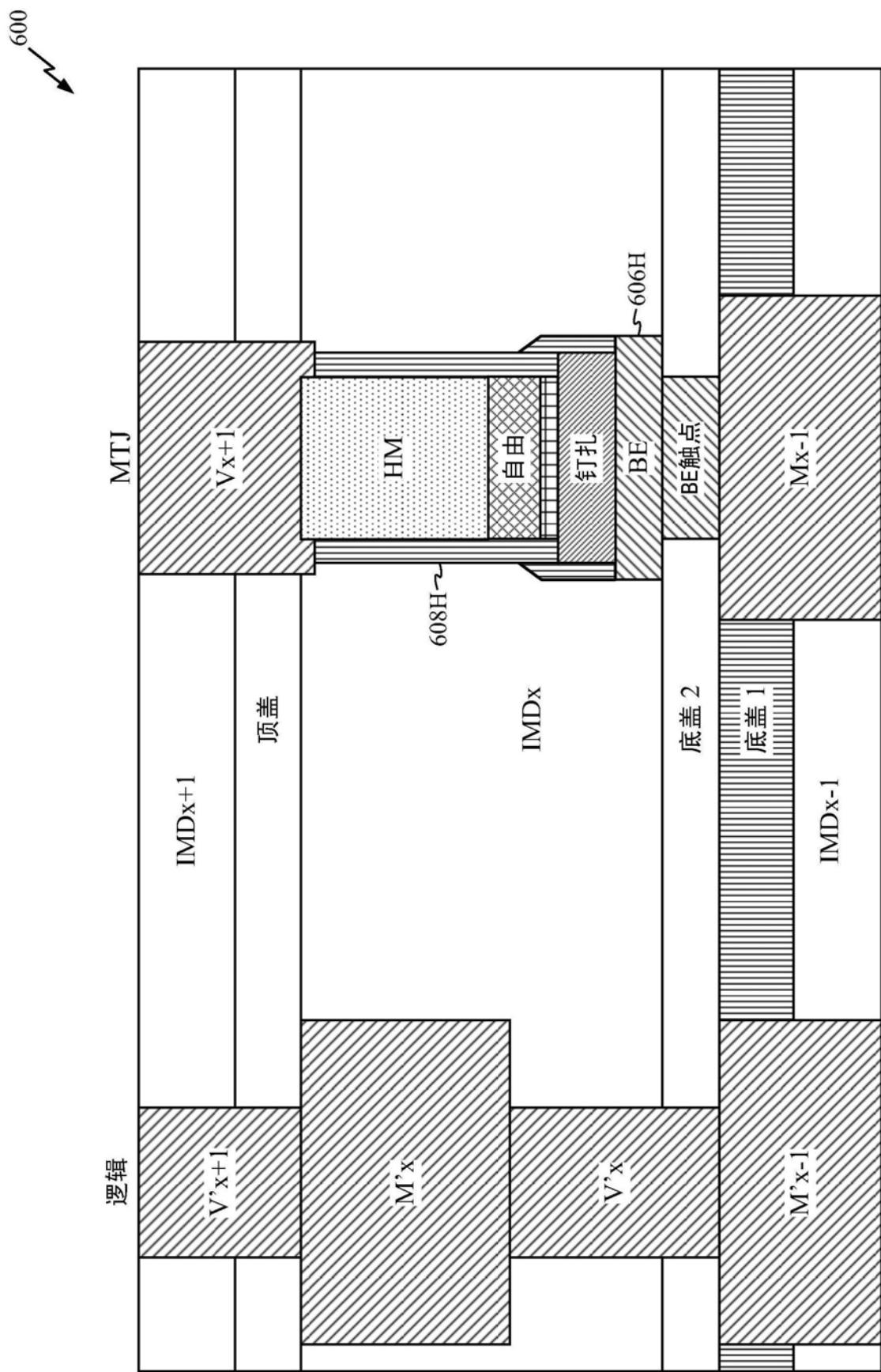


图6H

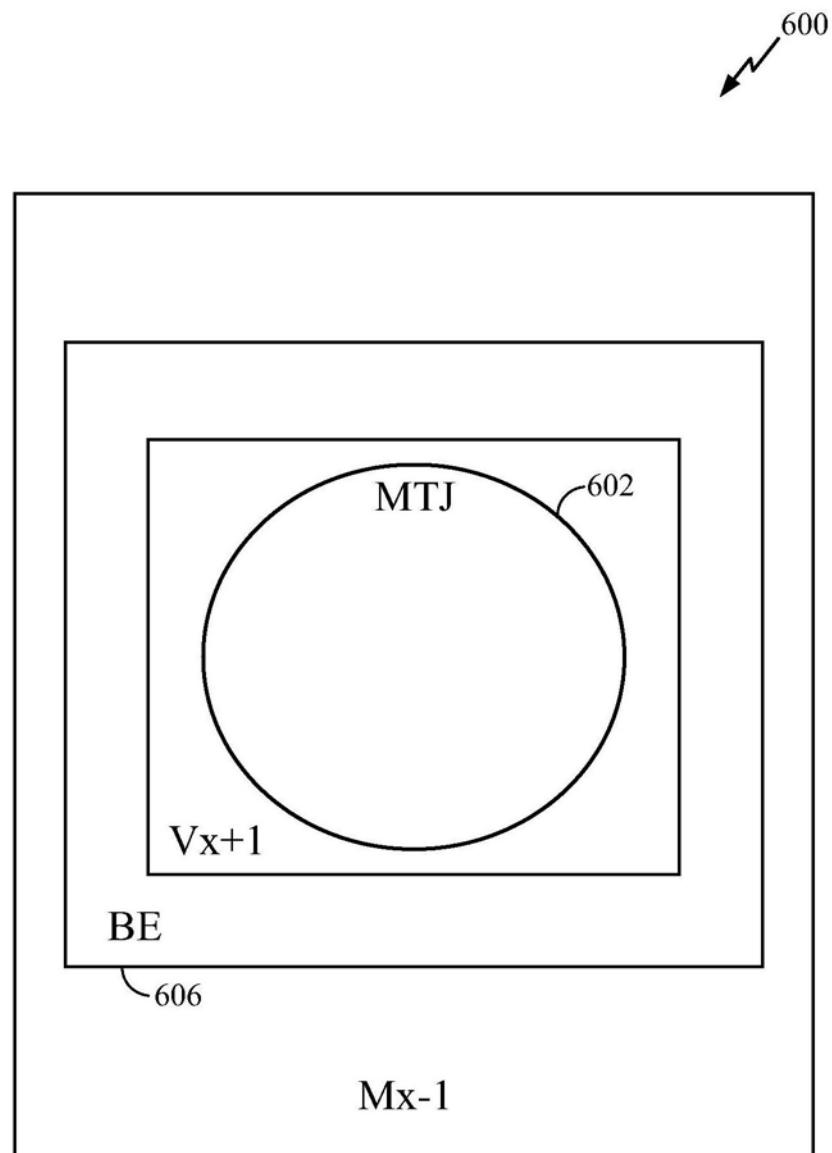


图6I

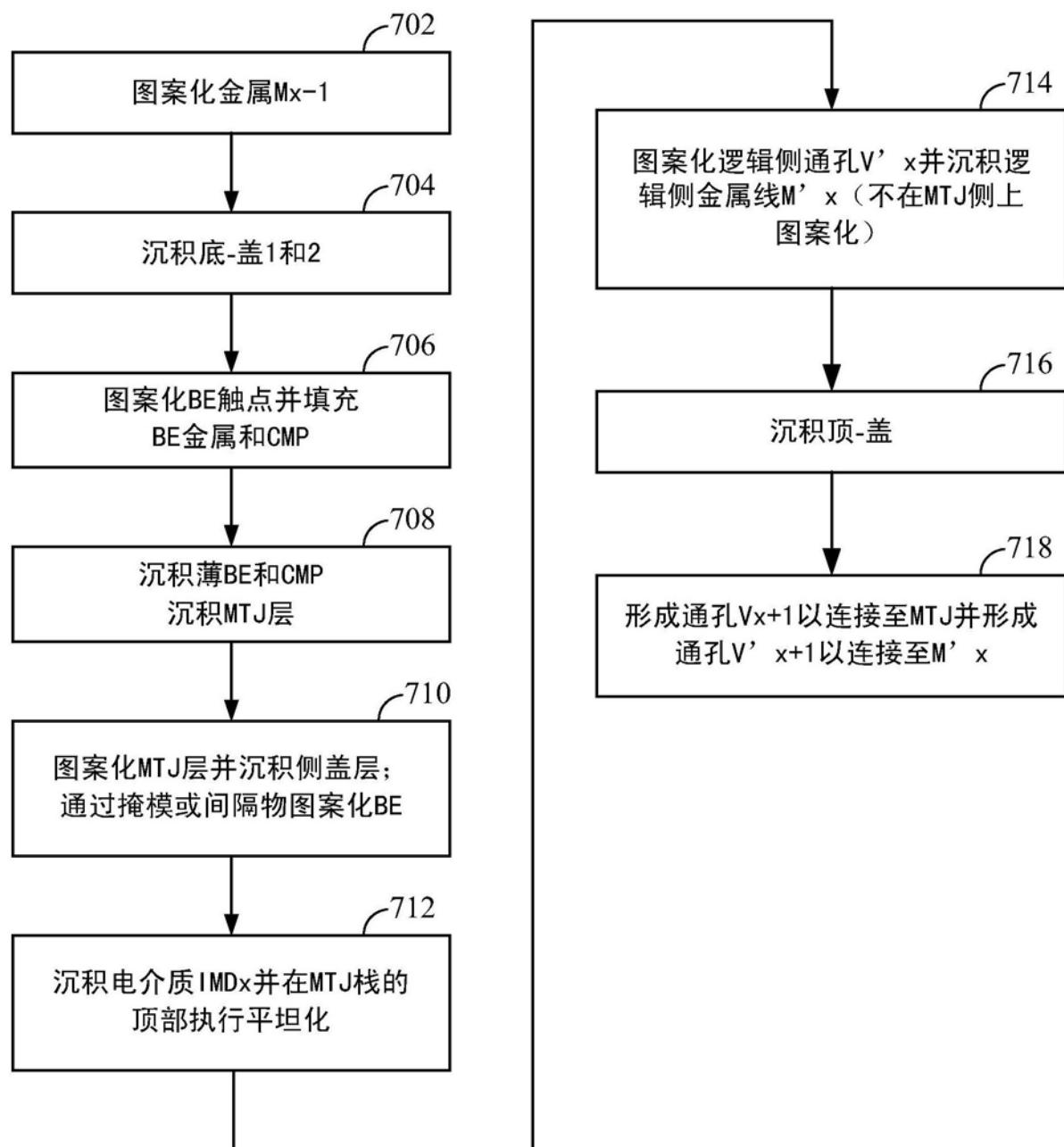


图7