

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 7월 27일 (27.07.2017)



(10) 국제공개번호
WO 2017/126733 A1

- (51) 국제특허분류:
H03M 13/11 (2006.01)
- (21) 국제출원번호: PCT/KR2016/001601
- (22) 국제출원일: 2016년 2월 17일 (17.02.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0006595 2016년 1월 19일 (19.01.2016) KR
- (71) 출원인: 연세대학교 산학협력단 (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) [KR/KR]; 03722 서울시 서대문구 연세로 50 (신촌동, 연세대학교), Seoul (KR).
- (72) 발명자: 김광순 (KIM, Kwang-Soon); 06280 서울시 강남구 삼성로 51길 37, 107동 2601호, Seoul (KR). 전기준 (JEON, Ki Jun); 03722 서울시 서대문구 연세로 50, Seoul (KR).
- (74) 대리인: 민영준 (MIN, Young Joon); 06133 서울시 강남구 테헤란로 7길 8, 503호 (역삼동, BYC 빌딩), Seoul (KR).

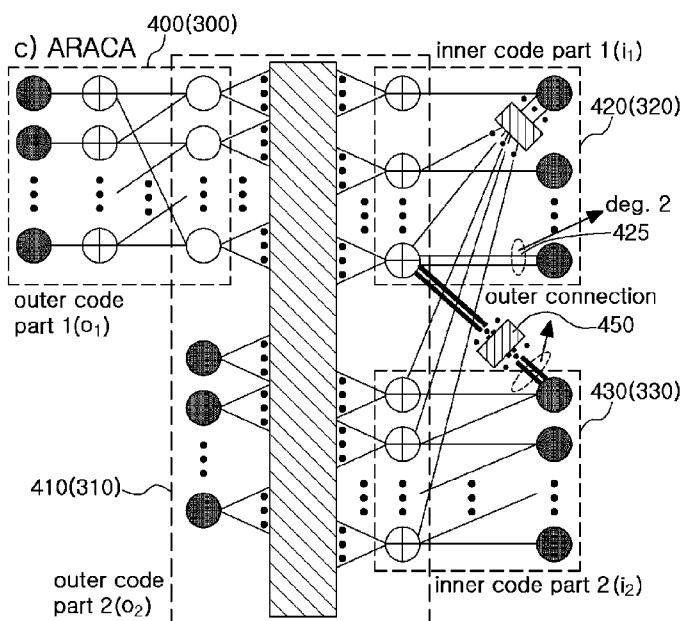
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: APPARATUS AND METHOD FOR LDPC ENCODING SUITABLE FOR HIGHLY RELIABLE AND LOW LATENCY COMMUNICATION

(54) 발명의 명칭: 고신뢰도 및 저지연 통신에 적합한 LDPC 부호화를 위한 장치 및 방법



(57) Abstract: Disclosed are an apparatus and a method for LDPC encoding suitable for highly reliable and low latency communication. The disclosed apparatus comprises: a second inner encoding module for outputting parity bits by means of single parity calculations and accumulation device calculations using bit strings outputted from a first inner encoding module; and the first inner encoding module for outputting a part of the parity bits by means of single parity check calculations for the bits output from a second outer module, and for outputting rest of the parity bit strings by means of single parity check calculations and accumulation device calculations, with a part of the parity bits output by the second inner encoding module as an additional input.

(57) 요약서: 고신뢰도 및 저지연 통신에 적합한 LDPC 부호화 장치 및 방법이 개시된다. 개시된 장치는, 제 1 내부 부호화 모듈에서 출력되는 비트열들을 이용하여 단일 패리티 연산과 축적기 연산을 통해 패리티 비트들을 출력하는 제 2 내부 부호화 모듈; 및 상기 제 2 외부 모듈에서 출력되는 비트열들에 대한 단일 패리티 체크 연산을 통해 일부의 패리티 비트들을 출력하고 상기 제 2 내부 부호화 모듈에서 출력하는 패리티 비트들 중 일부를 추가적인 입력으로 하여 단일 패리티 체크 연산과

축적기 연산을 통해 나머지 패리티 비트열들을 출력하는 제 1 내부 부호화 모듈을 포함한다.

명세서

발명의 명칭: 고신뢰도 및 저지연 통신에 적합한 LDPC 부호화를 위한 장치 및 방법

기술분야

- [1] 본 발명은 고신뢰도 및 저지연 통신을 위한 LDPC 부호화를 위한 장치 및 방법에 관한 것이다.

[2]

배경기술

- [3] 근사 최적 성능, 병렬 처리 기반 빠른 속도의 효율적인 부호화 및 복호화 능력 및 하드웨어 설계의 용이성으로 인해 LDPC(Low Density Parity Check)에 대한 연구가 활발히 진행되어 왔다.
- [4] 근래에 들어 5세대 이동통신 시스템에 대한 연구가 진행되고 있으며, 5세대 이동통신에서는 기존의 LDPC 부호에 비해 더 엄격한 고신뢰도와 저지연 특성을 요구하고 있다.
- [5] 또한, 차세대 센서 네트워크에서는 실시간으로 대용량의 데이터를 저전력으로 지연 없이 송수신을 해야 하며 따라서 고신뢰도를 보장하며 저복잡도 부호화가 가능한 부호 설계가 필요하다.
- [6] 현재까지 알려진 LDPC 부호로는 RU(Richardson-Urbanke) 부호, RMA(Repeat Multiple Accumulate) 부호, ARA(Accumulate Repeat Accumulate) 부호, ARJA(Accumulate Repeat Jagged Accumulate) 부호 등이 있다.
- [7] 이러한 부호들은 고신뢰도와 저지연성을 동시에 만족시키기에는 다음과 같은 문제점이 있었다.
- [8] RU 부호는 효율적인 부호화가 가능하지만 복호 임계값과 오류 마루 특성이 떨어져서 고신뢰도를 보장하지 못하며 이와 같은 현상은 부호율이 낮을수록 더 심화되는 문제점이 있었다.
- [9] RMA 부호는 효율적인 부호화가 가능하며 선형 최소 거리 증가(Linear Minimum Distance Growth: LMDG) 특성이 지니어 탁월한 오류 마루 성능을 가지지만 복호 임계값 특성이 떨어져 고신뢰도를 보장하지 못하며 이 역시 부호율이 낮을수록 더 심화되는 문제점이 있었다.
- [10] ARA 부호는 매우 우수한 복호 임계값과 저복잡도 부호화가 가능하지만 LMDG 특성이 결여되어 오류마루 특성이 취약하여 고신뢰도를 보장하지 못하는 문제점이 있었다.
- [11] ARJA 부호는 우수한 복호 임계값과 LMDG 특성을 만족하여 고신뢰도를 보장하지만 부호화 복잡도가 커 저지연 통신에 문제점이 있었다.

[12]

[13]

발명의 상세한 설명

기술적 과제

- [14] 본 발명은 고신뢰도와 저지연 통신에 적합한 LDPC 부호화 방법 및 장치를 제안한다.

[15]

과제 해결 수단

- [16] 본 발명의 일 측면에 따르면, 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화 모듈; 상기 프리코딩 비트열과 나머지 정보 비트열에 대한 반복(Repetition) 및 치환(Permutation) 연산을 수행하는 제2 외부 부호화 모듈; 상기 제2 외부 부호화 모듈에서 출력되는 비트열들에 대한 단일 패리티 체크 연산 (Single Parity Check: SPC) 을 통해 일부의 패리티 비트열들을 출력하는 제1 내부 부호화 모듈; 및 상기 제2 외부 부호화 모듈에서 출력되는 비트열들과 제1 내부 부호화 모듈에서 출력되는 일부의 패리티 비트열을 입력으로하여 단일 패리티 체크 연산과 축적기 (Accumulator) 연산을 통해 패리티 비트열들을 출력하는 제2 내부 부호화 모듈을 포함하되, 상기 제1 내부 부호화 모듈은 상기 제2 내부 부호화 모듈에서 출력하는 패리티 비트들 중 일부를 추가적인 입력으로 하여 단일 패리티 체크 연산과 축적기 연산을 통해 나머지 패리티 비트열들을 출력하는 LDPC 부호화 장치가 제공된다.
- [17] 제1 외부 부호화 모듈은 축적기 연산을 통해 상기 프리코딩 비트열들을 출력한다.
- [18] 상기 제1 내부 부호화 모듈과 상기 제2 내부 부호화 모듈은 외부 연결선을 통해 연결되며 상기 외부 연결선을 통해 상기 제2 내부 부호화 모듈의 패리티 비트열들 중 일부가 상기 제1 내부 부호화 모듈로 입력된다.
- [19] 상기 제1 외부 부호화 모듈은 다수의 변수 노드 및 체크 노드들을 포함하며, 상기 체크 노드들과 변수 노드들은 연결정도-2의 지그재그 폐쇄 루프의 연결 상태를 가진다.
- [20] 상기 제2 외부 부호화 모듈의 변수 노드들은 상기 제1 내부 부호화 모듈 및 상기 제2 내부 부호화 모듈들의 체크 노드들과 다중 연결 정도로 연결된다.
- [21] 상기 제1 내부 부호화 모듈에서 일부의 변수 노드와 일부의 체크 노드는 연결정도-1의 연결 상태를 가지며, 나머지 변수 노드와 체크 노드는 연결정도-2의 연결 상태를 가진다.
- [22] 상기 제2 내부 부호화 모듈에서 적어도 하나의 변수 노드는 상기 제1 내부 부호화 모듈의 적어도 하나의 체크 노드와 상기 외부 연결선을 통해 연결된다.
- [23] 본 발명의 다른 측면에 따르면, 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화 모듈; 상기 프리코딩 비트열과 나머지 정보 비트열들의 반복 및 치환 연산을 수행하는 제2 외부 부호화 모듈; 상기 제2 외부 부호화 모듈과 연결되며 일부의 변수 노드와 일부의 체크 노드는

연결정도-1의 연결 상태를 가지며, 나머지 변수 노드와 체크 노드는 연결정도-2의 연결 상태를 가지는 제1 내부 부호화 모듈; 및 상기 제2 외부 부호화 모듈과 연결되며, 적어도 하나의 변수 노드가 상기 제1 내부 부호화 모듈의 적어도 하나의 연결정도-2를 갖는 체크 노드와 상기 외부 연결선을 통해 연결되는 제2 내부 부호화 모듈을 포함하는 LDPC 부호화 장치가 제공된다.

- [24] 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화 단계; 상기 프리코딩 비트열과 나머지 정보 비트열들의 반복 및 치환 연산을 수행하는 제2 외부 부호화 단계; 상기 제2 외부 부호화 단계에서 출력되는 비트열들에 대한 단일 패리티 체크 연산을 통해 일부의 패리티 비트열들을 출력하는 제1 내부 부호화 단계; 및 상기 제2 외부 부호화 단계에서 출력되는 비트열들과 제1 내부 부호화 단계에서 출력되는 패리티 비트열의 일부를 이용하여 단일 패리티 체크 연산 및 축적기 연산을 통해 패리티 비트열들을 출력하는 제2 내부 부호화 단계를 포함하되, 상기 제1 내부 부호화 단계는 상기 제2 내부 부호화 단계에서 출력하는 패리티 비트들 중 일부를 입력으로 하여 단일 패리티 체크 연산 및 축적기 연산을 통해 나머지 패리티 비트열들을 출력하는 LDPC 부호화 방법이 제공된다.

[25]

발명의 효과

- [26] 본 발명의 LDPC 부호화 장치 및 방법에 의하면, 고신뢰도를 보장하면서 저복잡도 부호화가 가능한 LDPC 부호를 생성할 수 있는 장점이 있다.

[27]

도면의 간단한 설명

- [28] 도 1은 ARA 부호의 프로토그래프 연결 상태를 도시한 도면.
 [29] 도 2는 ARJA 부호의 프로토그래프 연결 상태를 도시한 도면.
 [30] 도 3은 본 발명의 일 실시예에 따른 부호를 생성하기 위한 LDPC 부호화 장치의 구조를 도시한 블록도.
 [31] 도 4는 본 발명의 일 실시예에 따른 부호를 생성하기 위한 LDPC 부호화 장치의 프로토그래프 연결 상태를 도시한 도면.
 [32] 도 5는 본 발명의 일 실시예에 따른 LDPC 부호화 방법의 전체적인 흐름을 도시한 도면.
 [33] 도 6은 본 발명의 제안하는 프로토그래프의 일 실시예와 부호화 과정을 도시한 도면.

[34]

발명의 실시를 위한 최선의 형태

- [35] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및

기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

- [36] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [37] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [38] 이하, 본 발명의 실시예를 첨부한 도면들을 참조하여 상세히 설명하기로 한다. 본 발명을 설명하기에 앞서 기존의 LDPC 부호인 ARA 부호 및 ARJA 부호에 대해 살펴보기로 한다.
- [39]
- [40] 도 1은 ARA 부호의 프로토그래프 연결 상태를 도시한 도면이다.
- [41] 도 1을 참조하면, ARA 부호의 프로트그래프는 제1 외부 코드 파트(100), 제2 외부 코드 파트(110), 제1 내부 코드 파트(120) 및 제2 내부 코드 파트(130)를 포함한다.
- [42] 도 1에서, 검은색 원은 변수(Variable) 노드를 의미하고, 흰색 원은 천공된 변수 노드를 의미하고, 회색에 '+' 표시가 된 원은 체크 노드를 의미한다. 변수 노드는 정보 비트열이거나 정보 비트열이 체크 노드 연산을 통해 생성되는 비트열로 정의될 수 있다. 도 1에서, 가장 왼쪽에 위치한 변수 노드들은 정보 비트열이 입력되는 노드들이고, 가장 오른쪽에 위치한 변수 노드들은 정보 비트열들로부터 생성되는 패리티 비트열들이 출력되는 노드들이다.
- [43] 도 1에서, 제1 외부 코드 파트(100)에서 오른쪽의 변수 노드들은 천공 상태인 변수 노드들이고, 연결정도-2(degree-2)의 지그재그의 폐쇄 루프(Zigzag Closed Loop: ZCL) 연결 상태를 가진다. 체크 노드와 천공 상태인 변수 노드들이 서로 지그재그 상태로 연결되어 있는 것을 도 1로부터 확인할 수 있다. 이와 같은 ARA 부호의 제1 외부 코드 파트(100)의 연결 상태는 축적기 연산 모듈로 기능하도록 노드 간 연결 상태를 가진다.
- [44] 제2 외부 코드 파트(110)는 다수의 천공 상태인 변수 노드를 포함하는 변수 노드들로 이루어진다. 제2 외부 코드 파트(110)의 변수 노드들은 제1 및 제2 내부 코드 파트(120, 130)의 체크 노드들과 다중 연결 정도로 연결되며, 폐쇄 루프 형태의 연결 상태를 가진다.

- [45] 제1 내부 코드 파트(120)에서 체크 노드들과 변수 노드들은 단일 패리티 체크 연산이 가능한 연결 구조이며, 이는 체크 노드에 연결된 변수 노드들의 다수 입력 비트열에 대한 각 비트별 (elementwise) XOR 연산 결과가 출력된다. 이러한 제1 내부 코드 파트(120)는 degree-1 OL with a high-degree node 연결 상태를 가진다.
- [46] 제1 내부 코드 파트(120)는 저밀도 생성 행렬(Low Density Generator Matrix: LDGM) 부호로 단일 패리티 체크 연산(Single Parity Check Operation)을 통해 간단히 패리티 비트열을 생성하며 추가적인 부호 이득을 제공한다.
- [47] 제2 내부 코드 파트(130)는 연결정도-2의 지그재그 폐쇄 루프의 연결 상태를 가진다.
- [48] 도 1에 도시된 바와 같은 ARA 코드는 제1 외부 코드 파트(100)에서 축적기 연산, 제2 외부 코드 파트(110)에서 반복 및 치환 과정, 제1 내부 코드 파트(120)에서 단일 패리티 체크 연산, 제2 내부 코드 파트 (130)에서는 단일 패리티 체크 연산과 축적기 연산을 통해 저복잡도 부호화가 가능하며 우수한 복호 임계값을 가지는 특성이 있다.
- [49] 그러나, ARA 코드는 LMDG 특성이 결여되어 오류마루 특성이 취약한 문제점이 있었다.
- [50] 도 2는 ARJA 부호의 프로토타입 연결 상태를 도시한 도면이다.
- [51] 도 2를 참조하면, ARJA 부호의 프로토타입 역시 제1 외부 코드 파트(200), 제2 외부 코드 파트(210), 제1 내부 코드 파트(220) 및 제2 내부 코드 파트(230)를 포함한다.
- [52] ARJA 부호에서 제1 외부 코드 파트(200)와 제2 외부 코드 파트(210) 및 제1 내부 코드 파트(220)구조는 ARA 부호와 동일하다.
- [53] ARJA 부호는 제2 내부 코드 파트(230)의 구조가 ARA 부호와 상이하다. ARA 부호의 제2 내부 코드 파트(230)는 연결 정도 2로 축적기의 형태를 가지고 있었다. 그러나, ARJA 부호의 제2 내부 코드 파트(230)는 체크 노드와 변수 노드 중 일부에 추가적인 내부 연결선을 포함한다.
- [54] 추가적인 내부 연결선으로 인해 제2 내부 코드 파트(230)는 더 이상 연결정도2의 지그재그 폐회로 연결 상태가 아니게 되며 따라서 ARJA 코드의 제2 내부 코드 파트(230)는 더 이상 축적기로 기능하지 않는다. 따라서 이러한 ARJA 코드의 부호화는 패리티 체크 검사 행렬로부터 설계된 고밀도 특성을 갖는 BCSGM(Block-Circulant Systematic Generator Matrix)를 이용하여야 가능하다.
- [55] 결국, ARJA 부호는 LMDG 특성을 보완하여 고신뢰도를 보장하는 부호로 볼 수 있지만, 제2 내부 코드 파트(230)는 더 이상 축적기로 기능하지 않기 때문에 연산 복잡도가 증가하는 문제점이 있었다.
- [56] 도 3은 본 발명의 일 실시예에 따른 부호를 생성하기 위한 LDPC 부호화 장치의 구조를 도시한 블록도이며, 도 4는 본 발명의 일 실시예에 따른 부호를 생성하기

위한 LDPC 부호화 장치의 프로토그래프 연결 상태를 도시한 도면이다.

- [57] 도 3을 참조하면, 본 발명의 일 실시예에 따른 부호 생성을 위한 LDPC 부호화 장치는 제1 외부 부호화 모듈(300), 제2 외부 부호화 모듈(310), 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)을 포함한다. 또한, 도 4에는 제1 외부 부호화 모듈(300)의 프로토그래프 연결 상태를 도시한 제1 외부 코드 파트(400), 제2 외부 부호화 모듈(310)의 프로토그래프 연결 상태를 도시한 제2 외부 코드 파트(410), 제1 내부 부호화 모듈(320)의 프로토그래프 연결 상태를 도시한 제1 내부 코드 파트(420) 및 제2 내부 부호화 모듈(330)의 프로토그래프 연결 상태를 도시한 제2 내부 코드 파트(430)가 도시되어 있다.
- [58] 제1 외부 부호화 모듈(300) 및 제2 외부 부호화 모듈(310)로는 부호화를 위한 정보 비트열이 입력된다. 제1 외부 부호화 모듈(300)로는 정보 비트열의 일부가 입력되고 제2 외부 부호화 모듈(310)로는 나머지 부분의 정보 비트열이 입력된다
- [59] 제1 외부 부호화 모듈(300)은 입력된 정보 비트열을 이용하여 패리티 비트열 생성을 위한 프리코딩 비트열을 출력한다. 제1 외부 부호화 모듈(300)은 축적기 연산을 통해 패리티 비트열 생성을 위한 프리코딩 비트열 출력한다.
- [60] 도 4를 참조하면, 제1 외부 부호화 모듈(300)은 다수의 변수 노드, 다수의 체크 노드 그리고 노드 간 연결선을 포함한다.
- [61] 다수의 변수 노드들 중 왼쪽의 변수 노드들은 정보 비트열이 입력되는 노드이며, 오른쪽의 변수 노드들은 천공된 변수 노드들로 정보 비트열로부터 프리코딩 패리티 비트열이다.
- [62] 제1 외부 부호화 모듈(300)의 변수 노드와 체크 노드들은 연결 정도-2의 지그재그 폐쇄 루프 연결 상태를 가지며, 앞서 설명한 바와 같이 축적기의 연결 구조를 통해 축적기 연산에 의한 부호화가 제1 외부 부호화 모듈(300)에서 이루어진다.
- [63] 제2 외부 부호화 모듈(310)로는 제1 외부 부호화 모듈(300)로 입력되지 않은 나머지 정보 비트열과 제1 외부 부호화 모듈(300)의 출력 비트열이 입력되며, 제2 외부 부호화 모듈(310)은 천공 변수 노드들과 함께 다수의 변수 노드들을 포함한다.
- [64] 제2 외부 부호화 모듈(310)은 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)에서 부호화 이득 및 인터리빙 이득을 얻기 위한 반복 및 치환 연산을 수행한다.
- [65] 제2 외부 부호화 모듈(310)의 변수 노드들은 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)의 체크 노드들과 다중 연결 정도 폐쇄 루프의 연결 상태를 가지도록 연결되어 있다.
- [66] 제1 외부 부호화 모듈(300) 및 제2 외부 부호화 모듈(310)은 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)과 연결되며, 제2 외부 부호화 모듈(310)의 출력 비트열들은 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)의 체크 노드들로 입력된다.

- [67] 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)은 제2 외부 부호화 모듈들(310)에서 출력되는 비트열들을 이용하여 최종적인 패리티 비트열들을 생성한다.
- [68] 제1 내부 부호화 모듈(320) 및 제2 내부 부호화 모듈(330)의 체크 노드들은 제2 외부 부호화 모듈(310)의 변수 노드들과 연결되어 출력 비트열을 입력 받는다.
- [69] 제1 내부 부호화 모듈(320)은 대부분의 패리티 비트열들을 단일 패리티 체크 연산을 통해 생성한다. 그러나, 제1 내부 부호화 모듈(320)의 패리티 비트열들 중 일부는 단일 패리티 체크 연산 및 축적기 연산을 통해 생성된다.
- [70] 도 4를 참조하면, 제1 내부 부호화 모듈(320)은 ARA 부호 및 ARJA 부호와는 달리 체크 노드와 변수 노드의 일부가 연결정도-2의 연결선(425)을 가지는 것을 확인할 수 있으며 연결 정도-2의 연결선으로 연결된 노드들은 단일 패리티 체크 연산 및 축적기 연산을 통해 패리티 비트열들을 출력하게 된다.
- [71] 또한, 제1 내부 부호화 모듈(320)에서 단일 패리티 체크 연산 및 축적기 연산을 통해 패리티 비트열들을 출력하는 부분은 제2 내부 부호화 모듈(330)에서 출력하는 패리티 비트열 중 일부를 체크 노드의 입력으로 활용하여 패리티 비트열을 출력한다.
- [72] 도 4를 참조하면, 제1 내부 부호화 모듈(320)의 체크 노드와 제2 내부 부호화 모듈(430)의 변수 노드들 중 일부는 외부 연결선(450)을 통해 연결된다.
- [73] 제2 내부 부호화 모듈(330)은 제2 외부 부호화 모듈(310)로부터 입력되는 비트열들에 대한 단일 패리티 체크 연산 및 축적기 연산을 이용하여 패리티 비트열들을 변수 노드들을 통해 출력한다.
- [74] 본 발명의 일 실시예에 따른 LDPC 부호에서 제1 내부 부호화 모듈(320)의 내부 연결선 및 제2 내부 부호화 모듈(330)과 제1 내부 부호화 모듈(320) 사이의 외부 연결선은 LMDG 특성을 만족시킨다.
- [75] 또한, 제2 내부 부호화 모듈(330)에서는 축적기 연산 구조가 유지되기 때문에 ARJA 코드와는 달리 낮은 복잡도로 부호화가 가능한 장점이 있다. 제1 내부 부호화 모듈(320)에서도 단일 패리티 체크 연산 및 축적기 연산만이 수행되므로 낮은 복잡도의 부호화가 가능하게 된다.
- [76] 제1 내부 부호화 모듈(320)에서 일부의 패리티 비트열은 단일 패리티 체크 연산을 통해 순차적으로 출력되며, 일부의 패리티 비트열은 제2 내부 부호화 모듈(430)에서 출력되는 패리티 비트열들 중 일부를 이용하여 축적기 연산을 통해 출력된다.
- [77] 도 5는 본 발명의 일 실시예에 따른 LDPC 부호화 방법의 전체적인 흐름을 도시한 도면이다.
- [78] 도 5를 참조하면, 부호화하려는 정보 비트열 중 일부의 정보 비트열을 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화를 수행한다(단계 500). 제1 외부 부호화에서 축적기 연산을 통해 프리코딩 비트열을 출력한다.
- [79] 또한, 부호화하려는 정보 비트열에 대한 반복 및 치환 연산을 수행하는 제2 외부

부호화를 수행한다(단계 502).

[80] 제2 외부 부호화를 통해 출력되는 비트열을 이용하여 단일 패리티 체크 연산을 통해 일부의 패리티 비트열을 출력하는 제1 내부 부호화를 수행한다(단계 504).

[81] 제2 외부 부호화, 제1 내부 부호화를 통해 출력되는 비트열 중 일부를 이용하여 단일 패리티 체크 연산과 축적기 연산을 통해 패리티 비트열을 출력하는 제2 내부 부호화를 수행한다(단계 506).

[82] 제1 내부 부호화에서 나머지 패리티 비트열들은 제2 외부 부호화 및 제2 내부 부호화를 통해 출력되는 패리티 비트열들 중 일부를 이용하여 단일 패리티 체크 연산과 축적기 연산을 통해 해당 패리티 비트열들을 출력한다 (단계 508).

[83] 도 6은 부호율 1/3을 갖는 제안하는 부호의 프로토그래프 실시예와 해당 부호의 부호화 방법을 도시한 도면이다. 여기서 spc 블록과 acc 블록은 각각 치환연산과 단일 패리티 체크 연산 후 치환연산을 수행하는 과정과 치환연산과 축적기 연산 후 치환연산을 수행하는 과정을 의미하며 도시된 부호율 1/3의 프로토그래프를 부호화하는 과정을 보면 다음과 같다.

[84] 1) 제1 외부 부호화 과정으로, 정보 비트열 s_1 을 축적 블록을 통해 프리코딩 비트열 p_0 을 생성, 2) 제2 외부 부호화 과정으로, 정보 비트열 s_2 와 프리코딩 비트열 p_0 에 대한 반복을 통해 다수의 출력 비트열 생성 (제 2 내부 부호화 과정에서 치환 과정은 spc 블록으로 포함), 3) 제1 내부 부호화 과정으로, 제2 외부 부호화 출력 비트열들 중 일부를 입력으로 하여 spc 블록 과정을 통해 일부 출력 비트열 p_1 을 생성, 4) 제2 내부 부호화 과정으로, 제2 외부 부호화 출력 비트열과 제1 내부 부호화 출력 비트열의 일부를 입력으로 하여 spc 블록 과정과 acc 블록 과정을 통해 출력 비트열 p_2, p_3 를 생성, 5) 제1 내부 부호화 과정으로, 제2 외부 부호화 출력 비트열과 제1 내부 부호화 출력 비트열 및 제2 내부 부호화 출력 비트열의 일부를 입력으로 하여 spc 블록 과정과 acc 블록 과정을 통해 제 1 내부 부호화 나머지 출력 비트열 p_4 를 생성한다.

발명의 실시를 위한 형태

[85] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[86]

[87]

청구범위

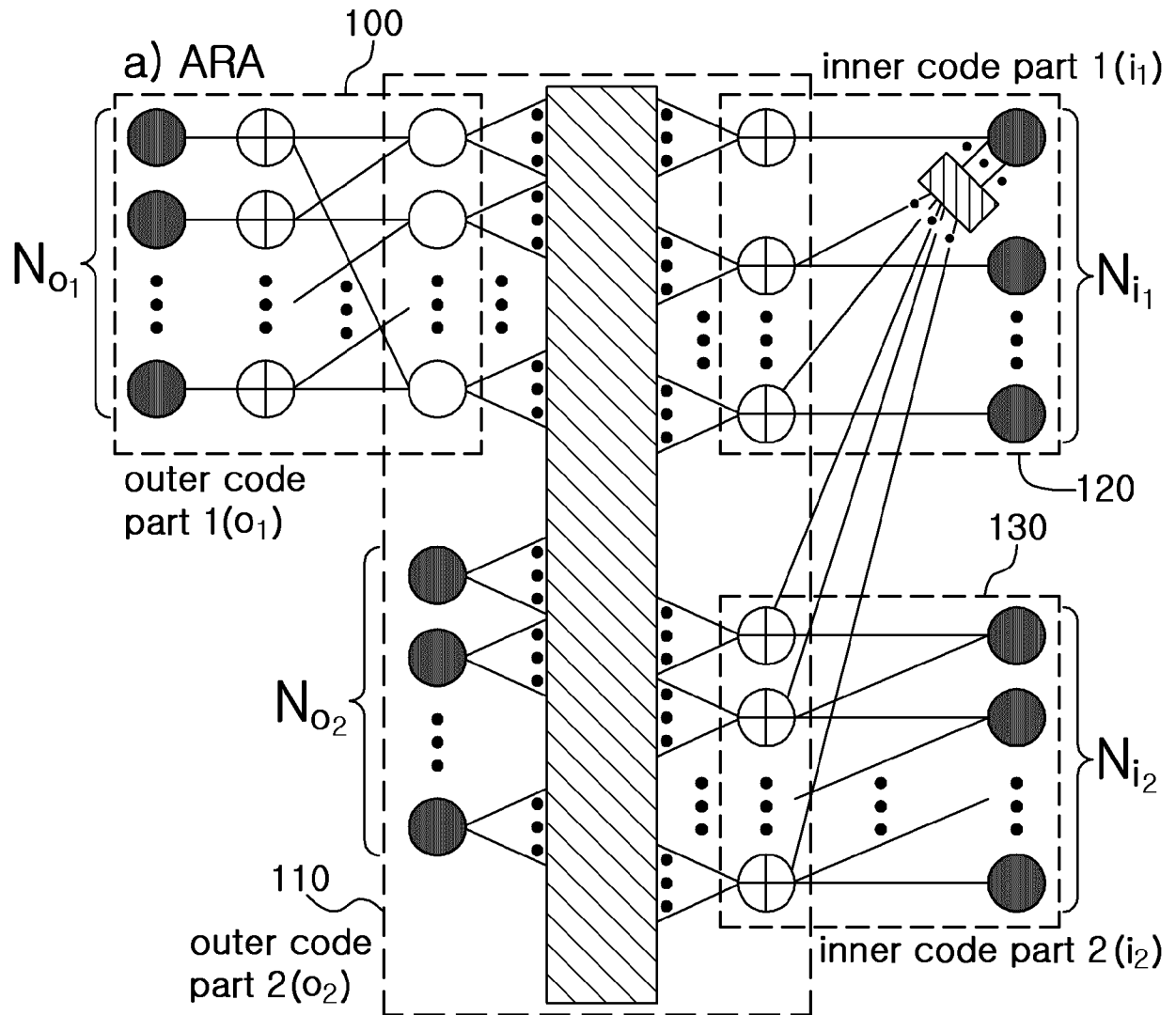
- [청구항 1] 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화 모듈;
 상기 프리코딩 비트열과 나머지 정보 비트열에 대한 반복(Repetition) 및 치환(Permutation) 연산을 수행하는 제2 외부 부호화 모듈;
 상기 제2 외부화 모듈에서 출력되는 비트열들에 대한 단일 패리티 체크 연산을 통해 일부의 패리티 비트열들을 출력하는 제1 내부 부호화 모듈;
 및
 상기 제2 외부 부호화 모듈에서 출력되는 비트열들과 제1 내부 부호화 모듈에서 출력되는 일부의 패리티 비트열을 입력으로하여 축적기 연산을 통해 패리티 비트열들을 출력하는 제2 내부 부호화 모듈을 포함하되,
 상기 제1 내부 부호화 모듈은 상기 제2 내부 부호화 모듈에서 출력하는 패리티 비트들 중 일부를 추가적인 입력으로 하여 축적기 연산을 통해 나머지 패리티 비트열들을 출력하는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 2] 제1항에 있어서,
 제1 외부 부호화 모듈은 축적기 연산을 통해 상기 프리코딩 비트들을 출력하는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 3] 제1항에 있어서,
 상기 제1 내부 부호화 모듈과 상기 제2 내부 부호화 모듈은 외부 연결선을 통해 연결되며 상기 외부 연결선을 통해 상기 제2 내부 부호화 모듈의 패리티 비트열들 중 일부가 상기 제1 내부 부호화 모듈로 입력되는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 4] 제1 항에 있어서,
 상기 제1 외부 부호화 모듈은 다수의 변수 노드 및 체크 노드들을 포함하며, 상기 체크 노드들과 변수 노드들은 연결정도-2의 지그재그 폐쇄 루프의 연결 상태를 가지는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 5] 제4항에 있어서,
 상기 제2 외부 부호화 모듈의 변수 노드들은 상기 제1 내부 부호화 모듈 및 상기 제2 내부 부호화 모듈들의 체크 노드들과 다중 연결 정도로 연결되는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 6] 제4항에 있어서,
 상기 제1 내부 부호화 모듈에서 일부의 변수 노드와 일부의 체크 노드는 연결정도-1의 연결 상태를 가지며, 나머지 변수 노드와 체크 노드는 연결정도-2의 연결 상태를 가지는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 7] 제3항에 있어서,
 상기 제2 내부 부호화 모듈에서 적어도 하나의 변수 노드는 상기 제1 내부

- 부호화 모듈의 적어도 하나의 체크 노드와 상기 외부 연결선을 통해 연결되는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 8] 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을 출력하는 제1 외부 부호화 모듈;
상기 프리코딩 비트열과 나머지 정보 비트열들의 반복 및 치환 연산을 수행하는 제2 외부 부호화 모듈;
상기 제2 외부 부호화 모듈과 연결되며 일부의 변수 노드와 일부의 체크 노드는 연결정도-1의 연결 상태를 가지며, 나머지 변수 노드와 체크 노드는 연결정도-2의 연결 상태를 가지는 제1 내부 부호화 모듈; 및
상기 제2 외부 부호화 모듈과 연결되며, 적어도 하나의 변수 노드가 상기 제1 내부 부호화 모듈의 적어도 하나의 연결정도-2를 갖는 체크 노드와 상기 외부 연결선을 통해 연결되는 제2 내부 부호화 모듈을 포함하는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 9] 제8항에 있어서,
상기 제1 외부 부호화 모듈은 다수의 변수 노드 및 체크 노드들을 포함하며, 상기 체크 노드들과 변수 노드들은 연결정도-2의 지그재그 폐쇄 루프의 연결 상태를 가지는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 10] 제9항에 있어서,
상기 제2 외부 부호화 모듈의 변수 노드들은 상기 제1 내부 부호화 모듈 및 상기 제2 내부 부호화 모듈들의 체크 노드들과 다중 연결 정도로 연결되는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 11] 제9항에 있어서,
상기 제1 내부 부호화 모듈은 상기 제2 외부화 모듈에서 출력되는 비트열들에 대한 단일 패리티 체크 연산을 통해 일부의 패리티 비트들을 출력하고 상기 제2 내부 부호화 모듈에서 출력하는 패리티 비트들 중 일부를 추가적인 입력으로 하여 단일 패리티 체크 연산과 축적기 연산을 통해 나머지 패리티 비트열들을 출력하는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 12] 제11항에 있어서,
상기 제2 내부 부호화 모듈은 상기 제2 외부 부호화 모듈 및 상기 제1 내부 부호화 모듈에서 출력되는 일부 비트열들을 이용하여 단일 패리티 체크 연산과 축적기 연산을 통해 패리티 비트열들을 출력하는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 13] 제11항에 있어서,
상기 제1 내부 부호화 모듈은 상기 외부 연결선을 통해 상기 제2 내부 부호화 모듈에서 출력하는 패리티 비트열들 중 일부를 입력받는 것을 특징으로 하는 LDPC 부호화 장치.
- [청구항 14] 부호화려는 정보 비트열들 중 일부를 이용하여 프리코딩 비트열을

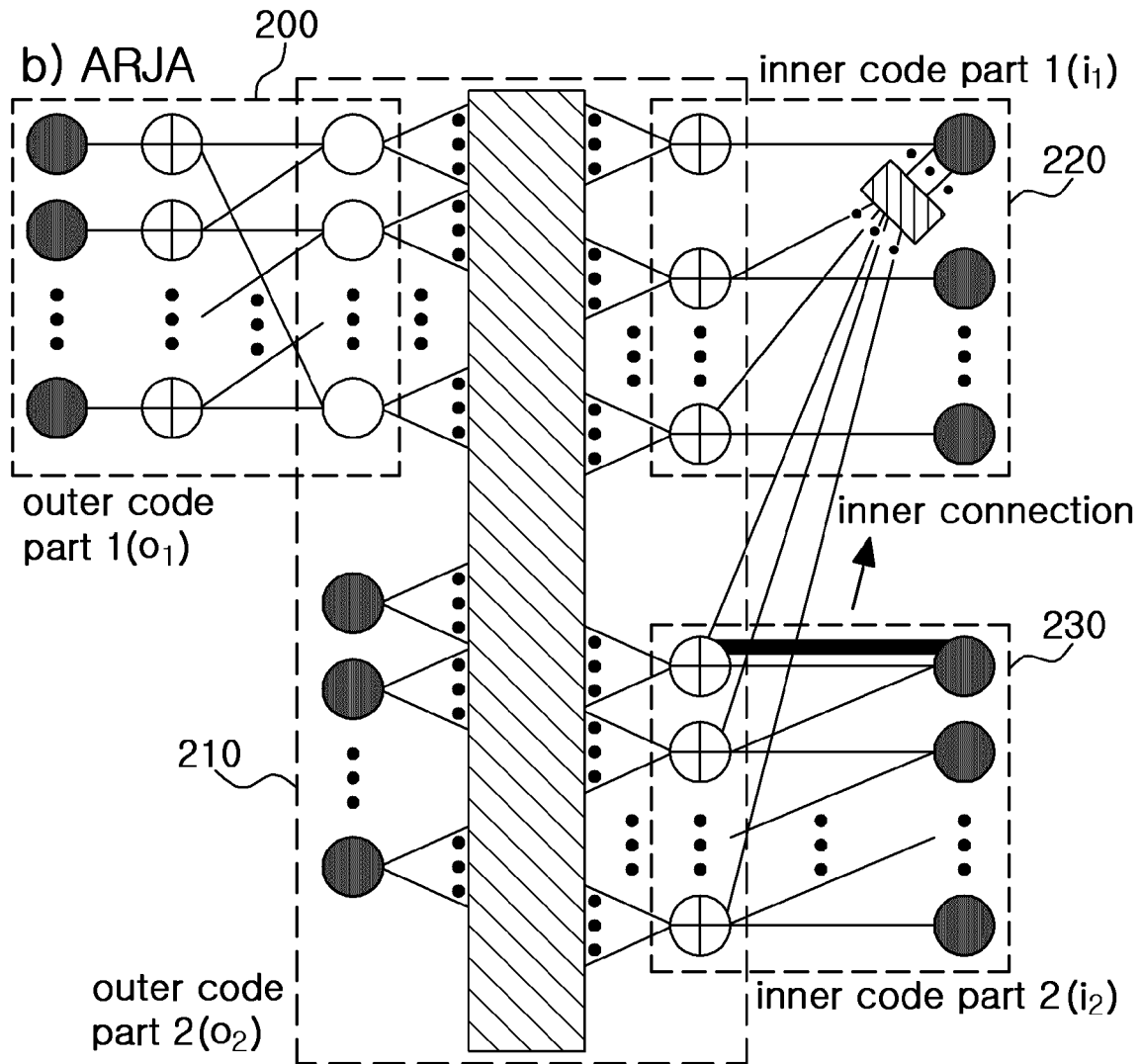
출력하는 제1 외부 부호화 단계;
상기 프리코딩 비트열과 나머지 정보 비트열들의 반복(Repetition) 및
치환(Permutation) 연산을 수행하는 제2 외부 부호화 단계;
상기 제2 외부화 단계에서 출력되는 비트열들에 대한 단일 패리티 체크
연산을 통해 일부의 패리티 비트열들을 출력하는 제1 내부 부호화 단계;
및
상기 제2 외부 부호화 단계에서 출력되는 비트열들과 제1 내부 부호화
단계에서 출력되는 패리티 비트열의 일부를 이용하여 단일 패리티 체크
연산 및 축적기 연산을 통해 패리티 비트열들을 출력하는 제2 내부
부호화 단계를 포함하되,
상기 제1 내부 부호화 단계는 상기 제2 내부 부호화 단계에서 출력하는
패리티 비트들 중 일부를 입력으로 하여 단일 패리티 체크 연산 및 축적기
연산을 통해 나머지 패리티 비트열들을 출력하는 것을 특징으로 하는
LDPC 부호화 방법.

- [청구항 15] 제14항에 있어서,
상기 제1 내부 부호화 단계는 외부 연결선을 통해 상기 제2 내부 부호화
단계에서 출력하는 패리티 비트열들 중 일부를 입력으로 받는 것을
특징으로 하는 LDPC 부호화 방법.

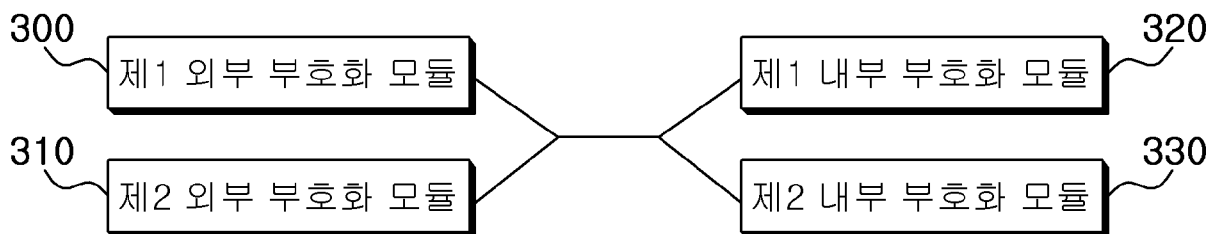
[도1]



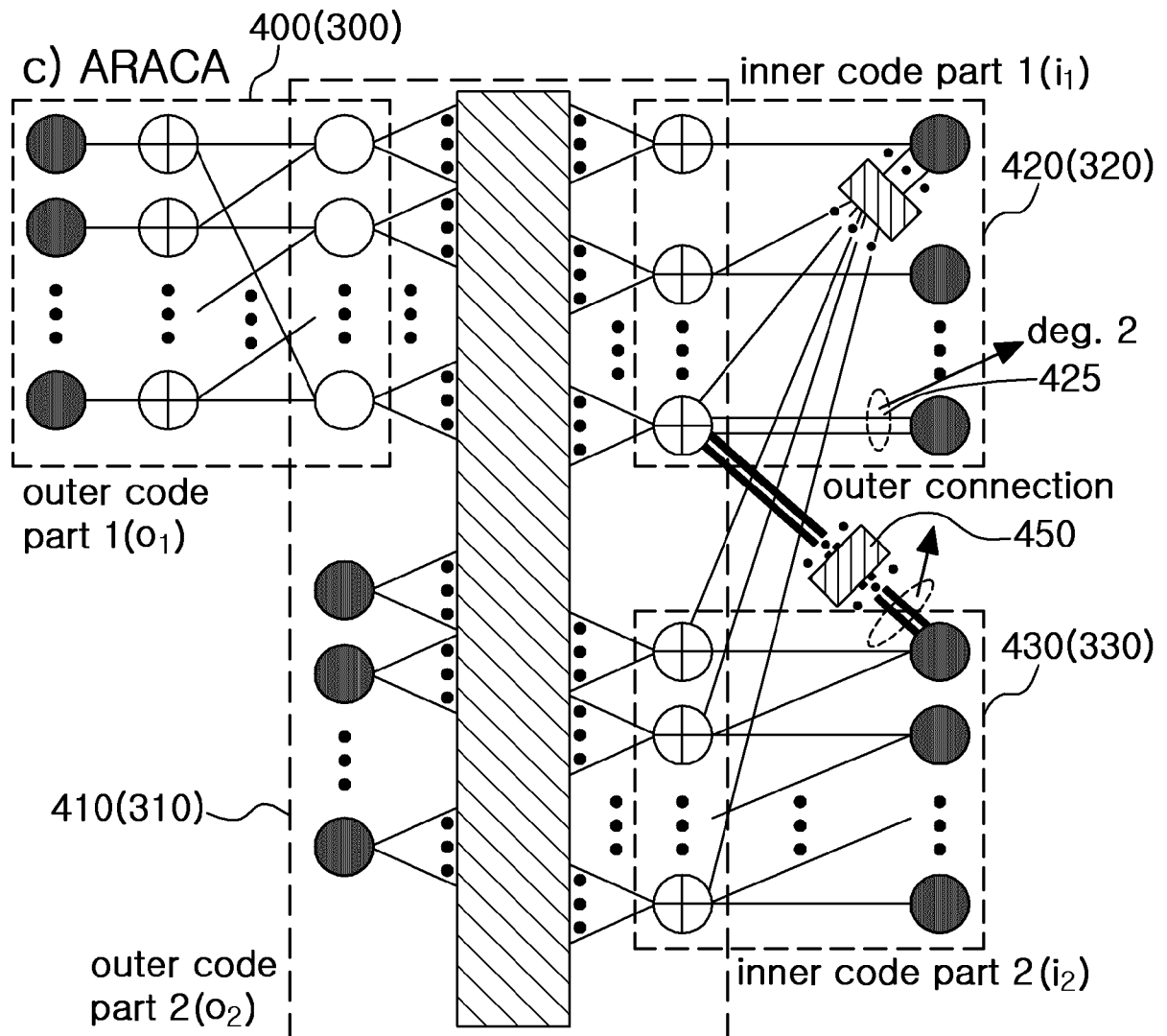
[도2]



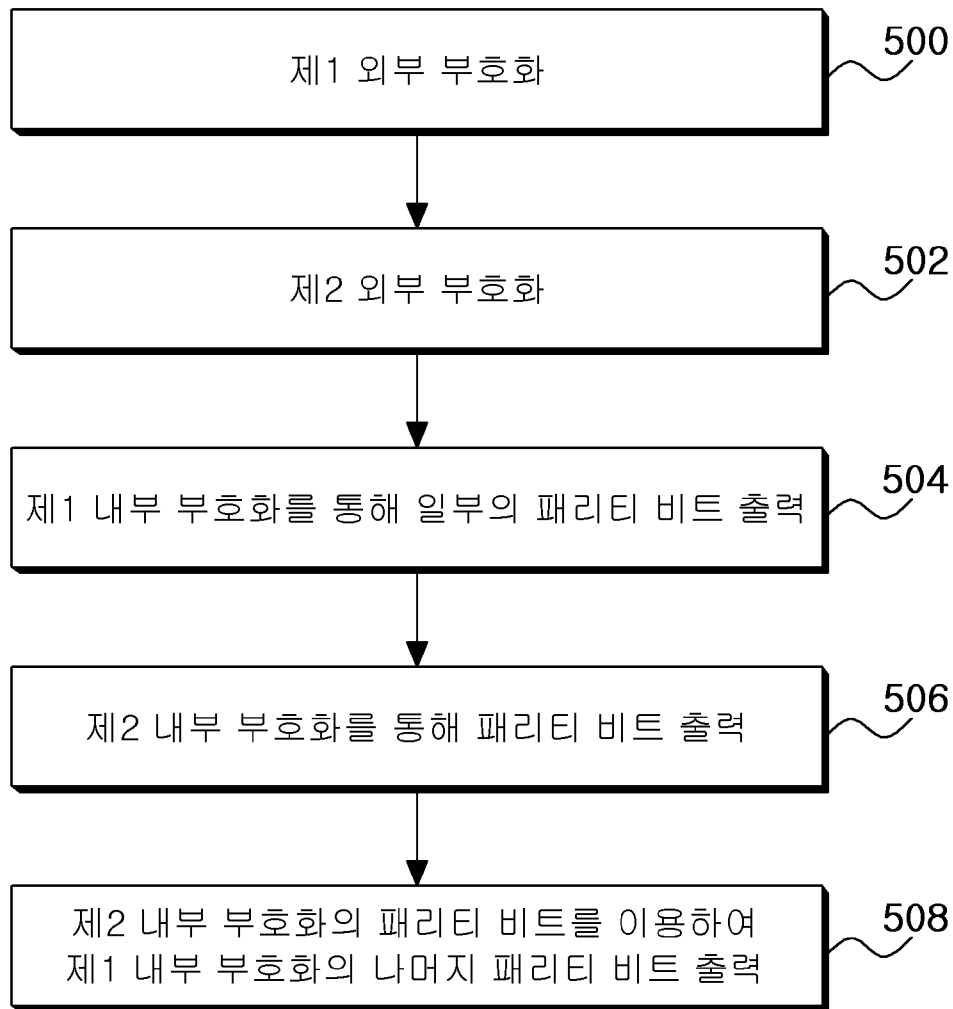
[도3]



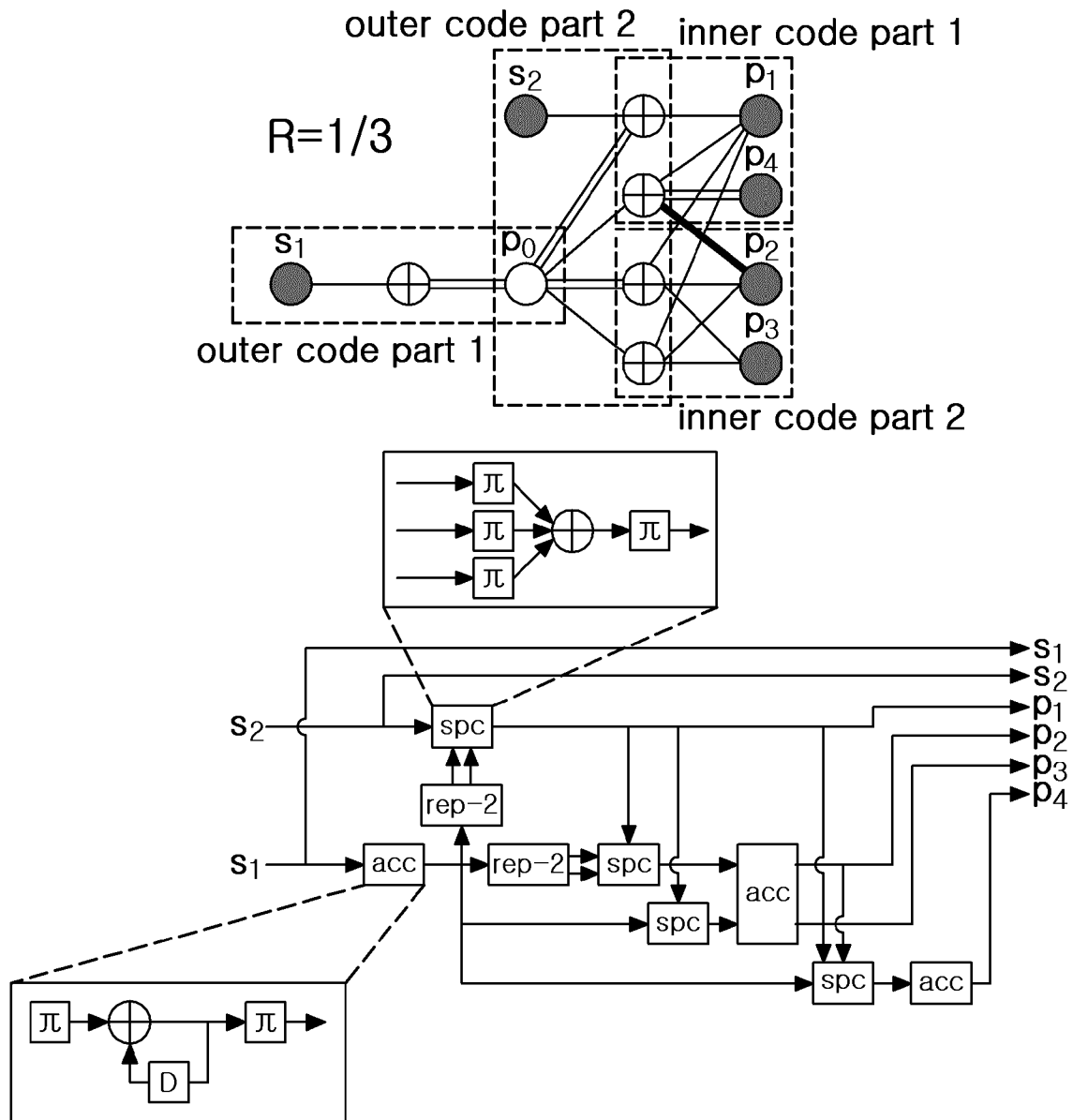
[도4]



[도5]



[도6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/001601

A. CLASSIFICATION OF SUBJECT MATTER

H03M 13/11(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M 13/11; H03M 13/27; H04L 1/00; H03M 13/05; H03M 13/00; H03M 13/13; H04N 7/08; H04L 27/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: LDPC, inner coding(inner coding), outer coding(outer coding), repetition(repetition), permutation(permutation)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2008-0016426 A1 (LI, Kai et al.) 17 January 2008 See paragraphs [0033]-[0056], claim 1 and figures 2-6.	1-15
A	US 2006-0294445 A1 (DIVSALAR, Dariush et al.) 28 December 2006 See paragraphs [0083], [0099], [0103] and figures 19, 49, 55.	1-15
A	US 2015-0085951 A1 (LG ELECTRONICS INC.) 26 March 2015 See paragraphs [0106]-[0514] and figures 1-31.	1-15
A	US 9083383 B1 (XILINX INC.) 14 July 2015 See column 15, line 47-column 21, line 49 and figures 14-25.	1-15
A	WO 2015-016668 A1 (LG ELECTRONICS INC.) 05 February 2015 See paragraphs [0170]-[0286] and figures 1-9.	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

10 OCTOBER 2016 (10.10.2016)

Date of mailing of the international search report

12 OCTOBER 2016 (12.10.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/KR2016/001601

[illegible]

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H03M 13/11(2006.01)i																				
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H03M 13/11; H03M 13/27; H04L 1/00; H03M 13/05; H03M 13/00; H03M 13/13; H04N 7/08; H04L 27/26 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: LDPC, 내부 부호화(inner coding), 외부 부호화(outer coding), 반복(repetition), 치환(permutation)																				
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>US 2008-0016426 A1 (KAI LI 등) 2008.01.17 단락 [0033]-[0056], 청구항 1 및 도면 2-6 참조.</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2006-0294445 A1 (DARIUSH DIVSALAR 등) 2006.12.28 단락 [0083], [0099], [0103] 및 도면 19, 49, 55 참조.</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2015-0085951 A1 (LG ELECTRONICS INC.) 2015.03.26 단락 [0106]-[0514] 및 도면 1-31 참조.</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 9083383 B1 (XILINX INC.) 2015.07.14 컬럼 15, 라인 47 - 컬럼 21, 라인 49 및 도면 14-25 참조.</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>WO 2015-016668 A1 (LG ELECTRONICS INC.) 2015.02.05 단락 [0170]-[0286] 및 도면 1-9 참조.</td> <td>1-15</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	A	US 2008-0016426 A1 (KAI LI 등) 2008.01.17 단락 [0033]-[0056], 청구항 1 및 도면 2-6 참조.	1-15	A	US 2006-0294445 A1 (DARIUSH DIVSALAR 등) 2006.12.28 단락 [0083], [0099], [0103] 및 도면 19, 49, 55 참조.	1-15	A	US 2015-0085951 A1 (LG ELECTRONICS INC.) 2015.03.26 단락 [0106]-[0514] 및 도면 1-31 참조.	1-15	A	US 9083383 B1 (XILINX INC.) 2015.07.14 컬럼 15, 라인 47 - 컬럼 21, 라인 49 및 도면 14-25 참조.	1-15	A	WO 2015-016668 A1 (LG ELECTRONICS INC.) 2015.02.05 단락 [0170]-[0286] 및 도면 1-9 참조.	1-15
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																		
A	US 2008-0016426 A1 (KAI LI 등) 2008.01.17 단락 [0033]-[0056], 청구항 1 및 도면 2-6 참조.	1-15																		
A	US 2006-0294445 A1 (DARIUSH DIVSALAR 등) 2006.12.28 단락 [0083], [0099], [0103] 및 도면 19, 49, 55 참조.	1-15																		
A	US 2015-0085951 A1 (LG ELECTRONICS INC.) 2015.03.26 단락 [0106]-[0514] 및 도면 1-31 참조.	1-15																		
A	US 9083383 B1 (XILINX INC.) 2015.07.14 컬럼 15, 라인 47 - 컬럼 21, 라인 49 및 도면 14-25 참조.	1-15																		
A	WO 2015-016668 A1 (LG ELECTRONICS INC.) 2015.02.05 단락 [0170]-[0286] 및 도면 1-9 참조.	1-15																		
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																				
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																				
국제조사의 실제 완료일 2016년 10월 10일 (10.10.2016)		국제조사보고서 발송일 2016년 10월 12일 (12.10.2016)																		
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 안정환 전화번호 +82-42-481-8633 																		

국제출원번호
PCT/KR2016/001601

서식 PCT/ISA/210 (대응특허 추가용지) (2015년 1월)