【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成17年10月27日(2005.10.27)

【公開番号】特開2000-90668(P2000-90668A)
【公開日】平成12年3月31日(2000.3.31)
【出願番号】特願平10-253080
【国際特許分類第７版】
　Ｇ１１Ｃ　11/409
【ＦＩ】
　Ｇ１１Ｃ　11/34　　３５３Ｃ

【手続補正書】
【提出日】平成17年8月2日(2005.8.2)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】請求項２
【補正方法】変更
【補正の内容】
【請求項２】
待機状態においては、上記ビット線、上記反転ビット線、上記内部データ線及び上記反転内部データ線は上記第１の電圧供給回路、上記第２の電圧供給回路及び上記イコライズ回路により上記所定電圧に保持されており、上記弁別回路の弁別動作開始前に上記第１のスイッチ回路及び上記第２のスイッチ回路の双方が非導通状態となり、その後上記第１のスイッチ回路又は上記第２のスイッチ回路の一方が導通状態となる請求項１に記載の半導体メモリ回路。
【手続補正２】
【補正対象書類名】明細書
【補正対象項目名】０００８
【補正方法】変更
【補正の内容】
【０００８】
　プリチャージ兼イコライズ回路１２４は、内部データ線ＳＡＢＬと信号線ＢＬＲとの間に接続されたＮＭＯＳトランジスタ１３６ａと、同様に、反転内部データ線ＳＡＢＬ＿と信号線ＢＬＲとの間に接続されたＮＭＯＳトランジスタ１３６ｂとを有している。信号線ＢＬＲには、電源電圧／２が印加されており、各ＮＭＯＳトランジスタ１３６ａ、１３６ｂが導通すると、内部データ線ＳＡＢＬと反転内部データ線ＳＡＢＬ＿に、電源電圧／２が印加されるように構成されている(プリチャージ動作)。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００１７
【補正方法】変更
【補正の内容】
【００１７】
　この状態から、プリチャージ兼イコライズ回路１２４及び接続回路１２２Ｌがオフすると、プリチャージは終了し、ビット線ＬＢＬ及び反転ビット線ＬＢＬ＿は内部データ線ＳＡＢＬ及び反転内部データ線ＳＡＢＬ＿からそれぞれ切り離される。
【手続補正４】
【補正対象書類名】明細書
【補正対象項目名】００２５

【補正方法】変更
【補正の内容】
【００２５】
請求項２に記載の半導体メモリ回路では、待機状態においては、上記ビット線、上記反転ビット線、上記内部データ線及び上記反転内部データ線は上記第１の電圧供給回路、上記第２の電圧供給回路及び上記イコライズ回路により上記所定電圧に保持されており、上記弁別回路の弁別動作開始前に上記第１のスイッチ回路及び上記第２のスイッチ回路の双方が非導通状態となり、その後上記第１のスイッチ回路又は上記第２のスイッチ回路の一方が導通状態となる。
【手続補正５】
【補正対象書類名】明細書
【補正対象項目名】００４３
【補正方法】変更
【補正の内容】
【００４３】
制御端子が内部データ線ＳＡＢＬに接続されたＰＭＯＳトランジスタ２８ａ、ＮＭＯＳトランジスタ３０ａは、その一方の入出力端子が反転内部データ線ＳＡＢＬ＿に接続され、他方の入出力端子がセンス線ＰＣ、ＮＣにそれぞれ接続されている。