



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

217 318

(11)

(B1)



(61)

(23) Výstavní priorita
(22) Přihlášeno 05 06 80
(21) PV 3979-80

(51) Int. Cl.³ H 03 K 19/088

(40) Zveřejněno 26 03 82
(45) Vydáno 01 08 85

(75)
Autor vynálezu

PÍRKO JAN ing.,

ŽAMBERK

(54)

Zapojení elektronického obvodu pro nastavení
výchozích stavů logické sítě

Vynález se týká elektronických logických sítí obsahujících sekvenční obvody. Vynález řeší nastavení výchozího stavu logické el.sítě po připojení napájecího napětí nebo po krátkodobém přerušení napájení.

Podstatou vynálezů je, že ke kladnému výstupnímu vodiči napájecího zdroje je přes kondenzátor připojen jednak první konec sériové kombinace dvou odporů, jejíž druhý konec je připojen k zápornému výstupnímu vodiči napájecího zdroje, jednak katoda diody, jejíž anoda je připojena rovněž k zápornému výstupnímu vodiči napájecího zdroje, mezi odpory sériové kombinace je připojena vstupní elektroda zesilovacího členu, výstupní elektroda zesilovacího členu je připojena jednak přes zatěžovací odpor ke kladnému výstupnímu vodiči napájecího zdroje, jednak ke vstupu nastavení logické sítě a jeho společná elektroda je připojena k zápornému vodiči napájecího zdroje, přičemž časová konstanta určená hodnotami kondenzátoru a odporů sériové kombinace je větší než časová konstanta napájecího zdroje.

Vynález se týká zapojení elektronického obvodu pro nastavení výchozích stavů logické sítě.

Logické sítě obsahující sekvenční obvody vyžadují po připojení napájecího napětí či po krátkodobém přerušení dodávky elektrické energie nastavení výchozího stavu.

V současné době je nastavování výchozích stavů zmíněných logických sítí uskutečňováno buď ručně, nebo pomocí časovacích obvodů RC, které zpožďují příchod logické úrovně L respektive H na vstupy nastavení tak, že po zapnutí se logický obvod nalézá v definovaném počátečním stavu již před ustálením provozní hodnoty napájecího napětí.

Nevýhodou ručního nastavování výchozích stavů logické sítě je, že vyžaduje přítomnost obsluhy, která při každém i náhodném výpadku nebo poklesu napájecího napětí ručně, zpravidla pomocí tlačítka, nastaví výchozí stav logické sítě.

Nevýhodou nastavování výchozích stavů logické sítě pomocí časovacích obvodů RC je, že neřeší plně případy krátkodobého přerušení dodávky elektrické energie, při kterém se kapacity zpožďovacích RC článků nestačí vybit pod úroveň L, čímž se nevytváří podmínky pro nastavení výchozího stavu logické sítě.

Tyto nevýhody do značné míry odstraňuje zapojení elektronického obvodu pro nastavení výchozích stavů logické sítě podle vynálezu jehož podstatou je, že ke kladnému výstupnímu vodiči napájecího zdroje je přes kondenzátor připojen jednak první konec sériové kombinace dvou odporů, jejíž druhý konec je připojen k zápornému výstupnímu vodiči napájecího zdroje, jednak katoda diody, jejíž anoda je připojena rovněž k zápornému výstupnímu vodiči napájecího zdroje, mezi odpory sériové kombinace je připojena vstupní elektroda zesilovacího členu, výstupní elektroda zesilovacího členu je připojena jednak přes zatěžovací odpor ke kladnému výstupnímu vodiči napájecího zdroje, jednak ke vstupu nastavení logické sítě a jeho společná elektroda je připojena k zápornému vodiči napájecího zdroje, přičemž nabíjecí časová konstanta určená hodnotami kondenzátoru a odporů sériové kombinace je větší než časová konstanta napájecího zdroje.

Výhodou zapojení elektronického obvodu pro nastavení výchozích stavů logické sítě je, že spolehlivě reaguje i na krátkodobé výpadky dodávky elektrické energie.

Příkladné zapojení elektronického obvodu podle vynálezu je schematicky znázorněno na výkresu. Zapojení spolupracuje s logickou sítí 1 opatřenou alespoň jedním vstupem 2 nastavení pro nastavení výchozích stavů řečené logické sítě 1 a napájenou zdrojem 3 stejnosměrného napětí, opatřeným kladným a záporným výstupním vodičem 4, 5. Napájecí zdroj 3 může být známého provedení a zahrnuje síťový transformátor 6, usměrňovač 7, filtrační kondenzátor 8 a stabilizátor napětí 9, jejichž parametry určují časovou konstantu napájecího zdroje 3.

Ke kladnému výstupnímu vodiči 4 zmíněného napájecího zdroje 3 je přes kondenzátor 10 připojen jednak první konec sériové kombinace dvou odporů 11, 11', jejíž druhý konec je připojen k zápornému výstupnímu vodiči 5 napájecího zdroje 3, jednak katoda diody 12, jejíž anoda je připojena rovněž k zápornému výstupnímu vodiči 5, napájecího zdroje 3. Mezi odpory 11, 11' sériové kombinace je připojena vstupní elektroda 13 zesilovacího členu 14,

přičemž výstupní elektroda 15 zesilovacího členu 14 je připojena jednak přes zatěžovací odpor 16 ke kladnému výstupnímu vodiči 4 napájecího zdroje 3 jednak ke vstupu 2 nastavení logické sítě 1. Společná elektroda 17 zesilovacího členu 14 je připojena k zápornému vodiči 5 napájecího zdroje 3. Časová konstanta určená hodnotami kondenzátoru 10 a odporů 11, 11' sériové kombinace, případně i hodnotou vstupního odporu zesilovacího členu 14, je větší než časová konstanta napájecího zdroje 3. Zesilovací člen 14 je tvořen s výhodou Darlingtonovou dvojicí tranzistorů 18, 18'.

Po zapnutí napájecího zdroje 3 se nárůst napájecího napětí, v tomto případě na filtračním kondenzátoru 8, přenáší přes kondenzátor 10 a sériovou kombinaci odporů 11, 11' tvořící dělič napětí na vstupní elektrodu 13 zesilovacího členu 14, v tomto případě na bázi prvního tranzistoru 18 Darlingtonovy dvojice. Proud tekoucí vstupní elektrodou 13 zesilovacího členu 14 při nárůstu napájecího napětí způsobí otevření zesilovacího členu 14 a na výstupní elektrodě 15 se objeví nízká úroveň napětí "L", která nastaví výchozí stavy logické sítě 1. Po ustálení napájecího napětí na provozní hodnotě se kondenzátor 10 nabije na tuto provozní hodnotu napětí a nabíjecí proud odpory 11, 11' sériové kombinace otevírací zesilovací člen 14 zanikne, čímž se zesilovací člen 14, uzavře a na jeho výstupní elektrodě 15 se objeví vysoká úroveň napětí "H", která na nastavení logické sítě 1 nepůsobí.

V případě i krátkodobého přerušení elektrické energie se kondenzátor 10 velmi rychle vybijí přes diodu 12 a je schopen v jakémkoliv stádiu vybíjení filtračního kondenzátoru 8, tj. poklesu napájecího napětí, přenést při obnovení dodávky elektrické energie nárůst napájecího napětí přes dělič z odporů 11, 11' na vstupní elektrodu 13 zesilovacího členu 14 a tím generovat signál pro nastavení výchozích stavů logické sítě. Generace zmíněného signálu pro nastavení výchozích stavů logické sítě 1 končí při ustálení napájecího napětí na provozní, tj. konstantní hodnotě.

P Ř E D M Ě T V Y N Á L E Z U

1. Zapojení elektronického obvodu pro nastavení výchozích stavů logické sítě opatřené alespoň jedním vstupem nastavení a napájené zdrojem stejnosměrného napětí, vykazujícím časovou konstantu, opatřeným kladným a záporným výstupním vodičem pro připojení logické sítě, vyznačené tím, že ke kladnému výstupnímu vodiči (4) zmíněného napájecího zdroje (3) je přes kondenzátor (10) připojen jednak první vývod sériové kombinace dvou odporů (11, 11'), jejíž druhý vývod je připojen k zápornému výstupnímu vodiči (5) napájecího zdroje (3), jednak katoda diody (12), jejíž anoda je připojena rovněž k zápornému výstupnímu vodiči (5) napájecího zdroje (3), mezi dvěma odpory (11, 11') sériové kombinace je připojena vstupní elektroda (13) zesilovacího členu (14), výstupní elektroda (15) zesilovacího členu (14), je připojena jednak přes zatěžovací odpor (16) ke kladnému výstupnímu vodiči (4) napájecího zdroje (3), jednak ke vstupu (2) nastavení logické sítě (1) a jeho společná elektroda (17) je připojena k zápornému vodiči (5) napájecího

zdroje (3).

2. Zapojení elektronického obvodu podle bodu 1, vyznačené tím, že zesilovací člen (14) je tvořen Darlingtonovou dvojicí tranzistorů (18, 18').

1 výkres

