

公告本

申請日期	88 年 11 月 16 日
案 號	88119931
類 別	H01L 27/00

A4
C4

462126

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 萩島淳史 (2) 大湯靜憲
	國 籍	(1) 日本 (2) 日本
三、申請人	住、居所	(1) 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル(株)日立製作所知的所有權本部内
	代 表 人 姓 名	(1) 庄山悦彦

裝
訂
線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權
 日本 1998年12月1日 10-341599 有主張優先權

有關微生物已寄存於: 寄存日期: 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明之技術領域】

本發明是有關半導體積體電路裝置及其製造方法，特別是有關適用於具有在同一半導體基板上設置記憶體電路與邏輯電路之邏輯(Logic：邏輯電路)混載型記憶體之半導體積體電路裝置及其製造方法的有效技術。

【習知之技術】

近年來在同一半導體基板上設置DRAM(Dynamic Random Access Memory)與邏輯電路之邏輯混載型記憶體的開發及製造正被積極地進行。

但，由於DRAM的記憶格是由1個記憶格選擇用MIS電晶體及與直列連接的電容器所構成，而使用電容器來作為記憶資訊的元件，因此若原封不動予以放置的話，則利用於資訊的記憶之信號電荷會隨著時間的經過而洩漏，進而使得記憶內容消失。

因此，在DRAM中，為了能夠持續記憶記憶格的資訊，而必須定期地使記憶內容再生，亦即進行所謂的更新動作，使得以提高DRAM全體的動作速度的同時可以提升該更新特性之種種的構造上及電路上的研究及技術開發正被進行著。

其課題乃如何在DRAM中提高記憶格選擇用MIS電晶體的 V_{th} (臨界值電壓)，具體的解決手段是在n通道型的MIS電晶體的閘極電極中使用導電形態為p型的多結晶矽，例如有揭示於日本特開平2-214155

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

號公報，日本特開平4-58556號公報，日本特開平9-36318號公報者。

【發明所欲解決之課題】

記憶格選擇用MIS電晶體是介於電容器與位元線之間，為用以使雙方電氣性連接或絕緣之開關元件，具有：形成於半導體基板的源極·汲極用之一對半導體領域，及於半導體基板上經由閘極絕緣膜而形成之閘極電極。

又，形成有該記憶格選擇用MIS電晶體的活性領域是藉由元件分離領域而制定，由製造的容易性等來看，在此元件分離領域中一般是使用LOCOS(Local Oxidation Silicon)。

但，在LOCOS與半導體基板的境界必須要有反轉防止用的雜質領域，以與半導體基板同樣的導電形態來將高濃度的雜質領域形成於LOCOS下的半導體基板。

因此，在記憶格選擇用MIS電晶體的儲存節點的半導體領域與上述雜質領域的接合部中會有電場變大及使記憶格的更新特性變差之問題產生。

此外，就邏輯混載型DRAM而言，可謀求DRAM與邏輯電路之製程上的統一化，例如DRAM之記憶格選擇用MIS電晶體的閘極絕緣膜與邏輯電路之MIS電晶體的閘極絕緣膜可同時形成。但，在記憶格選擇用MIS電晶體中，由於在字元線的電位升壓時需要高電壓，因此從確保可靠性的觀點來看，無法使閘極絕緣膜的膜厚過於

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

薄。因此不得不加大邏輯電路之M I S電晶體的閘極絕緣膜的厚度及記憶格選擇用M I S電晶體的閘極絕緣膜的厚度，而導致會有阻礙驅動電流等之性能提高的問題產生。

本發明之目的在於提供一種可以在具有邏輯混載型記憶體的半導體積體電路裝置中能夠提高更新特性之技術。

又，本發明之另一目的在於提供一種可以在具有邏輯混載型記憶體的半導體積體電路裝置中能夠提高邏輯電路的M I S電晶體的驅動能力之技術。

本發明之上述及其他的目的與新穎的特徵，可由本案說明書及圖面明確得知。

【用以解決課題之手段】

本案所揭示之代表性發明的概要，簡單分項說明如下述。

本發明之半導體積體電路裝置，是屬於一種在半導體基板上具有直列連接M I S電晶體與電容元件的記憶格之半導體積體電路裝置，其特徵為：

上述M I S電晶體具有連接於閘極絕緣膜而設有多結晶矽之閘極電極，上述多結晶矽的導電形態與上述M I S電晶體的源極·汲極用的半導體領域的導電形態呈相反，並且用以規定形成有上述M I S電晶體的半導體基板的活性領域之元件分離領域是在分離溝內（形成於上述半導體基板上）埋入絕緣膜而形成。

又，本發明之半導體積體電路裝置在上述記憶格的周

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

圍形成有邏輯電路，並且使構成上述邏輯電路的M I S電晶體的閘極電極的導電形態與該M I S電晶體的源極·汲極用的半導體領域的導電形態形成同一導電形態。

又，本發明之半導體積體電路裝置，是使上述記憶格的M I S電晶體的閘極絕緣膜的厚度相對的要比構成上述邏輯電路的M I S電晶體的閘極絕緣膜的厚度來得厚。

又，本發明之半導體積體電路裝置的製造方法，是屬於一種在半導體基板上形成直列連接M I S電晶體與電容元件的記憶格之半導體積體電路裝置的製造方法，其特徵是具有：

(a) 在上述半導體基板的主面上形成分離溝之後，形成將絕緣膜埋入上述分離溝的分離領域之過程；及

(b) 在上述半導體基板上形成閘極絕緣膜之過程；及

(c) 在上述多結晶矽膜中，在上述M I S電晶體的閘極電極形成領域中，導入與上述M I S電晶體的源極·汲極用的半導體領域的導電形態呈相反導電型的雜質之過程；

上述多結晶矽膜的閘極電極形成領域進行雜質的導入過程時，同時也對上述多結晶矽膜中上述記憶格的M I S電晶體以外的其他M I S電晶體的閘極電極形成領域導入雜質。

【發明之實施形態】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

以下，根據圖面來詳細說明本發明之實施形態（在用以說明實施形態之全圖中，對具有同一機能者賦予相同的符號，並且省略其重複說明）。

圖1是表示本發明之一實施形態的半導體積體電路裝置的要部剖面圖。圖2~圖4係表示圖1之半導體積體電路裝置的製造過程中的要部剖面圖。圖45是表示儲存節點的半導體領域與元件分離領域的界面的深度方向的雜質濃度分布，其中圖(a)為 n^+ 閘極的 n 通道型的MIS·FET的雜質濃度分布，圖(b)為 p^+ 閘極的 n 通道型的MIS·FET雜質濃度分布。

首先，根據圖1來說明本實施形態1之DRAM的剖面構造。半導體基板1是例如由 p 型的矽單結晶所構成，在其記憶體領域中形成有深 n 阱2 n_w 。並且，在該深 n 阱2 n_w 中，例如導入有 n 型雜質的磷。

又，於該深 n 阱2 n_w 的上層形成有 p 阱3 p_w 。此 p 阱3 p_w 的周圍是藉由深 n 阱2 n_w 而被圍繞，並且會電氣性地從邏輯電路領域分離。又，在此 p 阱3 p_w 中，例如導入有 p 型雜質的硼。該 p 型雜質的濃度，例如為 $10^{17} \sim 10^{18} / \text{cm}^3$ 程度。

又，於邏輯電路領域等之半導體基板1中，在與記憶體領域的 p 阱3 p_w 幾乎相同程度的深度領域中形成有 p 阱3 p_w 。並且，在此 p 阱3 p_w 中，例如導入有 p 型雜質的硼。該 p 型雜質的濃度，例如為 $10^{17} \sim 10^{18} / \text{cm}^3$ 程度。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明(6)

又，於邏輯電路領域等之半導體基板1中，在與記憶體領域的p阱3p_w幾乎相同程度的深度領域中形成有n阱3n_w。並且，在此n阱3n_w中，例如導入有n型雜質的磷或砷(As)。該n型雜質的濃度，例如為 $10^{17} \sim 10^{18} / \text{cm}^3$ 程度。

又，於如此之半導體基板1的上層部中形成有淺溝挖掘埋入型的元件分離領域4。亦即，此元件分離領域4是在半導體基板1的厚度方向上被挖掘0.3~0.4μm深度的分離溝4a內埋入分離用的絕緣膜4b₁、4b₂而形成。

此絕緣膜4b₁、4b₂是例如由二氧化矽(SiO₂)等所構成。並且，使該元件分離領域4的上面形成平坦化，亦即使其高度幾乎與半導體基板1的主面高度形成一致。

藉由淺溝挖掘埋入型的元件分離領域4，例如可取得以下的效果。

亦即，因為具有0.3~0.4μm深度的溝，以及分離用的絕緣膜4b₁、4b₂下的半導體基板1的導電形態不易反轉，所以在元件分離領域4下的半導體基板1中不需要形成反轉防止用的雜質領域。因此，在後述之記憶格選擇用MISFET的儲存節點的雜質領域與元件分離領域4的界面之pn接合部的雜質濃度會變低，而使能夠縮小接合電場。

又，於記憶體領域(圖1的左側)之半導體基板1的

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(7)

p 阱 2 p w_m 上形成有 D R A M 的記憶格。該記憶格是由 1 個記憶格選擇用 M I S · F E T Q 與 1 個電容器 (資訊儲存用電容元件) C 所構成。

又，記憶格選擇用 M I S · F E T Q 具有：彼此離間於 p 阱 3 p w_m 的上部而形成之一對的半導體領域 5 a，5 b，及形成於半導體基板 1 上的閘極絕緣膜 5 i，及形成於上面的閘極電極 5 g。並且，記憶格選擇用 M I S · F E T Q 的臨界值電壓，例如為 1 V 前後。

半導體領域 5 a，5 b 為供以形成記憶格選擇用 M I S · F E T Q 的源極·汲極的領域，且於此領域中例如導入有 n 型雜質的 A s。並且，在此半導體領域 5 a，5 b 之間，在閘極電極 5 g 的正下方形成有記憶格選擇用 M I S · F E T Q 的通道領域。

又，閘極電極 5 g 是由字元線 W L 的一部份所構成，由下層依次堆積低阻抗多晶矽膜，氮化鈦 (T i N) 膜及鎢膜，而構成複金屬構造。又，由於作為低阻抗閘極電極材料的複金屬的薄板阻抗較低 (2 Ω / □ 程度)，因此不僅可以作為閘極電極材料，而且還能夠利用於配線材料。

並且，在閘極電極 5 g 的低阻抗多晶矽膜中，例如導入有 p 型雜質的硼。藉此，將可取得以下的效果。

亦即，即使不提高半導體基板 1 的雜質濃度 (亦即，p 阱 3 p w_m 的雜質濃度，以下亦稱為基板濃度)，也能夠提高記憶格選擇用 M I S · F E T Q 的臨界值電壓，因此在閘極電極 5 g 正下方的通道領域中不需要導入臨界值電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

壓調整用的雜質，而使能夠減低基板濃度。

這是因為 p 型的多晶矽的功函數為 5.15 V，對 4.15 V 的 n 型的多晶矽而言，約大上 1 V 的程度，所以即使基板濃度相同，使用 p 型多晶矽的閘極電極的 n 通道型的記憶格選擇用 M I S · F E T Q 照樣可以比使用 n 型多晶矽的閘極電極的 n 通道型的記憶格選擇用 M I S · F E T 的臨界值大約 1 V 左右。

由於可以藉由上述基板濃度的低減來緩和連接有電容器 C 之半導體領域 5 a 的接合近旁的電場，因此將能夠減低儲存節點與半導體基板 1 之間的漏電流。又，由於可以藉由上述基板濃度的低減來減低記憶格選擇用 M I S · F E T Q 的次臨界值電流，因此即使臨界值相同，依然可以減低 M I S · F E T 的漏電流。藉由這些漏電流的低減，將可提高記憶格的更新特性。

閘極絕緣膜 5 i 是例如由 $S i O_2$ 所構成，其厚度約為 6 ~ 12 nm 程度，較理想是設定成 8 nm 程度。

在記憶格選擇用 M I S · F E T Q 的閘極電極 5 g，亦即在字元線 W L 的上面，經由絕緣膜（例如由 $S i O_2$ 所構成）而形成有罩蓋絕緣膜 6（例如由氮化矽所構成）。又，罩蓋絕緣膜 6 的下層之絕緣膜為供以緩和來自罩蓋絕緣膜 6 的應力。

又，於此罩蓋絕緣膜 6 的表面，閘極電極 5 g（字元線 W L）的側面，及彼此鄰接之字元線 W L 間的半導體基板 1 的主面上，例如形成有由氮化矽所構成的絕緣膜 7。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明(9)

另一方面，在邏輯電路領域(圖1的右側)的p阱 $3p_w$ 上形成有n通道型的MIS·FETQn。該n通道型的MIS·FETQn具有：彼此離間於p阱 $3p_w$ 的上部而形成之一對的半導體領域 $8a$ 、 $8b$ ，及形成於半導體基板1上的閘極絕緣膜 $8i$ ，及形成於上面的閘極電極 $8g$ 。並且，該MIS·FETQn的臨界值電壓為0.1V前後。

又，半導體領域 $8a$ 、 $8b$ 為供以形成n通道型的MIS·FETQn的源極·汲極之領域，且於此半導體領域 $8a$ 、 $8b$ 之間，在閘極電極 $8g$ 的正下方形成有n通道型的MIS·FETQn的通道領域。

又，此半導體領域 $8a$ 、 $8b$ 為LDD(Lightly Doped Drain)構造。亦即，半導體領域 $8a$ 、 $8b$ 分別具有低濃度領域 $8a_1$ 、 $8b_1$ 與高濃度領域 $8a_2$ 、 $8b_2$ 。該低濃度領域 $8a_1$ 、 $8b_1$ 是形成於通道領域側，高濃度領域 $8a_2$ 、 $8b_2$ 是配置於其外側。

又，於該低濃度領域 $8a_1$ 、 $8b_1$ 中，例如導入有n型雜質的As，在高濃度領域 $8a_2$ 、 $8b_2$ 中，例如導入有n型雜質的As，但低濃度領域 $8a_1$ 、 $8b_1$ 中的雜質濃度設定成較高。並且，在半導體領域 $8a$ 、 $8b$ 的上層部中形成有矽化物層 $8c$ (例如由鈦矽化物(TiSix)所構成)。

又，閘極電極 $8g$ 是由下層依次堆積低阻抗多晶矽膜、TiN膜及鎢膜。並且，在此閘極電極 $8g$ 的低阻抗多

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

晶矽膜中，例如導入有 n 型雜質的磷或 A s 。又，形成閘極電極 8 g 的鎢膜等之金屬膜具有可以將閘極電極 8 g 的薄板阻抗減低至 $2 \sim 2.5 \Omega / \square$ 程度為止之功能。藉此，將能夠提高 D R A M 的動作速度。

又，閘極絕緣膜 8 i 是例如由 $S i O_2$ 所構成，其厚度與上述記憶格選擇用 M I S · F E T Q 的閘極絕緣膜 5 i 同樣為 $6 \sim 12 \text{ nm}$ 程度，較理想是設定成 8 nm 程度。又，其厚度例如亦可設定成 4 nm ，亦即設定成比記憶格選擇用 M I S · F E T Q 的閘極絕緣膜 5 i 還要薄，而使能夠提高 n 通道型 M I S · F E T Q n 的動作速度。

又，在此閘極電極 8 g 的上面，經由絕緣膜（例如由 $S i O_2$ 等所構成）而形成有罩蓋絕緣膜 6（例如由氮化矽所構成）。並且，該罩蓋絕緣膜 6 的下層之絕緣膜是用以緩和來自罩蓋絕緣膜 6 的應力者。

又，在此罩蓋絕緣膜 6 及閘極電極 8 g 的側面形成有側壁 9（例如由氮化矽所構成）。並且，此側壁 9 主要是供以在半導體基板 1 上形成上述低濃度領域 $8 a_1$ ， $8 b_1$ 與高濃度領域 $8 a_2$ ， $8 b_2$ 時之離子植入用的光罩。

又，邏輯電路領域之 n 阱 $3 n w$ 上形成有 p 通道型的 M I S · F E T Q p 。該 p 通道型的 M I S · F E T Q p 具有：彼此離間於 n 阱 $3 n w$ 的上部而形成之一對的半導體領域 $10 a$ ， $10 b$ ，及形成於半導體基板 1 上的閘極絕緣膜 $10 i$ ，及形成於上面的閘極電極 $10 g$ 。並且，此 M I S · F E T Q p 的臨界值電壓，例如為 0.1 V 前

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明 (11)

後。

半導體領域 10 a , 10 b 是供以形成 p 通道型的 M I S · F E T Q p 的源極 · 汲極之領域，且於此半導體領域 10 a , 10 b 之間，在閘極電極 10 g 的正下方形成有 p 通道型的 M I S · F E T Q p 的通道領域。

又，此半導體領域 10 a , 10 b 為 L D D (Lightly Doped Drain) 構造。亦即，半導體領域 10 a , 10 b 分別具有低濃度領域 10 a₁ , 10 b₁ 與高濃度領域 10 a₂ , 10 b₂。該低濃度領域 10 a₁ , 10 b₁ 是形成於通道領域側，高濃度領域 10 a₂ , 10 b₂ 是配置於其外側。

又，於該低濃度領域 10 a₁ , 10 b₁ 中，例如導入有 p 型雜質的硼。並且，在高濃度領域 10 a₂ , 10 b₂ 中，例如導入有 p 型雜質的硼，但低濃度領域 10 a₁ , 10 b₁ 中的雜質濃度設定成較高。並且，在半導體領域 10 a , 10 b 的上層部中形成有矽化物層 10 c (例如由鈦矽化物 (T i S i_x) 所構成) 。

又，閘極電極 10 g 是由下層依次堆積低阻抗多晶矽膜、T i N 膜及鎢膜。

並且，在此閘極電極 10 g 的低阻抗多晶矽膜中，例如導入有 p 型雜質的硼。藉此，可使低電壓動作對應的 p 通道型的 M I S · F E T Q p 的臨界值電壓下降，而來謀求其特性及動作可靠度的提升。又，形成閘極電極 10 g 的鎢膜等之金屬膜具有可以將閘極電極 10 g 的薄板阻抗

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (12)

減低至 $2 \sim 2.5 \Omega / \square$ 程度為止之功能。藉此，將能夠提高 D R A M 的動作速度。

又，閘極絕緣膜 1 0 i 是例如由 $S i O_2$ 所構成，其厚度與上述記憶格選擇用 M I S · F E T Q 的閘極絕緣膜 5 i 同樣為 $6 \sim 12 \text{ nm}$ 程度，較理想是設定成 8 nm 程度。又，其厚度例如亦可設定成 4 nm ，亦即設定成比記憶格選擇用 M I S · F E T Q 的閘極絕緣膜 5 i 還要薄，而使能夠提高 p 通道型 M I S · F E T Q p 的動作速度。

又，在此閘極電極 1 0 g 的上面，經由絕緣膜（例如由 $S i O_2$ 等所構成）而形成有罩蓋絕緣膜 6（例如由氮化矽所構成）。並且，該罩蓋絕緣膜 6 的下層之絕緣膜是用以緩和來自罩蓋絕緣膜 6 的應力者。

又，在此罩蓋絕緣膜 6 及閘極電極 1 0 g 的側面形成有側壁 9（例如由氮化矽所構成）。並且，此側壁 9 主要是供以在半導體基板 1 上形成上述低濃度領域 1 0 a₁，1 0 b₁ 與高濃度領域 1 0 a₂，1 0 b₂ 時之離子植入用的光罩。

又，可藉由這些 n 通道型的 M I S · F E T Q n 及 p 通道型的 M I S · F E T Q p 來形成 D R A M 的感測放大器電路，列解碼器電路，列驅動器電路，行解碼器電路，行驅動器電路，I / O 選擇器電路及電源電路等之類的邏輯電路。

又，如此之記憶格選擇用 M I S · F E T Q，p 通道型的 M I S · F E T Q p 及 n 通道型的

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (13)

M I S · F E T Q n 等之半導體積體電路元件是藉由堆積於半導體基板 1 上的層間絕緣膜 1 1 a ~ 1 1 c 來予以覆蓋。

層間絕緣膜 1 1 a ~ 1 1 c 是例如由 S i O₂ 等所構成。其中，層間絕緣膜 1 1 a 是利用 S O G (Spin On Glass) 法來予以堆積。又，層間絕緣膜 1 1 b, 1 1 c 是利用電漿 C V D 法等來予以堆積。並且，使該層間絕緣膜 1 1 c 的上面形成平坦化，亦即使其高度幾乎與記憶體領域及邏輯電路領域的高度形成一致。

又，於記憶體領域之層間絕緣膜 1 1 a ~ 1 1 c 及絕緣膜 7 中設有能夠使半導體領域 5 a, 5 b 露出的連接孔 1 2 a, 1 2 b。並且，在此連接孔 1 2 a, 1 2 b 的下部，閘極電極 5 g (字元線 W L) 的寬度方向的尺寸是根據彼此鄰接之閘極電極 5 g (字元線 W L) 的側面之絕緣膜 7 部份而定。亦即，連接孔 1 2 a, 1 2 b 是根據閘極電極 5 g (字元線 W L) 的側面之絕緣膜 7 而自我整合穿孔。

藉此，在進行供以複寫該連接孔 1 2 a, 1 2 b 的圖案之曝光處理時，即使該連接孔 1 2 a, 1 2 b 的圖案與記憶格選擇用 M I S · F E T Q s 的活性領域之相對的平面位置稍微偏移，閘極電極 5 g (字元線 W L) 也不會從此連接孔 1 2 a, 1 2 b 露出。

又，於此連接孔 1 2 a, 1 2 b 內分別埋入有柱塞 1 3 a, 1 3 b。此柱塞 1 3 a, 1 3 b 是例如由含有 n

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

型雜質的磷之低阻抗多晶矽所構成，並且分別電氣性地連接於記憶格選擇用 M I S · F E T Q 的半導體領域 5 a，5 b。而且，在柱塞 1 3 b 的上面形成有矽化物膜（例如 T i S i x）。

又，於層間絕緣膜 1 1 c 上堆積層間絕緣膜 1 1 d。此層間絕緣膜 1 1 d 是例如由 S i O₂ 等所構成，是例如藉由電漿 C V D 法來予以形成。並且，在此層間絕緣膜 1 1 d 上形成有位元線 B L 及第 1 層配線 1 4（1 4 a ~ 1 4 c）。

此位元線 B L 是由下層依次堆積 T i 膜，T i N 膜及鎢膜，並且經由穿孔於層間絕緣膜 1 1 d 的連接孔 1 5 來與柱塞 1 3 b 進行電氣性的連接，而且經由柱塞 1 3 b 來與記憶格選擇用 M I S · F E T Q 的半導體領域 5 b 進行電氣性的連接。又，於位元線 B L 的表面（上面或側面）覆蓋有絕緣膜 1 6（例如由氮化矽所構成）。

又，位元線 B L 是延伸於與字元線 W L 的延伸方向呈垂直的方向。因此，

在圖 1 所示的剖面中，位元線 B L 通常是不被顯示出，但為了顯示出位元線 B L 所配置的配線層，以及為了說明覆蓋於位元線 B L 表面的絕緣膜 1 6 的作用，而顯示出位元線 B L。

另一方面，邏輯電路領域的第 1 層配線 1 4 與位元線 B L 同樣的是由下層依次堆積 T i 膜，T i N 膜及鎢膜，並且在其表面（上面及側面）覆蓋有絕緣膜 1 6（例如由

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (15)

氮化矽所構成)。

又，第 1 層配線 1 4 a 是經由穿孔於層間絕緣膜 1 1 a ~ 1 1 d 的連接孔 1 7 來與 n 通道型的 M I S · F E T Q n 的半導體領域 8 a 進行電氣性連接。又，第 1 層配線 1 4 b 亦經由穿孔於層間絕緣膜 1 1 a ~ 1 1 d 的連接孔 1 7 來與 n 通道型的 M I S · F E T Q n 及 p 通道型的 M I S · F E T Q p 的半導體領域 1 0 a 進行電氣性連接。又，第 1 層配線 1 4 c 是經由穿孔於層間絕緣膜 1 1 a ~ 1 1 d 的連接孔 1 7 來與 p 通道型的 M I S · F E T Q p 的半導體領域 1 0 b 進行電氣性連接。

又，於層間絕緣膜 1 1 d 的上面，由下層依次堆積有層間絕緣膜 1 1 e ~ 1 1 g，藉此來覆蓋絕緣膜 1 6。在此，層間絕緣膜 1 1 e ~ 1 1 g 是例如由 S i O₂ 等所構成。其中，層間絕緣膜 1 1 e 是利用 S O G (Spin On Glass) 法來予以堆積。又，層間絕緣膜 1 1 f，1 1 g 是利用電漿 C V D 法等來予以堆積。並且，使該層間絕緣膜 1 1 g 的上面形成平坦化，亦即使其高度幾乎與記憶體領域及邏輯電路領域的高度形成一致。

又，於記憶體領域之層間絕緣膜 1 1 d ~ 1 1 g 中設有能夠使柱塞 1 3 的上面露出的連接孔 1 8。在本實施形態中，由於在位元線 B L 的上面被覆蓋有絕緣膜 1 6 (由氮化矽等所構成)，因此該連接孔 1 8 的平面位置即使偏移於位元線 B L 的寬度方向而使得重疊於位元線 B L，也會因為絕緣膜 1 6 具有作為蝕刻阻擋件之功能，而使得能

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (16)

夠防止位搖線 B L 直接從連接孔 1 8 露出。

又，在此連接孔 1 8 內埋入有柱塞 1 9。該柱塞 1 9 是例如由含有 n 型雜質的磷之低阻抗多晶矽所構成，且與柱塞 1 3 a 進行電氣性連接，並經由此來與記憶格選擇用 M I S · F E T Q 的半導體領域 5 a 進行電氣性連接。

又，在層間絕緣膜 1 1 g 的上面堆積有層間絕緣膜 1 1 h，1 1 i。該層間絕緣膜 1 1 h 是例如由氮化矽所構成，主要是以能夠覆蓋記憶體領域而形成。又，層間絕緣膜 1 1 i 是例如由 $S i O_2$ 等所構成。又，於層間絕緣膜 1 1 h，1 1 i 中設有能夠使柱塞 1 9 的上面露出之開口部 2 0，並且在此開口部 2 0 內形成有上述記憶格的電容器 C。

該電容器 C 是例如形成冠狀，是由儲存電極 2 1 a 及覆蓋於表面的屏極 2 1 c 所構成。

又，電容器 C 的儲存電極 2 1 a 是例如由低阻抗多晶矽所構成，在其表面上形成有不會增加電容器 C 的佔有面積而使容量增大之複數的微細凹凸。

此儲存電極 2 1 a 的下部是經由開口部 2 0 來與柱塞 1 9 進行電氣性連接，並且經由此來與記憶格選擇用 M I S · F E T Q 的半導體領域 5 a 進行電氣性連接。此外，配置於圖 1 之記憶體領域與邏輯電路領域的境界領域（約圖 1 的中央）之儲存電極 2 1 a 1 為虛擬者。

又，電容器 C 的電容絕緣膜 2 1 b 是例如由氧化鈦（ $T a_2 O_5$ ）等所構成。電容器 C 的屏極 2 1 c 是例如由

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (17)

T i N 等所構成，是以能夠覆蓋複數的儲存電極 2 1 a 之方式而形成。

又，在層間絕緣膜 1 1 i 上堆積有層間絕緣膜 1 1 j，藉此來覆蓋屏極 2 1 c。此層間絕緣膜 1 1 j 是例如由 S i O₂ 等所構成，並且在上面形成有第 2 層配線 2 2 (2 2 a, 2 2 b)。

第 2 層配線 2 2 是由下層依次堆積 T i N 膜，鋁 (A l) 膜及 T i 膜。邏輯電路領域的第 2 層配線 2 2 b 是經由穿孔於層間絕緣膜 1 1 e ~ 1 1 g, 1 1 i, 1 1 j 及絕緣膜 1 6 的連接孔 2 3 內之導體膜 2 4 來與第 1 層配線 1 4 b 進行電氣性連接。此導體膜 2 4 是由下層依次堆積 T i N 膜及鎢膜。

在層間絕緣膜 1 1 j 上，層間絕緣膜 1 1 k, 1 1 m, 1 1 n 是由下層依次堆積，藉此來覆蓋第 2 層配線 2 2。層間絕緣膜 1 1 k, 1 1 n 是例如由 S i O₂ 等所構成，是例如藉由電漿 C V D 法等來予以形成。層間絕緣膜 1 1 m 是例如由 S i O₂ 等所構成，是例如藉由 S O G 法等來予以形成。

在層間絕緣膜 1 1 n 上形成有第 3 層配線 2 5 (2 5 a ~ 2 5 c)。第 3 層配線 2 5 是由下層依次堆積 T i N 膜，鋁 (A l) 膜及 T i 膜。

其中，邏輯電路領域的第 3 層配線 2 5 b 是經由穿孔於層間絕緣膜 1 1 j, 1 1 m, 1 1 n 的連接孔 2 6 內之導體膜 2 7 來與屏極 2 1 c 進行電氣性連接。又，邏輯電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (18)

路領域的第 3 層配線 2 5 c 是經由穿孔於層間絕緣膜

1 1 k , 1 1 m , 1 1 n 的連接孔 2 8 內之導體膜 2 9 來與第 2 層配線 2 2 b 進行電氣性連接。導體膜 2 7 , 2 9 是由下層依次堆積 T i N 膜及鎢膜。

在第 3 層配線 2 5 的上部形成有鈍化膜 (圖中省略圖示) , 該鈍化膜是藉由層疊氧化矽膜及氮化矽膜之 2 層的絕緣膜等而構成。

其次, 根據圖 2 ~ 圖 4 4 來說明本實施形態 1 之半導體積體電路裝置的製造方法。

首先, 如圖 2 所示, 對半導體基板 1 (由 p 型的 S i 單結晶所構成) 進行熱處理, 而於表面上形成墊膜 3 0 (例如由膜厚 1 0 ~ 3 0 n m 的 S i O₂ 等所構成) 之後, 在此墊膜 3 0 上利用 C V D (Chemical Vapor Deposition) 法來堆積耐氧化性膜 3 1 (例如由膜厚 1 0 0 ~ 2 0 0 n m 的氮化矽等所構成) 。

接著, 如圖 3 所示, 使光阻劑膜 3 2 a (形成於耐氧化性膜 3 1 上) 形成蝕刻光罩, 然後依次對元件分離領域的耐氧化性膜 3 1 , 墊膜 3 0 及半導體基板 1 進行蝕刻, 藉此使能夠在半導體基板 1 中形成深度 3 5 0 ~ 4 0 0 n m 程度的分離溝 4 a 。此刻, 對耐氧化性膜 3 1 進行蝕刻的氣體是例如使用 C F₄ + C H F₃ + A r 或 C F₄ + A r , 又, 對半導體基板 1 進行蝕刻的氣體是例如使用 H B r + C l₂ + H e + O₂ 。

然後如圖 4 所示, 爲了藉由蝕刻來去除分離溝 4 a 內

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (19)

所產生的損傷層，而於實施氧化處理後，在分離溝 4 a 的內面形成絕緣膜 4 b₁（例如由 SiO₂ 所構成），然後如圖 5 所示，在半導體基板 1 上藉由 CVD 法來堆積絕緣膜 4 b₂（例如由 SiO₂ 所構成）。此刻，絕緣膜 4 b₂ 是例如藉由使用 TEOS（Tetraethoxysilane）氣體的電漿 CVD 法來予以形成。

其次，在絕緣膜 4 b₂ 上藉由 CVD 法等來堆積絕緣膜 3 3（例如由氮化矽所構成）之後，如圖 7 所示，以光阻劑膜 3 2 b 作為蝕刻光罩，在寬度（面積）較廣的元件分離領域上，使該絕緣膜 3 3 形成由氮化矽等所構成的絕緣膜 3 3 a 的圖案。

由殘留於元件分離領域的上部之氮化矽等所構成的絕緣膜 3 3 a 是在其次的過程中藉由化學機械研磨 (Chemical Mechanical Polishing; CMP) 法來研磨絕緣膜 4 b₂ 時，用以防止廣面積的分離溝 4 a 的內部的絕緣膜 4 b₂ 被研磨成比窄面積的元件分離領域的分離溝 4 a 的內部的絕緣膜 4 b₂ 還要深者，亦即防止產生變形凹狀扭曲 (dishing) 現象。

接著，藉由 CMP 法（使用絕緣膜 3 1，3 3 a 來作為阻擋件）來研磨絕緣膜 4 b₂ 而使殘留於分離溝 4 a 的內部，藉此來形成元件分離領域 4（如圖 8 所示）。此刻，本實施形態是在較大寬度（面積）的元件分離領域 4 上設置絕緣膜 3 3 a 圖案，而得以能夠防止元件分離領域 4 之分離用的絕緣膜 4 b₂ 的上面被切削。因此，而能夠使

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (20)

元件分離領域 4 之分離用的絕緣膜 4 b 2 的上面高度幾乎一致於半導體基板 1 的主面高度。

其次，藉由熱磷酸來去除耐氧化性膜 3 1 及絕緣膜 3 3 a，並且在去除墊膜 3 0 之後，對半導體基板 1 進行氧化處理。

接著，在半導體基板 1 上形成露出記憶體領域之深 n 阱形成用的光阻劑膜圖案之後，以此作為光罩，在半導體基板 1 的記憶體領域中離子植入 n 型雜質的磷。

然後，在去除深 n 阱形成用的光阻劑膜圖案之後，在半導體基板 1 上形成露出 p 阱領域的光阻劑膜圖案，並以此作為光罩，在半導體基板 1 的 p 阱形成領域中離子植入 p 型雜質的硼。

其次，在去除 p 阱形成用的光阻劑膜圖案之後，在半導體基板 1 上形成露出 n 阱領域的光阻劑膜圖案，並以此作為光罩，在半導體基板 1 的 n 阱形成領域中離子植入 n 型雜質的磷。

接著，在去除 n 阱形成用的光阻劑膜圖案之後，對半導體基板 1 進行熱處理，而使能夠如圖 9 所示，在半導體基板 1 中形成深 n 阱 2 n w，p 阱 3 p w_m，3 p w_n，n 阱 3 n w_p。

此深 n 阱 2 n w 是用以防止雜訊從輸出入電路經由半導體基板 1 來侵入記憶體領域的 p 阱 3 p w_m，進而能夠防止記憶格內儲存電荷的消除。

然後，對半導體基板 1 進行熱氧化處理或溼氧化處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

，而使能夠在半導體基板 1 的活性領域主面上形成閘極絕緣膜 5 i , 8 i , 1 0 i (例如由膜厚 6 ~ 1 2 n m , 較理想是由膜厚 8 n m 程度的 S i O ₂ 所構成) 。

其次，如圖 1 0 所示，在半導體基板 1 上，藉由 C V D 法等來堆積多晶矽膜 3 4 。

接著，移動至供以設定 M I S · F E T (形成於半導體基板 1 上) 的閘極電極的導電形態之雜質植入過程。

亦即，如圖 1 1 所示，在多晶矽膜 3 4 上形成露出邏輯電路領域之 n 通道型 M I S · F E T 形成領域的光阻劑膜 3 2 c 之後，以此作為光罩，在多晶矽膜 3 4 中離子植入 n 型雜質的磷或砷 (A s) 。

接著，在去除光阻劑膜 3 2 c 之後，如圖 1 2 所示，在形成露出記憶格選擇用 M I S · F E T 形成領域及邏輯電路領域之 p 通道型 M I S · F E T 形成領域的光阻劑膜 3 2 d 之後，以此作為光罩，在多晶矽膜 3 4 中離子植入 p 型雜質的硼或 B F ₂ 。

在進行此硼或 B F ₂ 等之 p 型雜質的離子植入時，是藉由植入能量的控制來使硼等不會到達多晶矽膜 3 4 的較深位置。

這是因為若將硼等導入至多晶矽膜 3 4 的下層部較深位置，則硼會藉由往後的熱製程而穿過閘極絕緣膜 5 i ，然後擴散於半導體基板 1 。

其次，如圖 1 3 所示，在多晶矽膜 3 4 上，由下層依次堆積阻擋金屬膜 3 5 (例如由 T i N 或氮化鎢等所構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

), 金屬膜 3 6 (例如由鎢等所構成) 及絕緣膜 6 (例如由氮化矽所構成) 。

接著, 如圖 1 4 所構成, 以形成於絕緣膜 6 上的閘極電極形成用的光阻劑膜 3 2 e 來作為蝕刻光罩, 而藉由蝕刻處理來使閘極電極 5 g (亦即, 字元線 W L), 閘極電極 8 g, 1 0 g 及罩蓋絕緣膜 6 形成圖案。

閘極電極 5 g 是形成記憶格選擇用 M I S · F E T 的一部份, 在活性領域以外的領域中具有作為字元線 W L 的功能之用。此閘極電極 5 g (字元線 W L) 的寬度, 亦即閘極的長度為: 控制記憶格選擇用 M I S · F E T 的短通道效應, 而使臨界值能夠保持一定值以上之容許範圍的最小尺寸 (例如 $0.24 \mu m$)。又, 鄰接的 2 個閘極電極 5 g (字元線 W L) 的間隔是以微影成像技術的解像界限而定之最小尺寸 (例如 $0.22 \mu m$)。又, 閘極電極 8 g 及閘極電極 1 0 g 是構成邏輯電路之 n 通道型的 M I S · F E T 及 p 通道型的 M I S · F E T 的各一部份

其次, 在半導體基板 1 上形成露出 n 通道型的 M I S · F E T (包含記憶格選擇用 M I S · F E T) 的光阻劑膜之後, 並以此作為光罩, 在半導體基板 1 中離子植入 n 型雜質的 A s 。

接著, 在去除該 n 通道型的 M I S · F E T 用的光阻劑膜之後, 在半導體基板 1 上形成露出 p 通道型的 M I S · F E T 的光阻劑膜, 並以此作為光罩, 在半導體基板 1

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (23)

中離子植入 p 型雜質的硼。並且，在離子植入後進行約 800℃ 的退火處理。在此，這些雜質導入過程是供以形成圖 15 所示之低濃度領域 5 a₁，5 b₁，8 a₁，8 b₁，10 a₁，10 b₁ 之雜質導入過程。

其次，如圖 16 所示，在半導體基板 1 上，藉由 CVD 法等來堆積絕緣膜 7（例如由氮化矽所構成）之後，如圖 17 所示，以形成於絕緣膜 7 上的光阻劑膜 3 2 f 來作為蝕刻光罩，而實施向異性蝕刻處理。藉此，在記憶體領域中殘留絕緣膜 7，在邏輯電路中於閘極電極 8 g，10 g 的側面形成由氮化矽等所構成的側壁 9。

該蝕刻為了使埋入閘極絕緣膜 5 i，8 i，10 i 及元件分離領域 4 中的絕緣膜 4 b₁，4 b₂ 的切削量形成最少，而使用氮化矽膜的蝕刻率（比氧化矽膜的蝕刻率大）形成較大的蝕刻氣體。並且，為了使閘極絕緣膜 8 i，10 i 上的絕緣膜 6（由氮化矽膜等所構成）的切削量形成最少，而必須使過蝕刻量侷限於最小限度。

接著，在半導體基板 1 上形成露出邏輯電路領域之 n 通道型 MIS·FET 的形成領域之光阻劑膜後，以此光阻劑膜，閘極電極 8 g 及側壁 9 作為光罩，藉由離子植入法等來導入 n 型雜質的 As。

接著，在半導體基板 1 上形成露出邏輯電路領域之 p 通道型 MIS·FET 的形成領域之光阻劑膜後，以此光阻劑膜，閘極電極 10 g 及側壁 9 作為光罩，藉由離子植入法等來導入 p 型雜質的硼。

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (24)

然後，對半導體基板 1 實施熱處理（例如在氮氣環境中進行），而於半導體基板 1 的邏輯電路領域中形成高濃度領域 $8a_2$ 、 $8b_2$ 、 $10a_2$ 、 $10b_2$ 。藉此，如圖 18 所示，形成邏輯電路用的 n 通道型 MIS·FET Q_n 及 p 通道型 MIS·FET Q_p 。

其次，如圖 19 所示，在半導體基板 1 上，藉由 SOG 法等來堆積層間絕緣膜 11a（例如由 SiO_2 等所構成）。

接著，在此層間絕緣膜 11a 上，藉由使用 TEOS（Tetraethoxysilane）氣體的電漿 CVD 法來堆積由 SiO_2 所構成的絕緣膜，之後利用 CMP 法等來針對上部進行回蝕刻，而使能夠在層間絕緣膜 11a 上形成層間絕緣膜 11b（如圖 20 所示）。

然後，在此層間絕緣膜 11b 上，藉由使用 TEOS 氣體的電漿 CVD 法來形成由 SiO_2 等所構成的層間絕緣膜 11c。此層間絕緣膜 11c 具有彌補因 CMP 法等層間絕緣膜 11b 的上部所造成的損傷之功能，並且使其上面形成平坦化，亦即使其高度幾乎與記憶體領域與邏輯電路領域的高度形成一致。

接著，如圖 21 所示，在層間絕緣膜 11c 上形成露出柱塞用的連接孔之光阻劑膜 32g。此刻，在本實施形態 1 中，由於層間絕緣膜 11c 的上面形成平坦，因此可以確保充分的微影成像界限，而使能夠形成良好的圖案複寫。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

五、發明說明 (25)

之後，以該光阻劑膜 3 2 g 作為蝕刻光罩，而來進行供以形成柱塞用的連接孔之蝕刻處理。本實施形態的蝕刻處理如以下所述。

首先，如圖 2 1 所示，在絕緣膜 7 及罩蓋絕緣膜 6 等出現時停止蝕刻，在容易去除 SiO_2 膜，但不易去除氮化矽膜的條件下進行蝕刻處理。此刻，蝕刻氣體是例如使用 CF_4 / 氬 (Ar) 等的混合氣體。

接著，將蝕刻條件改變成容易去除氮化矽膜，但不易去除 SiO_2 膜之條件，而來形成露出半導體基板 1 的一部份之柱塞用的連接孔 1 2 a , 1 2 b (如圖 2 2 所示) 。藉此，可形成具有微影成像技術的解像界限以下的微細直徑之連接孔 1 2 a , 1 2 b 。此刻，蝕刻氣體是例如使用 CHF_3 / Ar / CF_4 等的混合氣體。

若不進行以上所述那樣的蝕刻處理，則會因實施供以形成柱塞用的連接孔 1 2 a , 1 2 b 之蝕刻處理，而使得從此柱塞用的連接孔 1 2 a , 1 2 b 露出之元件分離領域 4 的分離用絕緣膜 4 b₁ , 4 b₂ 也會被蝕刻去除。

接著，於去除光阻劑膜 3 2 g 後，在從連接孔 1 2 a , 1 2 b 露出的半導體基板 1 中離子植入 n 型雜質的磷。此為電場緩和用的雜質導入過程。

其次，在半導體基板 1 上，藉由 C V D 法等來堆積例如含有 n 型雜質的低阻抗多結晶矽，然後對該低阻抗多結晶矽進行回蝕刻，而使能夠在柱塞用的連接孔 1 2 a , 1 2 b 內形成柱塞 1 3 a , 1 3 b (如圖 2 3 所示) 。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (26)

接著，如圖 2 4 所示，在半導體基板 1 上，藉由 C V D 法等來堆積層間絕緣膜 1 1 d (例如由 S i O₂ 所構成)，而使能夠覆蓋柱塞 1 3 a，1 3 b。

此外，圖 2 4 中之符號 5 a₂，5 b₂ 為含有磷 (根據上述電場緩和用的雜質導入過程來予以導入) 之高濃度領域，並且藉由該高濃度領域 5 a₂，5 b₂ 與低濃度領域 5 a₁，5 b₁ 來形成記憶格選擇用 M I S · F E T Q 的半導體領域 5 a，5 b。

然後，如圖 2 5 所示，在層間絕緣膜 1 1 d 上形成位元線用的連接孔形成用的光阻劑膜 3 2 h 之後，以此作為光罩，在層間絕緣膜 1 1 d 中形成露出柱塞 1 3 b 的上面之連接孔 1 5。

其次，在去除光阻劑膜 3 2 h 之後，如圖 2 6 所示，在層間絕緣膜 1 1 d 上形成邏輯電路用的連接孔形成用的光阻劑膜 3 2 i，並以此作為蝕刻光罩，在層間絕緣膜 1 1 a ~ 1 1 d 中形成露出半導體基板 1 的上面 (半導體領域 8 a，8 b，1 0 a，1 0 b) 之連接孔 7。

接著，在去除光阻劑膜 3 2 i 之後，如圖 2 7 所示，在半導體基板 1 上，藉由濺鍍法等來由下層依次堆積 T i 膜及 T i N 膜，並於上面利用 C V D 法來層疊鎢膜，而形成導體膜 3 7，更於上面利用 C V D 法來堆積絕緣膜 6 a (例如由氮化矽所構成)。

又，圖 2 7 中的符號 8 c，1 0 c 為藉由導體膜 3 7 的下層之 T i 膜與半導體基板 1 的熱處反應而形成之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (27)

T i S i x 等的矽化物層。

然後，如圖 2 8 所示，在絕緣膜 1 6 a 上形成配線形成用的光阻劑膜 3 2 J 之後，以此作為蝕刻光罩，藉由蝕刻法來使絕緣膜 1 6 a 及導體膜 3 7 形成圖案，而形成位元線 B L 及第 1 層配線 1 4。

其次，在去除光阻劑膜 3 2 j 之後，如圖 2 7 所示，在半導體基板 1 上堆積絕緣膜（例如由氮化矽所構成）之後，對該絕緣膜進行回蝕刻，而使能夠在位元線 B L 及第 1 層配線 1 4 的側面形成側壁（如圖 2 9 所示）。

接著，如圖 3 0 所示，藉由 S O G 法等來堆積層間絕緣膜 1 1 e（例如由 S i O₂ 所構成），而使能夠覆蓋位元線 B L 及第 1 層配線 1 4。

之後，在此層間絕緣膜 1 1 e 上，藉由使用 T E O S 氣體的電漿 C V D 法來堆積由 S i O₂ 等所構成的絕緣膜之後，利用 C M P 法等來對其上部進行回蝕刻，而使能夠在層間絕緣膜 1 1 e 上形成層間絕緣膜 1 1 f（如圖 3 1 所示）。

然後，在此層間絕緣膜 1 1 f 上，藉由使用 T E O S 氣體的電漿 C V D 法來形成由 S i O₂ 等所構成的層間絕緣膜 1 1 g。此層間絕緣膜 1 1 g 具有彌補因 C M P 法等層間絕緣膜 1 1 f 的上部所造成的損傷之功能，並且使層間絕緣膜 1 1 g 的上面形成平坦化，亦即使其高度幾乎與記憶體領域與邏輯電路領域的高度形成一致。

接著，如圖 3 2 所示，在層間絕緣膜 1 1 g 上形成露

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (28)

出柱塞用的連接孔之光阻劑膜 3 2 k。此刻，在本實施形態 1 中，由於層間絕緣膜 1 1 g 的上面形成平坦，因此可以確保充分的微影成像界限，而使能夠形成良好的圖案複寫。

之後，以該光阻劑膜 3 2 k 作為蝕刻光罩，在層間絕緣膜 1 1 d ~ 1 1 g 中形成露出柱塞 1 3 a 的上面之連接孔 1 8 後，去除光阻劑膜 3 2 k。

此刻，在本實施形態中進行蝕刻處理時，是以氮化矽膜的蝕刻率（比氧化矽膜的蝕刻率大）形成較大之條件來進行。藉此，由於在位元線 B L 的表面形成有絕緣膜 1 6（由氮化矽所構成），因此即是在連接孔 1 8 與柱塞 1 3 a 之間產生偏移，而使得連接孔 1 8 的圖案平面地重疊於位元線 B L，也會因為絕緣膜 1 6 形成蝕刻阻擋層，而得以防止位元線 B L 從連接孔 1 8 露出。

其次，在半導體基板 1 上，藉由 C V D 法等來堆積例如由低阻抗多結晶矽所構成的導體膜，然後以能夠使該導體膜只殘留於連接孔 1 8 內之方式來進行回蝕刻，而於連接孔 1 8 內形成柱塞 1 9（如圖 3 3 所示）。

接著，如圖 3 4 所示，在半導體基板 1 上，藉由 C V D 法等來堆積例如氮化矽所構成的絕緣膜 1 1 h，然後在上面形成覆蓋記憶體領域的光阻劑膜 3 2 m，並以此作為蝕刻光罩，藉由蝕刻法來使絕緣膜 1 1 h 形成圖案。

然後，在去除光阻劑膜 3 2 m 之後，如圖 3 5 所示，在半導體基板 1 上，藉由使用 T E O S 氣體的電漿 C V D

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (29)

法來形成由 SiO_2 等所構成的層間絕緣膜 11i。

其次，在層間絕緣膜 11i 上形成電容器形成用的光阻劑膜 32n 之後，以以此作為蝕刻光罩來去除從光阻劑膜 32n 露出的層間絕緣膜 11i，11h，而形成露出柱塞 19 的上面之開口部 20。

接著，如圖 36 所示，在半導體基板 1 上，藉由 CVD 法等來堆積例如由低阻抗多結晶矽所構成的導體膜 38。藉此使能夠在層間絕緣膜 11i 的上面及開口部 20 的內面形成導體膜 38。

然後，如圖 37 所示，在半導體基板 1 上，藉由 SOG 法等來堆積例如由 SiO_2 等所構成的絕緣膜 39。在此是以該絕緣膜 39 的上面幾乎形成平坦為止來堆積絕緣膜 39。

其次，在使層間絕緣膜 11i 上的導體膜 38 露出為止來蝕刻去除該絕緣膜 39，然後對露出的導體膜 38 進行回蝕刻，而使能夠在開口部 20 內形成由低阻抗矽等所構成的儲存電極 21a 及虛擬儲存電極 21a₁。

接著，如圖 39 所示，在半導體基板 1 上形成覆蓋虛擬儲存電極 21a₁ 及邏輯電路領域的光阻劑膜 32p 之後，以此作為蝕刻光罩，藉由溼蝕刻法來去除層間絕緣膜 11i，而使儲存電極 21a 的表面露出。此刻，層間絕緣膜 11h 具有作為溼蝕刻處理時的蝕刻阻擋層之功能，同時還具有作為固定儲存電極 21a 的構件之功能。

此外，將光阻劑膜 32p 的端部配置於記憶體領域與

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

五、發明說明 (30)

邏輯電路領域的境界部，亦即配置於虛擬儲存電極 2 1 a₁。如此一來，即使在光阻劑膜 3 2 p 的端部產生對位偏移，也不會使絕緣膜殘留於儲存電極 2 1 a（形成於記憶體領域的最外側）的內部，或者是邏輯電路領域的層間絕緣膜 1 1 i 不會被蝕刻。

然後，在去除光阻劑膜 3 2 p 之後，如圖 4 0 所示，使儲存電極 2 1 a 的表面氮化，並且在其表面覆蓋電容絕緣膜 2 1 b（例如由氧化鉬（ Ta_2O_5 ）所構成）。

其次，如圖 4 1 所示，在半導體基板 1 上堆積導體膜（例如由 TiN 所構成）之後，以形成於上面的屏極形成的光阻劑膜 3 2 q 作為蝕刻光罩來使該導體膜形成圖案，而藉此來形成屏極 2 1 c。進而來形成資訊儲存用的電容器 C。

接著，在去除光阻劑膜 3 2 q 之後，如圖 4 2 所示，在半導體基板 1 上，藉由使用 $TEOS$ 氣體的電漿 CVD 法等來形成由 SiO_2 等所構成的層間絕緣膜 1 1 j。藉此來覆蓋屏極 2 1 c。

然後，在層間絕緣膜 1 1 j 上形成邏輯電路用之連接孔形成的光阻劑膜 3 2 r 之後，以此作為蝕刻光罩，形成露出第 1 層配線 1 4 b 的一部份之連接孔 2 3。

其次，在去除光阻劑膜 3 2 r 之後，在半導體基板 1 上，藉由濺鍍法等來由下層依次堆積 TiN 及鎢，並予以實施回蝕刻，而使能夠在連接孔 2 3 內埋入導體膜 2 4（如圖 4 3 所示）。

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明 (31)

接著，在半導體基板 1 上，藉由濺鍍法等來由下層依次堆積 TiN ， Al 及 Ti ，然後利用微影成像技術及乾蝕刻技術來予以形成圖案，而使能夠在層間絕緣膜 11j 上形成第 2 層配線 22 (如圖 44 所示)。

然後，經由與第 2 層配線 22 的形成過程相同的配線形成過程，如圖 1 所示，在半導體基板 1 上形成第 3 層配線 25 而來製成 DRAM。

其次，圖 45 是表示記憶格選擇用 MIS·FET 的儲存節點的半導體領域與元件分離領域的界面的深度方向的雜質濃度分布。其中圖 (a) 為 n^+ 閘極的記憶格選擇用 MIS·FET 的雜質濃度分布，圖 (b) 為 p^+ 閘極的記憶格選擇用 MIS·FET 的雜質濃度分布。

就習知之 n^+ 閘極的記憶格選擇用 MIS·FET 而言，由於必須在通道領域中導入雜質，因此儲存節點的半導體領域與半導體基板的接合部之雜質濃度會變高 (約 10^{18} cm^{-3})。相對的，就本實施形態之 p^+ 閘極的記憶格選擇用 MIS·FET 而言，由於不必在通道領域中導入雜質，因此在接合部的雜質濃度會變低 (約 $5 \times 10^{16} \text{ cm}^{-3}$)，而使得接合部的電場強度能夠變小。

若利用本實施形態，則可取得以下之效果。

(1) 由於是使構成記憶格選擇用 MIS·FET 的閘極電極 5g 之低阻抗多晶矽的導電形態成為 p^+ 型，因此即使不提高半導體基板 1 的雜質濃度 (亦即， p 阱

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明 (32)

3 p w_m 的雜質濃度：基板濃度)，也能夠提高記憶格選擇用 M I S · F E T Q 的臨界值電壓。

(2) 由於在元件分離領域 4 下的半導體基板 1 中不需要形成反轉防止用的 p 型雜質領域，因此可以緩和連接記憶格選擇用 M I S · F E T Q 的電容器 C 之半導體領域 5 a 與元件分離領域 4 的界面的接合電場。

(3) 由於根據上述 (1) 可以減低基板濃度，因此而能夠緩和連接電容器 C 之半導體領域 5 a 的接合近旁的電場。藉此，將能夠減低儲存節點與半導體基板 1 之間的漏電流。

(4) 由於根據上述 (1) 可以減低基板濃度，因此而能夠減低記憶格選擇用 M I S F E T Q 的次臨界值電流。藉此，即使臨界值相同，依然可以減低 M I S · F E T 的漏電流。

(5) 根據上述 (2) ， (3) 及 (4) 可以提高記憶格的更新特性。

(6) 使邏輯電路用的 n 通道型 M I S · F E T Q_n 及 p 通道型 M I S · F E T Q_p 的閘極絕緣膜 8 i ，

1 0 i 的厚度要比記憶格選擇用 M I S · F E T Q 的閘極絕緣膜 5 i 的厚度來的薄，藉此而能夠提高邏輯電路用的 n 通道型 M I S · F E T Q_n 及 p 通道型 M I S · F E T Q_p 的驅動能力。

(7) 根據上述 (1) 可以不需要將雜質離子植入 p 阱 3 p w_m 的通道領域中之過程。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (33)

(8) 在閘極電極形成用的多晶矽膜 3 4 中，由於在記憶格選擇用 M I S · F E T Q 的閘極電極形成領域中導入 p 型雜質時，是以相同的光阻劑膜作為光罩，而於邏輯電路用的 p 通道型 M I S · F E T Q p 的閘極電極形成領域中也導入 p 型雜質，因此與分別進行雜質導入過程時相較下，可以減少光阻劑圖案的形成過程。

(9) 由於根據上述 (7) 及 (8) 可以謀求 D R A M 的製造過程的簡略化，因此而能夠縮短該半導體積體電路的開發、製造時間，並且還可以降低具有 D R A M 之半導體積體電路裝置的成本。

以上是根據實施形態來具體說明本發明，但本發明並非只限定於上述實施形態，只要不脫離本發明的主旨範圍，亦可進行種種的變更。

例如，在上述實施形態中，雖是針對在多結晶矽膜上層疊金屬膜而來形成記憶格選擇用 M I S · F E T Q 的閘極電極之構造加以說明，但並非只限定於此，亦可在多晶矽的單體膜或多晶矽膜上層疊錫矽化物等之類的矽化物膜而形成者。

又，在上述實施形態中，雖是在位元線的上層設置資訊儲存用電容元件，但並非只限定於此，亦可在位元線的下層設置資訊儲存用電容元件。

又，在上述實施形態中，雖是使資訊儲存用電容元件形成冠狀，但並非只限定於此，亦可形成鱗狀。

以上所述主要是將本發明適用於 D R A M 技術等，但

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (34)

並非只限定於此，例如亦可適用於具有：由觸發電路（該觸發電路是由 p 通道型的負荷用 M I S 電晶體及 n 通道型的驅動用 M I S 電晶體所構成）與 n 通道型的轉送用 M I S 電晶體所構成的記憶格之 S R A M 技術，或適用於具有：由觸發電路（該觸發電路是由負荷阻抗元件及 n 通道型的驅動用 M I S 電晶體所構成）與 n 通道型的轉送用 M I S 電晶體所構成的記憶格之 S R A M 技術。

以下，簡單說明根據本案所揭示之代表性的發明所能取得的效果。

(1) 若利用本發明之半導體積體電路裝置，則由於是使構成記憶體電路的記憶格選擇用 M I S · F E T Q 的閘極多晶矽電極（連接於閘極絕緣膜的多結晶矽）的導電形態與記憶格的 M I S 電晶體的源極·汲極用的半導體領域的導電形態呈相反，因此即使不提高半導體基板的雜質濃度，也能夠提高記憶格的 M I S 電晶體的臨界值電壓。

(2) 若利用本發明之半導體積體電路裝置，則由於規定形成有記憶格（構成記憶電路）的 M I S 電晶體的半導體基板的活性領域之元件分離領域是在分離溝內（形成於半導體基板中）埋入絕緣膜而形成，因此在元件分離領域下的半導體基板中不必形成與反轉防止用的半導體基板相同的導電形態之雜質領域，而使得能夠緩和記憶格的儲存節點的半導體領域與元件分離領域的界面近旁的接合電場。

(3) 由於根據上述 (1) 可以減低記憶體電路領域

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

五、發明說明 (35)

的半導體基板的雜質濃度，因此而能夠在記憶格的M I S電晶體中緩和儲存節點的半導體領域的接合近旁的電場。藉此，將能夠減低儲存節點與半導體基板之間的漏電流。

(4) 由於根據上述 (1) 可以減低記憶體電路領域的半導體基板的雜質濃度，因此而能夠減低記憶格的M I S電晶體的次臨界值電流。藉此，即使臨界值相同，依然可以減低記憶格的M I S電晶體的漏電流。

(5) 根據上述 (2) ， (3) 及 (4) 可以提高記憶格的更新特性。

(6) 使構成邏輯電路的M I S電晶體的閘極絕緣膜的厚度要比構成記憶體電路的記憶格的M I S電晶體的閘極絕緣膜的厚度來的薄，藉此而能夠提高邏輯電路用的M I S電晶體的驅動能力。

(7) 根據上述 (1) 可以不需要將雜質離子植入記憶格 (構成記憶體電路) 的M I S電晶體的通道領域中之過程。

(8) 本發明之半導體積體電路裝置的製造方法，是屬於一種具有在同一半導體基板上設置記憶體電路與邏輯電路的邏輯混載型記憶體之半導體積體電路裝置的製造方法，其特徵是具有：在堆積於半導體基板上的閘極電極形成用的多結晶矽膜中，在構成記憶體電路之記憶格的M I S電晶體的閘極電極形成領域中，導入與上述記憶格的M I S電晶體的源極·汲極用的半導體領域的導電形態呈相反導電型的雜質之過程，並且對上述多結晶矽膜的閘

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (36)

極電極形成領域進行雜質的導入過程時，同時也對上述多結晶矽膜中上述記憶格的M I S電晶體以外的其他M I S電晶體的閘極電極形成領域導入雜質，因此與分別進行雜質導入過程時相較下，可以減少光阻劑圖案的形成過程。

(9) 由於根據上述 (7) 及 (8) 可以達成具有邏輯混載型記憶體之半導體積體電路裝置的製造過程的簡略化，因此而能夠縮短該半導體積體電路的開發・製造時間，並且還可以降低具有邏輯混載型記憶體之半導體積體電路裝置的成本。

【圖面之簡單的說明】

第 1 圖是表示本發明之一實施形態的半導體積體電路裝置的要部剖面圖。

第 2 ~ 4 圖係表示第 1 圖之半導體積體電路裝置的製造過程中的要部剖面圖。

第 4 5 圖是表示 n 通道型的記憶格選擇用 M I S 電晶體的儲存節點的半導體領域與元件分離領域的界面的深度方向的雜質濃度分布，其中圖 (a) 為 n⁺ 閘極的記憶格選擇用 M I S 電晶體的雜質濃度分布，圖 (b) 為 p⁺ 閘極的記憶格選擇用 M I S 電晶體的雜質濃度分布。

【圖號之說明】

- 1 : 半導體基板
- 4 : 元件分離領域

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (37)

- 4 a : 分離溝
- 4 b 1 , 4 b 2 : 絕緣膜
- C : 電容器
- 5 a , 5 b : 半導體領域
- 5 i : 閘極絕緣膜
- 5 g : 閘極電極
- W L : 字元線
- 6 : 罩蓋絕緣膜
- 7 : 絕緣膜
- 8 a , 8 b : 半導體領域
- 8 i : 閘極絕緣膜
- 8 g : 閘極電極
- 8 a ₁ , 8 b ₁ : 低濃度領域
- 8 a ₂ , 8 b ₂ : 高濃度領域
- 8 c : 矽化物層
- 9 : 側壁
- 10 a , 10 b : 半導體領域
- 10 i : 閘極絕緣膜
- 10 g : 閘極電極
- 10 a ₁ , 10 b ₁ : 低濃度領域
- 10 a ₂ , 10 b ₂ : 高濃度領域
- 10 c : 矽化物層
- 11 a ~ 11 n : 層間絕緣膜
- 12 a , 12 b : 連接孔

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

五、發明說明 (38)

- 1 3 a , 1 3 b : 柱塞
- B L : 位元線
- 1 4 a , 1 4 b , 1 4 c : 第 1 層配線
- 1 5 : 連接孔
- 1 6 : 絕緣膜
- 1 7 : 連接孔
- 1 8 : 連接孔
- 1 9 : 柱塞
- 2 0 : 開口部
- 2 1 a : 儲存電極
- 2 1 a 1 : 虛擬儲存電極
- 2 1 b : 電容絕緣膜
- 2 1 c : 屏極
- 2 2 a , 2 2 b : 第 2 層配線
- 2 3 : 連接孔
- 2 4 : 導體膜
- 2 5 a , 2 5 b , 2 5 c : 第 3 層配線
- 2 6 : 連接孔
- 2 7 : 導體膜
- 2 8 : 連接孔
- 2 9 : 導體膜
- 3 0 : 墊膜
- 3 1 : 耐氧化性膜
- 3 2 a ~ 3 2 q : 光阻劑膜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (39)

- 3 3 : 絕緣膜
- 3 2 b : 光阻劑膜
- 3 3 a : 絕緣膜
- 3 4 : 多晶矽膜
- 3 5 : 阻擋金屬膜
- 3 6 : 金屬膜
- 3 7 , 3 8 : 導體膜
- 3 9 : 絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱:)

半導體積體電路裝置及其製造方法

本發明是關於半導體積體電路裝置及其製造方法，為具有由MISFT與電容元件所構成之半導體積體電路裝置，為了能夠提升記憶格的更新特性，而使構成記憶格之n通道型的記憶格選擇用MIS·FETQ的閘極電極5g之低阻抗多晶矽膜的導電型形成p⁺型。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱:)

訂

線

經濟部智慧財產局員工消費合作社印製

A621 2.6
補充

第 88119931 號專利申請案
中文申請專利範圍修正本

民國 89 年 4 月呈

六、申請專利範圍

1. 一種半導體積體電路裝置，是屬於一種在半導體基板上具有直列連接 M I S 電晶體與電容元件的記憶格之半導體積體電路裝置，其特徵是具有：

(a) 在其表面上具備活性領域與元件分離領域之半導體基板；及

(b) 形成於上述活性領域，且具備閘極電極與源極·汲極用的半導體領域之 M I S 電晶體；

上述源極·汲極用的半導體領域的導電形態與上述閘極電極的導電形態呈相反，上述元件分離領域是在形成於上述半導體基板的表面之分離溝內埋入絕緣膜而形成。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述分離溝內的絕緣膜為利用化學氣相成長法而形成之氧化膜。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述 M I S 電晶體具有連接於閘極絕緣膜而設有多結晶矽之閘極電極。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，其中在上述記憶格的周圍形成有邏輯電路，並且使構成上述邏輯電路的 M I S 電晶體的閘極電極的導電形態與該 M I S 電晶體的源極·汲極用的半導體領域的導電形態形成同一導電形態。

5. 如申請專利範圍第 1 項之半導體積體電路裝置，其中在上述記憶格的周圍形成有邏輯電路，並且上述記憶格的 M I S 電晶體的閘極絕緣膜的厚度相對的要比構成上

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

述邏輯電路的M I S電晶體的閘極絕緣膜的厚度來得厚。

6 . 如申請專利範圍第1項之半導體積體電路裝置，其中在上述M I S電晶體的通道領域中未導入臨界值電壓調整用的雜質離子。

7 . 如申請專利範圍第1項之半導體積體電路裝置，其中上述記憶格為D R A M單元，該D R A M單元是以記憶格選擇用M I S電晶體與直列連接於彼之資訊儲存用電容元件所構成。

8 . 如申請專利範圍第1項之半導體積體電路裝置，其中上述記憶格為S R A M單元，該S R A M單元是由觸發電路與n通道型的轉送用M I S電晶體所構成，該觸發電路是由p通道型的負荷用M I S電晶體及n通道型的驅動用M I S電晶體所構成。

9 . 如申請專利範圍第1項之半導體積體電路裝置，其中上述記憶格為S R A M單元，該S R A M單元是由觸發電路與n通道型的轉送用M I S電晶體所構成，該觸發電路是由負荷阻抗元件及n通道型的驅動用M I S電晶體所構成。

10 . 如申請專利範圍第7項之半導體積體電路裝置，其中上述記憶格選擇用M I S電晶體的源極、汲極用的半導體領域的導電形態為n型，上述記憶格選擇用M I S電晶體的閘極電極的導電形態為p型。

11 . 如申請專利範圍第7項之半導體積體電路裝置，其中在上述記憶格的周圍形成有邏輯電路，上述記憶格

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

選擇用 M I S 電晶體的源極・汲極用的半導體領域的導電形態爲 n 型，上述記憶格選擇用 M I S 電晶體的閘極電極的導電形態爲 p 型，構成上述邏輯電路的 p 通道型的 M I S 電晶體的閘極電極的導電形態爲 p 型，構成上述邏輯電路的 n 通道型的 M I S 電晶體的閘極電極的導電形態爲 n 型。

1 2 . 如申請專利範圍第 8 項之半導體積體電路裝置，其中上述 p 通道型的負荷用 M I S 電晶體的閘極電極的導電形態爲 n 型，上述 n 通道型的驅動用 M I S 電晶體及上述 n 通道型的轉送用 M I S 電晶體的閘極電極的導電形態爲 p 型。

1 3 . 如申請專利範圍第 9 項之半導體積體電路裝置，其中上述 n 通道型的驅動用 M I S 電晶體及上述 n 通道型的轉送用 M I S 電晶體的閘極電極的導電形態爲 p 型。

1 4 . 一種半導體積體電路裝置的製造方法，是屬於一種在半導體基板上形成直列連接 M I S 電晶體與電容元件的記憶格之半導體積體電路裝置的製造方法，其特徵是具有：

(a) 在上述半導體基板的主面上形成分離溝之後，形成將絕緣膜埋入上述分離溝的分離領域之過程；及

(b) 在上述半導體基板上形成閘極絕緣膜之過程；及

(c) 在上述閘極絕緣膜上堆積多結晶矽膜之過程；及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

(d) 在上述多結晶矽膜中，在上述 M I S 電晶體的閘極電極形成領域中，導入與上述 M I S 電晶體的源極·汲極用的半導體領域的導電形態呈相反導電型的雜質之過程。

15. 如申請專利範圍第 14 項之半導體積體電路裝置的製造方法，其中對上述多結晶矽膜的閘極電極形成領域進行雜質的導入過程時，同時也對上述多結晶矽膜中上述記憶格的 M I S 電晶體以外的其他 M I S 電晶體的閘極電極形成領域導入雜質。

16. 一種半導體積體電路裝置的製造方法，是屬於一種在半導體基板上形成直列連接 M I S 電晶體與電容元件的記憶格，及在上述記憶格的周圍形成邏輯電路之半導體積體電路裝置的製造方法，其特徵是具有：

(a) 在上述半導體基板的主面上形成分離溝之後，形成將絕緣膜埋入上述分離溝的分離領域之過程；及

(b) 在上述半導體基板上形成閘極絕緣膜之過程；及

(c) 在上述閘極絕緣膜上堆積多結晶矽膜之過程；及

(d) 在上述多結晶矽膜中，在上述記憶格的 n 通道型的 M I S 電晶體的閘極電極形成領域及構成上述邏輯電路的 p 通道型的 M I S 電晶體的閘極電極形成領域中導入 p 型的雜質之過程。

17. 如申請專利範圍第 16 項之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

置的製造方法，其中使上述記憶格的M I S電晶體的閘極絕緣膜的厚度相對的要比構成上述邏輯電路的M I S電晶體的閘極絕緣膜的厚度來得厚。

18. 一種半導體積體電路裝置，是屬於一種具有包含第1 M I S F E T與電容元件的記憶格及第2 M I S F E T，以及由：

(a) 半導體基板；該半導體基板是在其表面上具有第1導電型的第1半導體領域，及與上述第1半導體領域不同的領域中具有第1導電型的第2半導體領域；及

(b) 第2導電型的第3半導體領域；該第2導電型的第3半導體領域是形成於上述第1半導體領域內，供以作為上述第1 M I S F E T的源極或汲極之機能用；及

(c) 第1導體層；該第1導體層是在上述半導體基板上位於上述第3半導體領域之間，供以作為上述第1 M I S F E T的閘極之機能用；及

(d) 第2導電型的第4半導體領域；該第2導電型的第4半導體領域是形成於上述第2半導體領域內，供以作為上述第2 M I S F E T的源極或汲極之機能用；及

(e) 第2導體層；該第2導體層是在上述半導體基板上位於上述第4半導體領域之間，供以作為上述第2 M I S F E T的閘極之機能用；等所構成之半導體積體電路裝置；

上述第1導體層是由第1導電型的第1多晶矽層與第1金屬層之疊層構造所構成，上述第2導體層是由第2導

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

電型的第 2 多晶矽層與第 2 金屬層之疊層構造所構成。

19. 如申請專利範圍第 18 項之半導體積體電路裝置，其中上述第 1 及第 2 金屬膜是由鎢層所構成。

20. 如申請專利範圍第 19 項之半導體積體電路裝置，其中在上述第 1 多晶矽膜與第 1 金屬膜之間，及上述第 2 多晶矽膜與第 2 金屬膜之間介在第 3 金屬膜。

21. 如申請專利範圍第 20 項之半導體積體電路裝置，其中上述第 3 金屬膜是由氮化鎢膜所構成。

22. 如申請專利範圍第 18 項之半導體積體電路裝置，其中在上述第 4 半導體領域的表面更具有金屬矽化物層。

23. 一種半導體積體電路裝置，是屬於一種具有包含第 1 MISFET 與電容元件的記憶格及第 2 MISFET，以及由：

(a) 半導體基板；該半導體基板是在其表面上具有第 1 導電型的第 1 半導體領域，及與上述第 1 半導體領域不同的領域中具有第 1 導電型的第 2 半導體領域；及

(b) 第 2 導電型的第 3 半導體領域；該第 2 導電型的第 3 半導體領域是形成於上述第 1 半導體領域內，供以作為上述第 1 MISFET 的源極或汲極之機能用；及

(c) 第 1 導體層；該第 1 導體層是位於上述第 3 半導體領域之間，且經由第 1 閘極絕緣膜而形成於上述半導體基板上，供以作為上述第 1 MISFET 的閘極之機能用；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(d) 第 2 導電型的第 4 半導體領域；該第 2 導電型的第 4 半導體領域是形成於上述第 2 半導體領域內，供以作為上述第 2 MISFET 的源極或汲極之機能用；及

(e) 第 2 導體層；該第 2 導體層是位於上述第 4 半導體領域之間，且經由第 2 閘極絕緣膜而形成於上述半導體基板上，供以作為上述第 2 MISFET 的閘極之機能用；等所構成之半導體積體電路裝置；

上述第 1 導體層具有第 1 導電型的第 1 多晶矽層，上述第 2 導體層具有第 2 導電型的第 2 多晶矽層；

上述第 1 閘極絕緣膜的膜厚要比上述第 2 閘極絕緣膜的膜厚來得大。

24. 如申請專利範圍第 23 項之半導體積體電路裝置，其中上述第 1 導體層是由第 1 導電型的第 1 多晶矽層與第 1 金屬層之疊層構造所構成，上述第 2 導體層是由第 2 導電型的第 2 多晶矽層與第 2 金屬層之疊層構造所構成。

25. 如申請專利範圍第 24 項之半導體積體電路裝置，其中上述第 1 及第 2 金屬膜是由鎢層所構成。

26. 如申請專利範圍第 25 項之半導體積體電路裝置，其中在上述第 1 多晶矽膜與第 1 金屬膜之間，及上述第 2 多晶矽膜與第 2 金屬膜之間介在第 3 金屬膜。

27. 如申請專利範圍第 26 項之半導體積體電路裝置，其中上述第 3 金屬膜是由氮化鎢膜所構成。

28. 如申請專利範圍第 23 項之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

置，其中在上述第 4 半導體領域的表面更具有金屬矽化物層。

29. 一種半導體積體電路裝置，是屬於一種具有包含第 1 MISFET 與電容元件的記憶格，及第 2 MISFET，及第 3 MISFET，以及由：

(a) 半導體基板；該半導體基板是在其表面上具有第 1 導電型的第 1 半導體領域，及與上述第 1 半導體領域不同的領域中具有第 1 導電型的第 2 半導體領域，及第 2 導電型的第 3 半導體領域；及

(b) 第 2 導電型的第 4 半導體領域；該第 2 導電型的第 4 半導體領域是形成於上述第 1 半導體領域內，供以作為上述第 1 MISFET 的源極或汲極之機能用；及

(c) 第 1 導體層；該第 1 導體層是在上述半導體基板上位於上述第 4 半導體領域之間，供以作為上述第 1 MISFET 的閘極之機能用；及

(d) 第 2 導電型的第 5 半導體領域；該第 2 導電型的第 5 半導體領域是形成於上述第 2 半導體領域內，供以作為上述第 2 MISFET 的源極或汲極之機能用；及

(e) 第 2 導體層；該第 2 導體層是在上述半導體基板上位於上述第 5 半導體領域之間，供以作為上述第 2 MISFET 的閘極之機能用；等所構成之半導體積體電路裝置；

(f) 第 1 導電型的第 6 半導體領域；該第 1 導電型的第 6 半導體領域是形成於上述第 3 半導體領域內，供以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

作為上述第3 MISFET的源極或汲極之機能用；及

(g) 第3導體層；該第3導體層是在上述半導體基板上位於上述第6半導體領域之間，供以作為上述第3 MISFET的閘極之機能用；等所構成之半導體積體電路裝置；

上述第1導體層是由第1導電型的第1多晶矽層與第1金屬層之疊層構造所構成，上述第2導體層是由第2導電型的第2多晶矽層與第2金屬層之疊層構造所構成，上述第3導體層是由第1導電型的第3多晶矽層與第3金屬層之疊層構造所構成。

30. 一種半導體積體電路裝置，是屬於一種具有包含第1 MISFET與電容元件的記憶格，及第2 MISFET，及第3 MISFET，以及由：

(a) 半導體基板；該半導體基板是在其表面上具有第1導電型的第1半導體領域，及與上述第1半導體領域不同的領域中具有第1導電型的第2半導體領域，及第2導電型的第3半導體領域；及

(b) 第2導電型的第4半導體領域；該第2導電型的第4半導體領域是形成於上述第1半導體領域內，供以作為上述第1 MISFET的源極或汲極之機能用；及

(c) 第1導體層；該第1導體層是位於上述第4半導體領域之間，且經由第1閘極絕緣膜而形成於上述半導體基板上，供以作為上述第1 MISFET的閘極之機能用；及

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

(d) 第 2 導電型的第 5 半導體領域；該第 2 導電型的第 5 半導體領域是形成於上述第 2 半導體領域內，供以作為上述第 2 MISFET 的源極或汲極之機能用；及

(e) 第 2 導體層；該第 2 導體層是位於上述第 5 半導體領域之間，且經由第 2 閘極絕緣膜而形成於上述半導體基板上，供以作為上述第 2 MISFET 的閘極之機能用；等所構成之半導體積體電路裝置；及

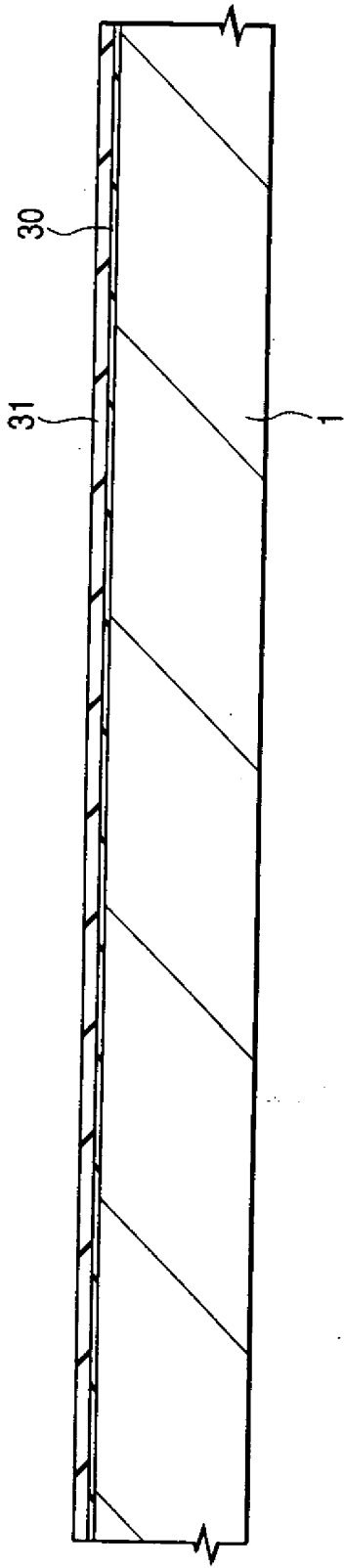
(f) 第 1 導電型的第 6 半導體領域；該第 1 導電型的第 6 半導體領域是形成於上述第 3 半導體領域內，供以作為上述第 3 MISFET 的源極或汲極之機能用；及

(g) 第 3 導體層；該第 3 導體層是位於上述第 6 半導體領域之間，且經由第 3 閘極絕緣膜而形成於上述半導體基板上，供以作為上述第 3 MISFET 的閘極之機能用；等所構成之半導體積體電路裝置；及

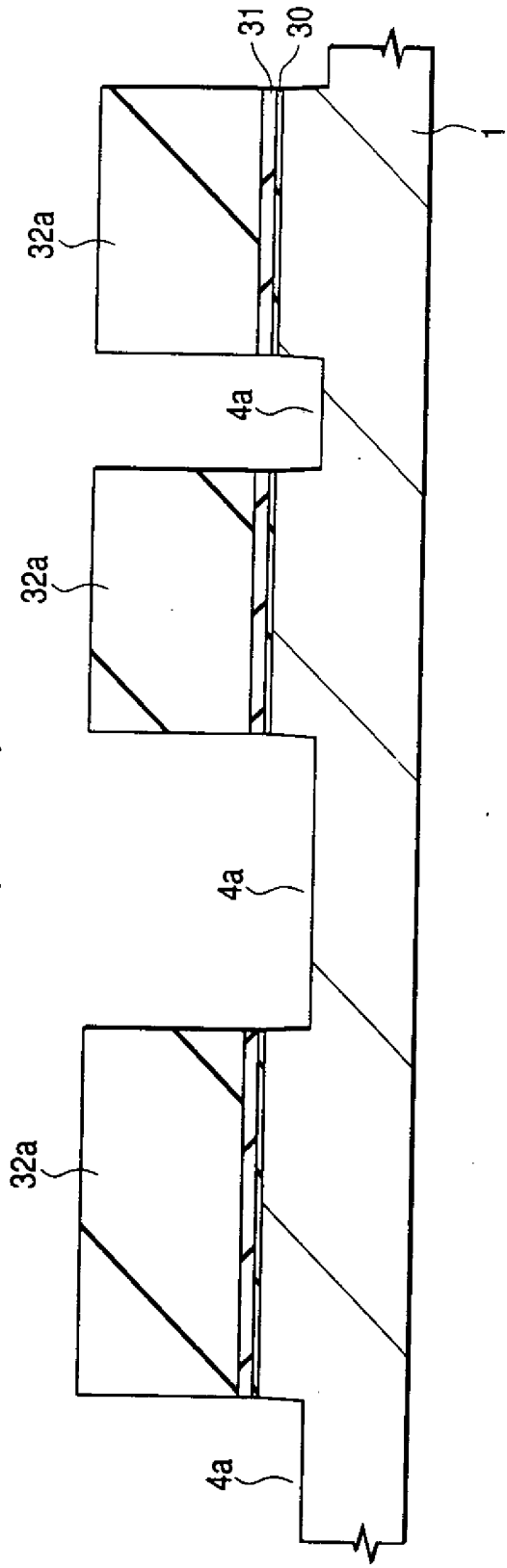
上述第 1 導體層具有第 1 導電型的第 1 多晶矽層，上述第 2 導體層具有第 2 導電型的第 2 多晶矽層，上述第 3 導體層具有第 1 導電型的第 3 多晶矽層；

上述第 1 閘極絕緣膜的膜厚要比上述第 2 閘極絕緣膜及上述第 3 閘極絕緣膜的膜厚來得大。

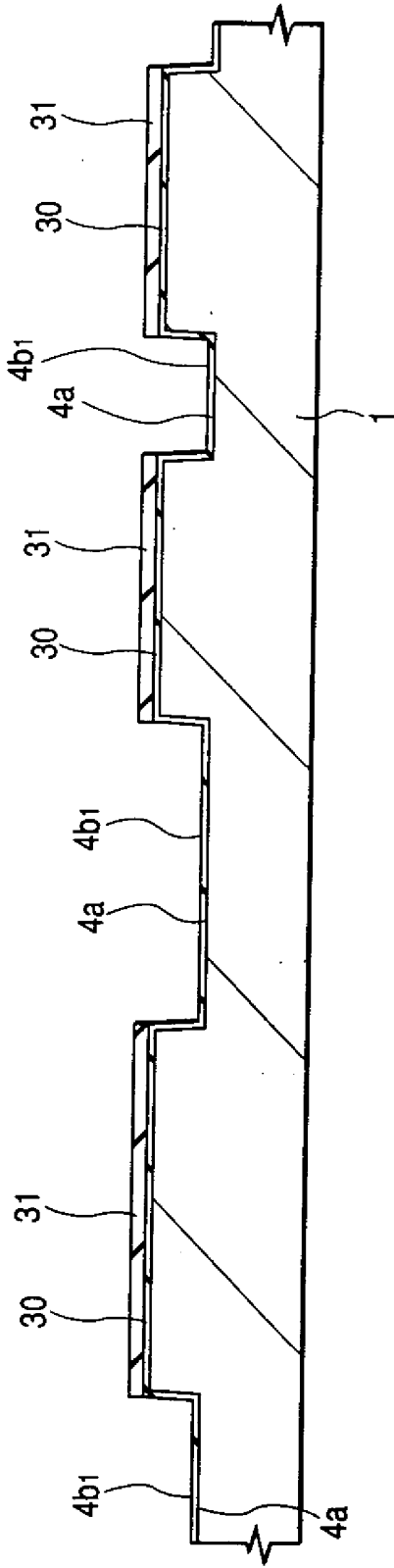
第 2 圖



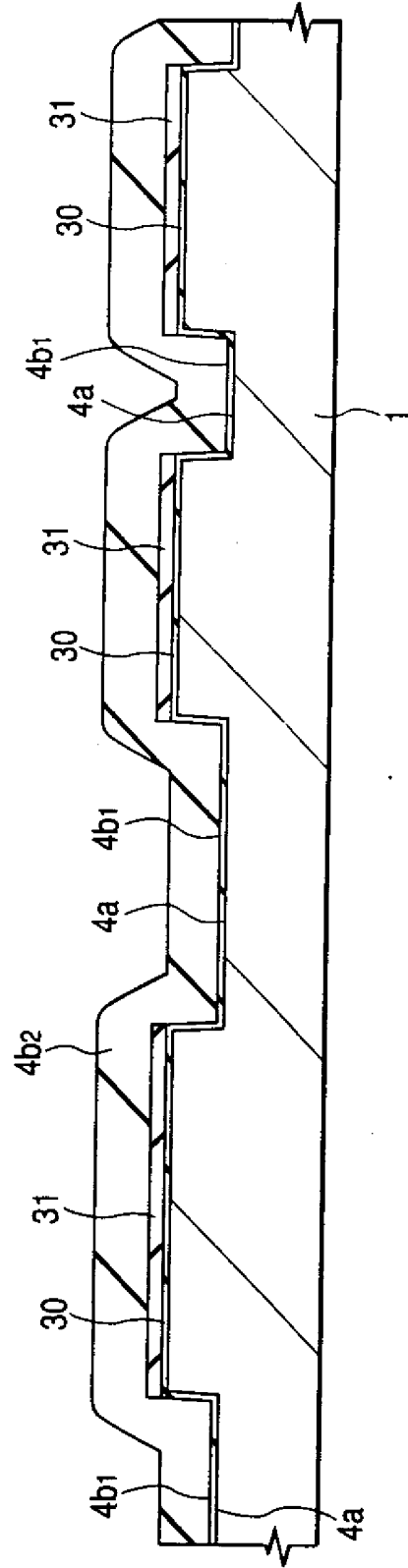
第 3 圖



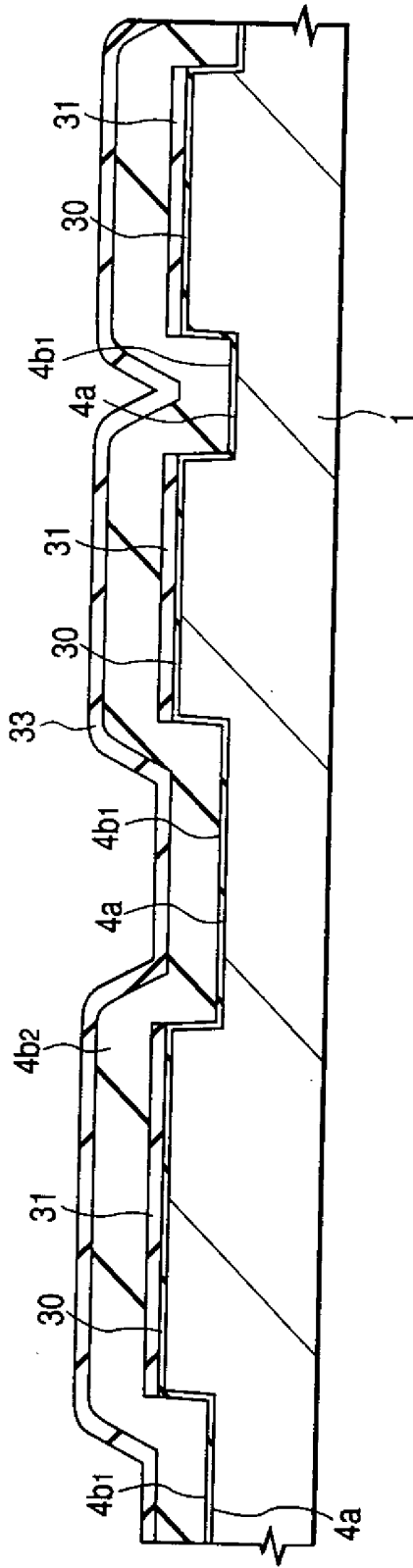
第 4 圖



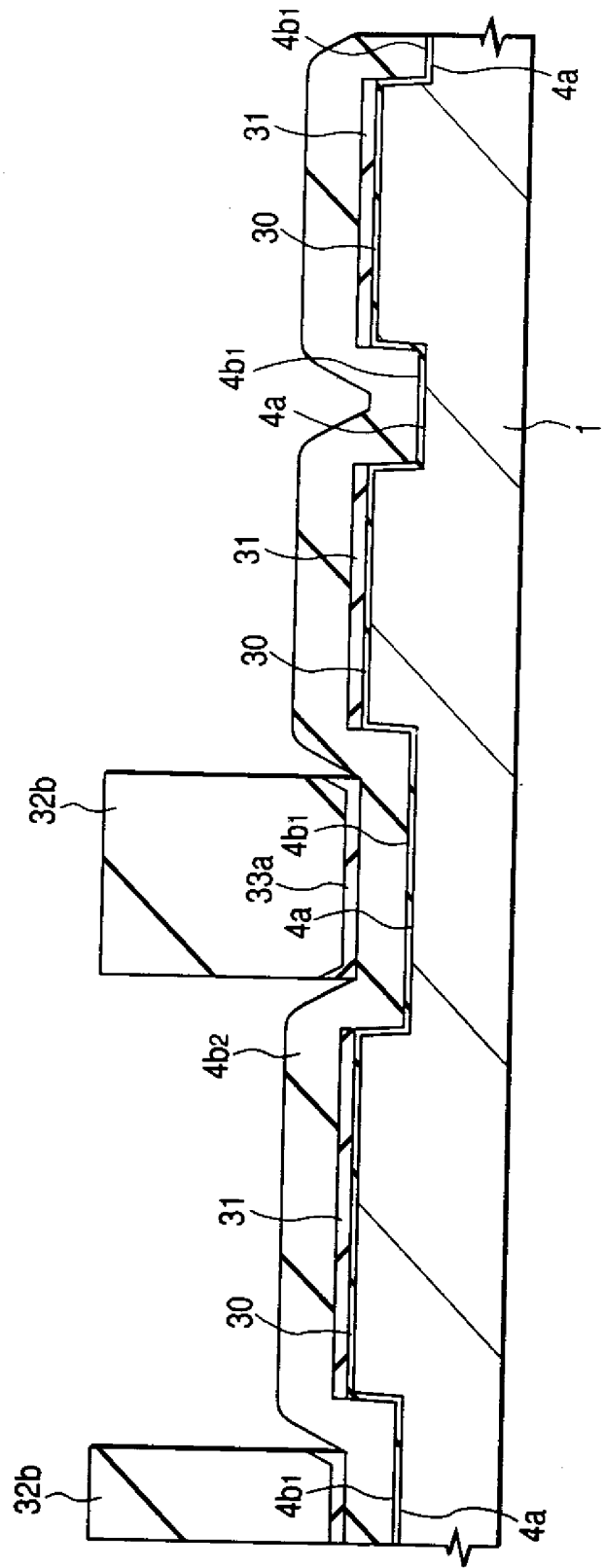
第 5 圖



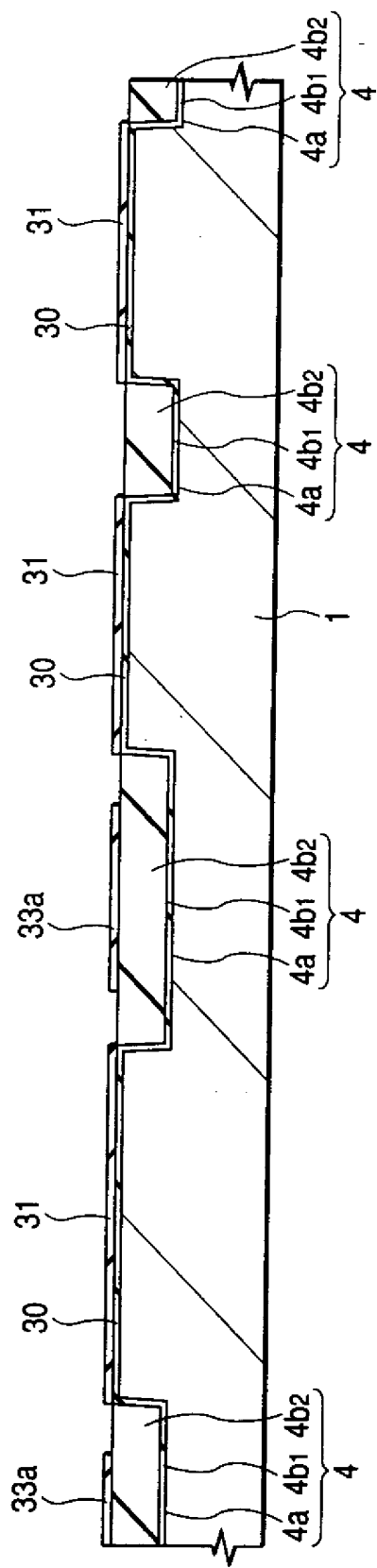
第 6 圖



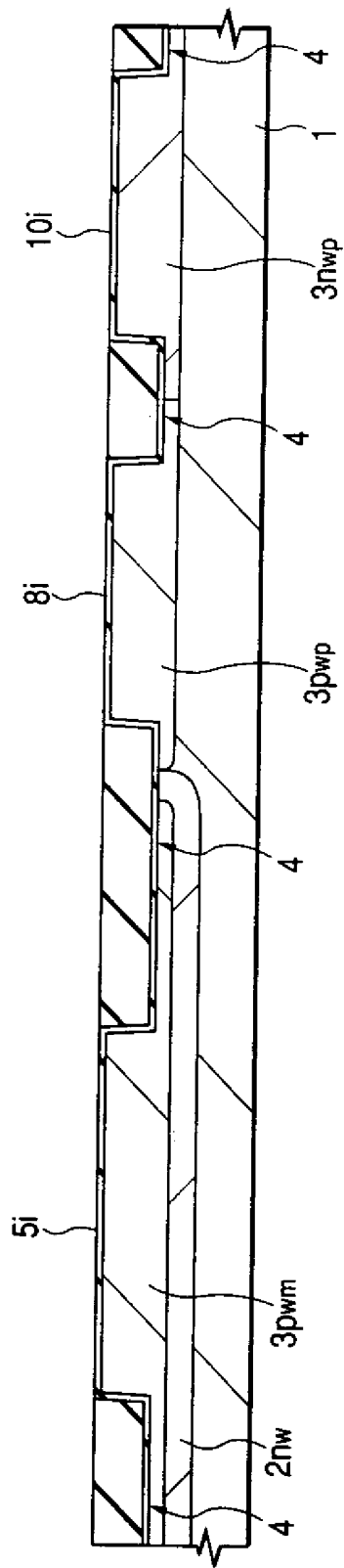
第 7 圖



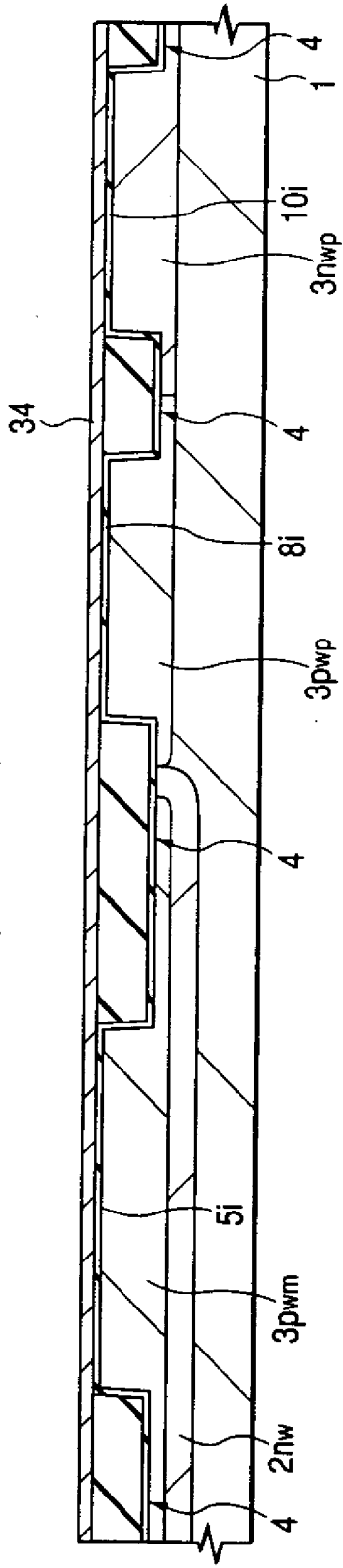
第 8 圖



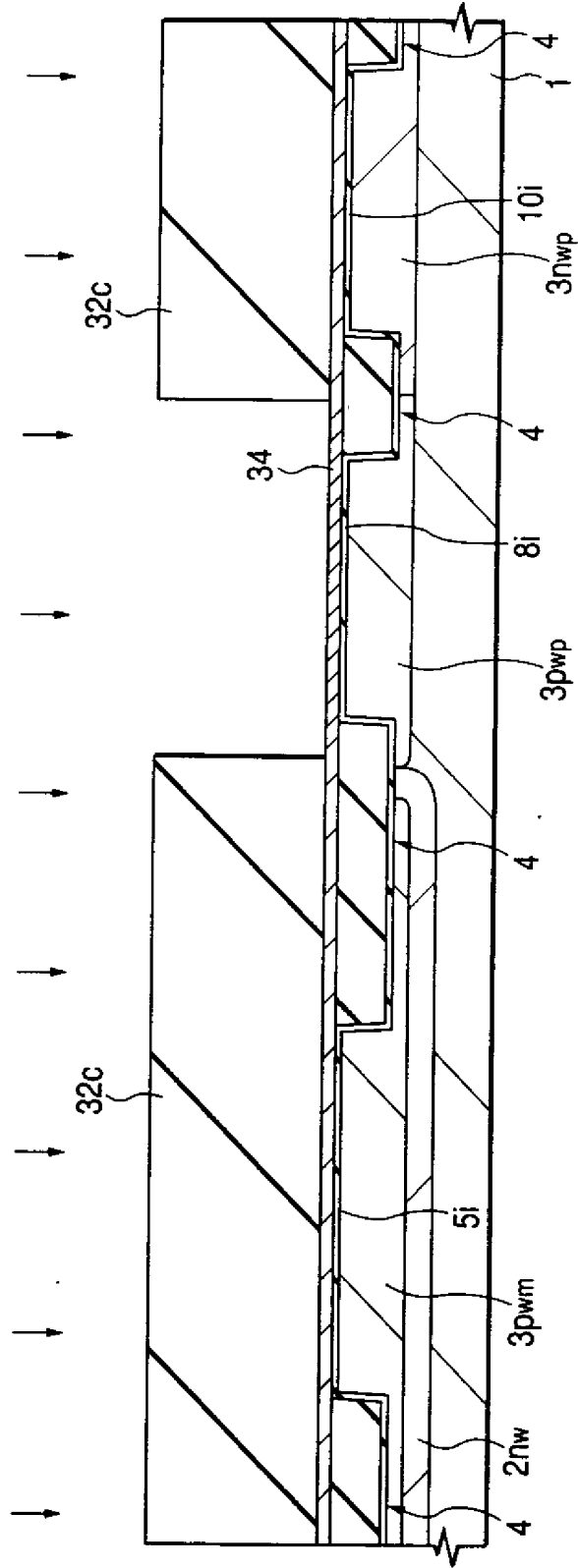
第 9 圖



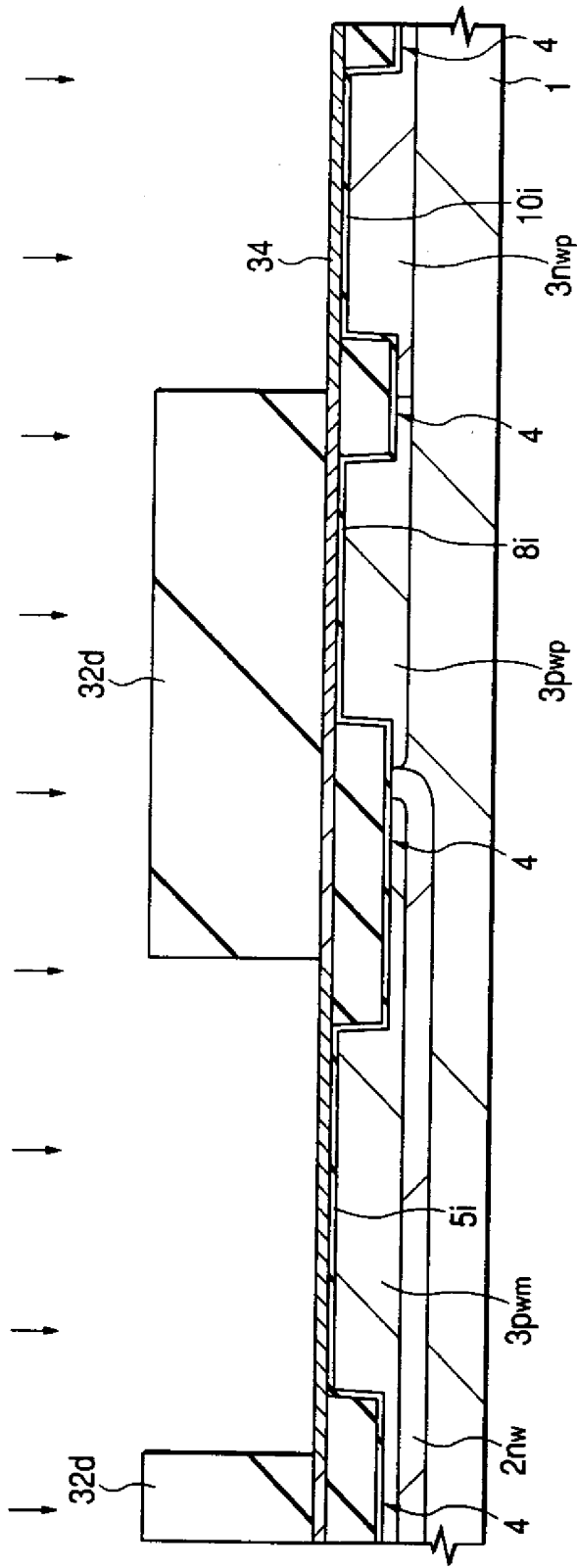
第 10 圖



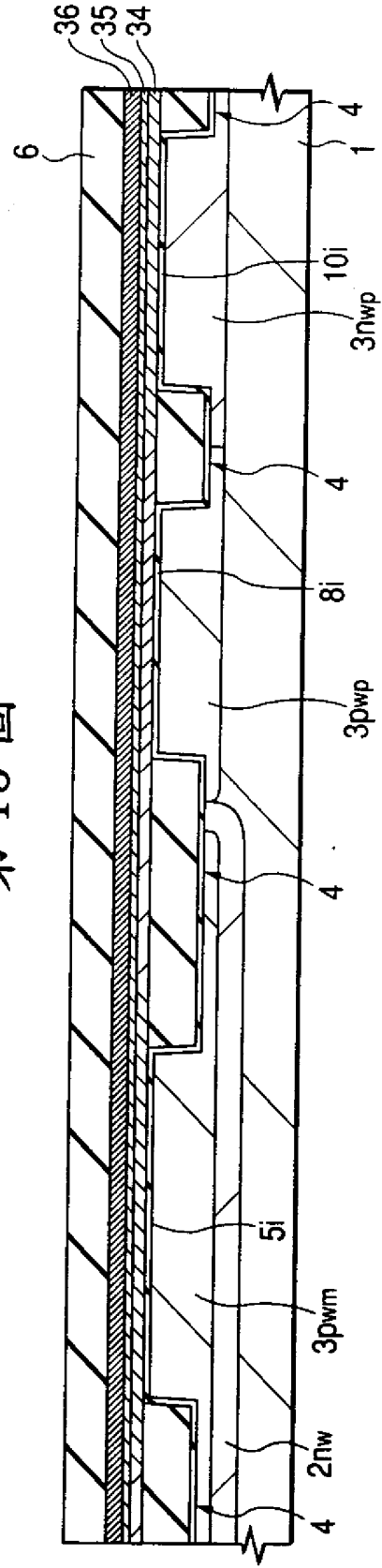
第 11 圖



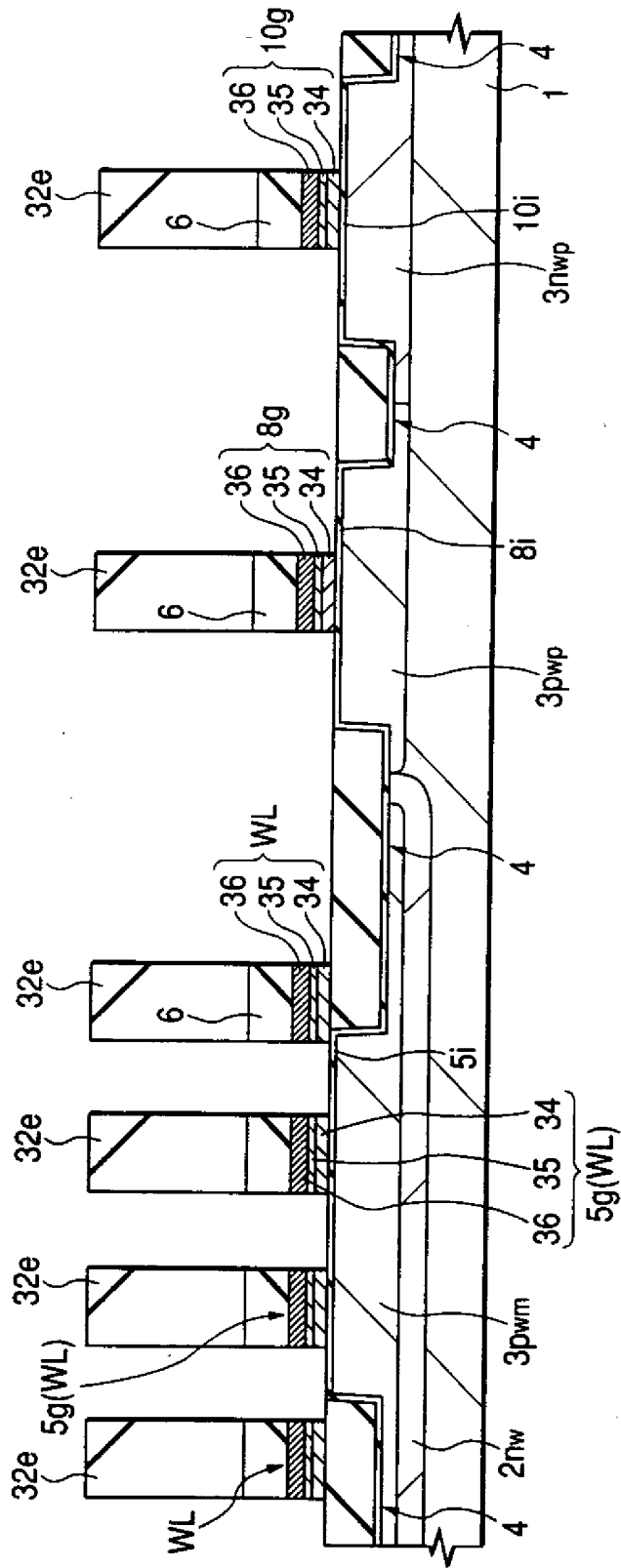
第 12 圖



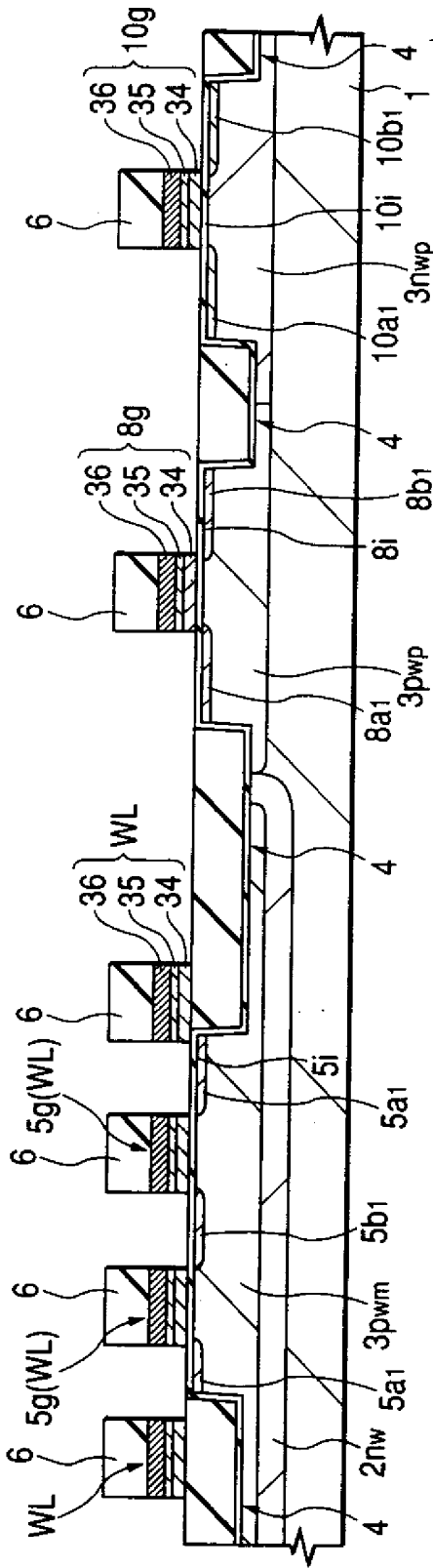
第 13 圖



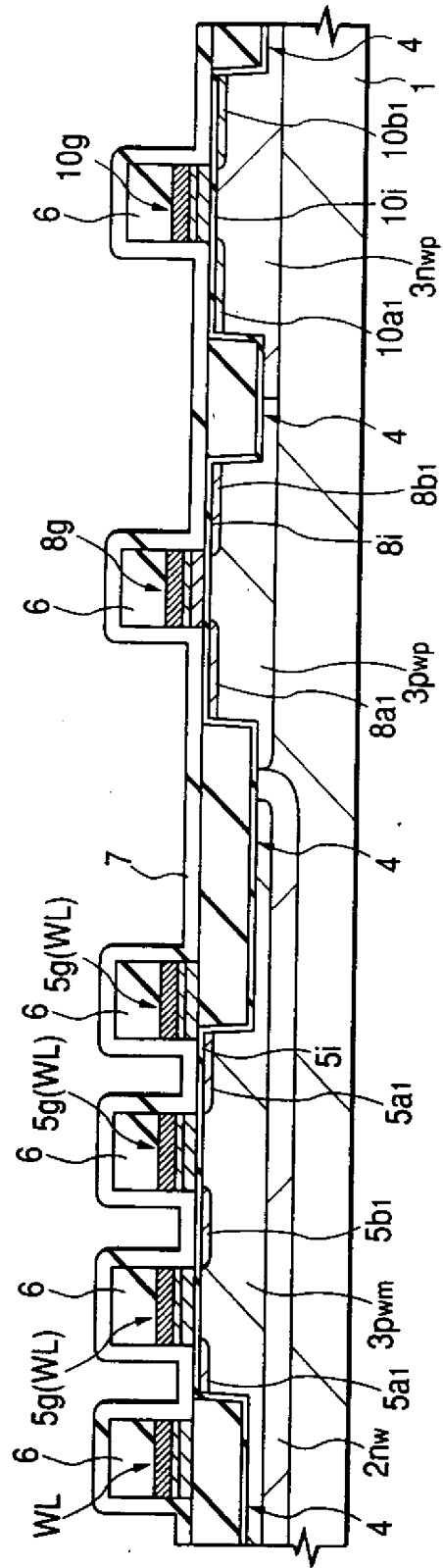
第 14 圖



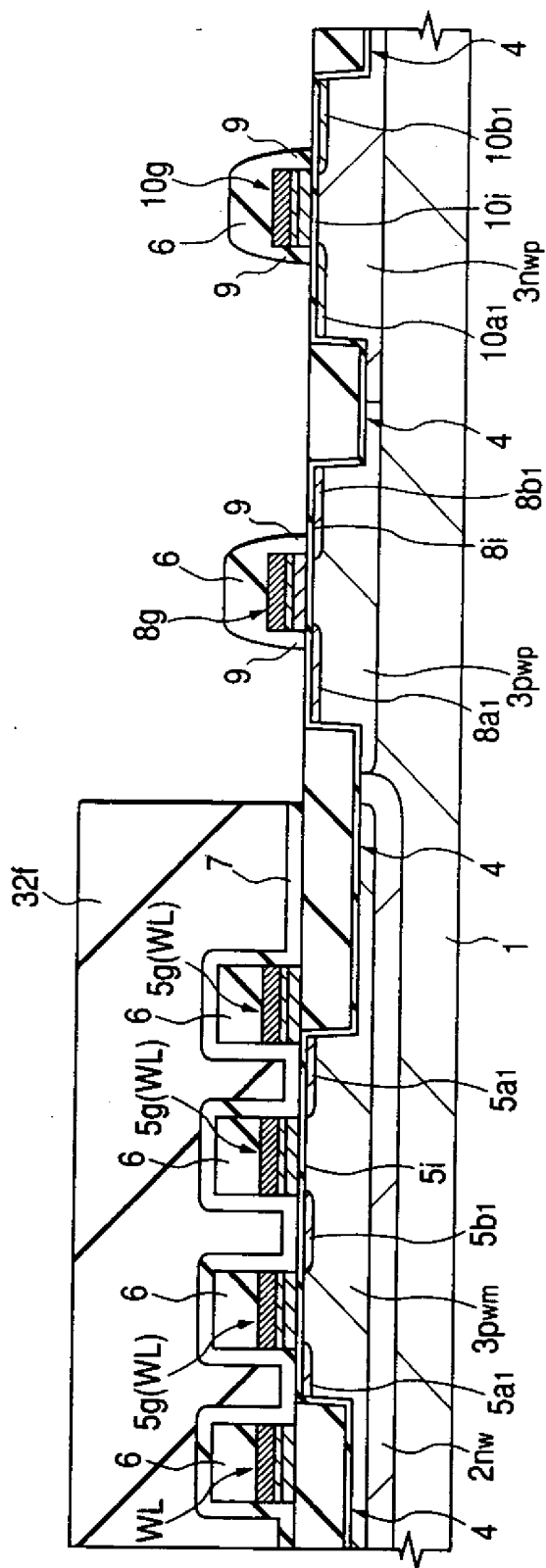
第 15 圖



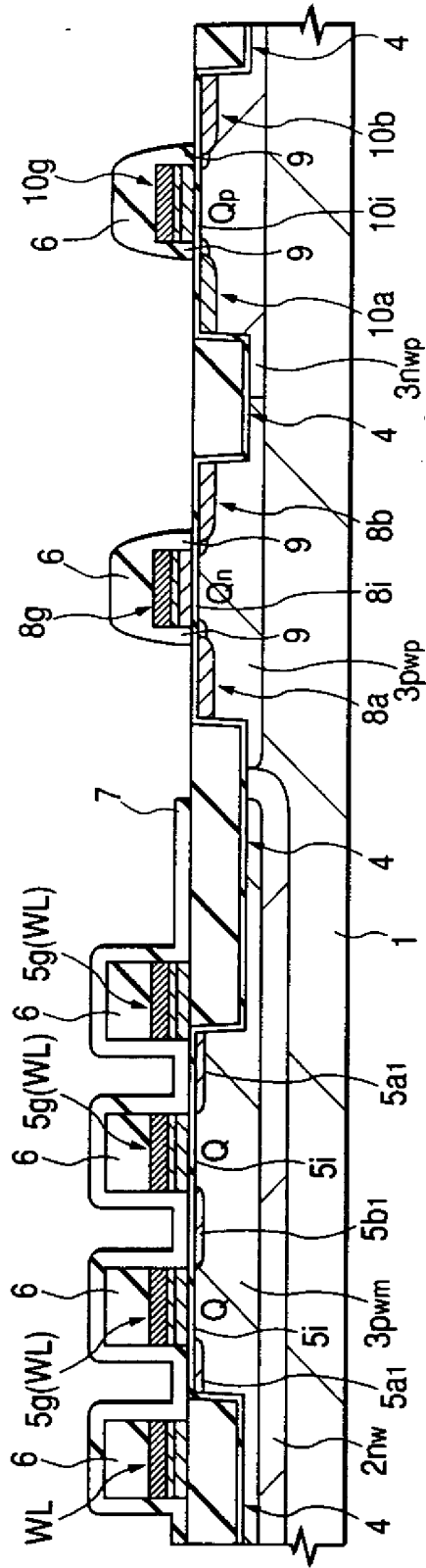
第 16 圖



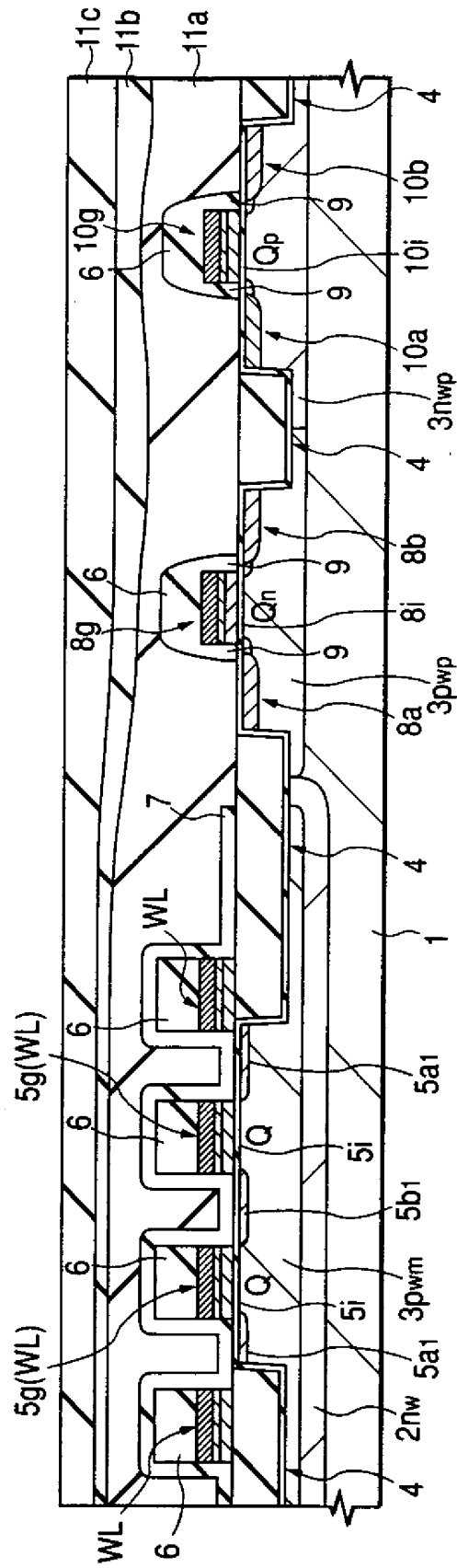
第17圖



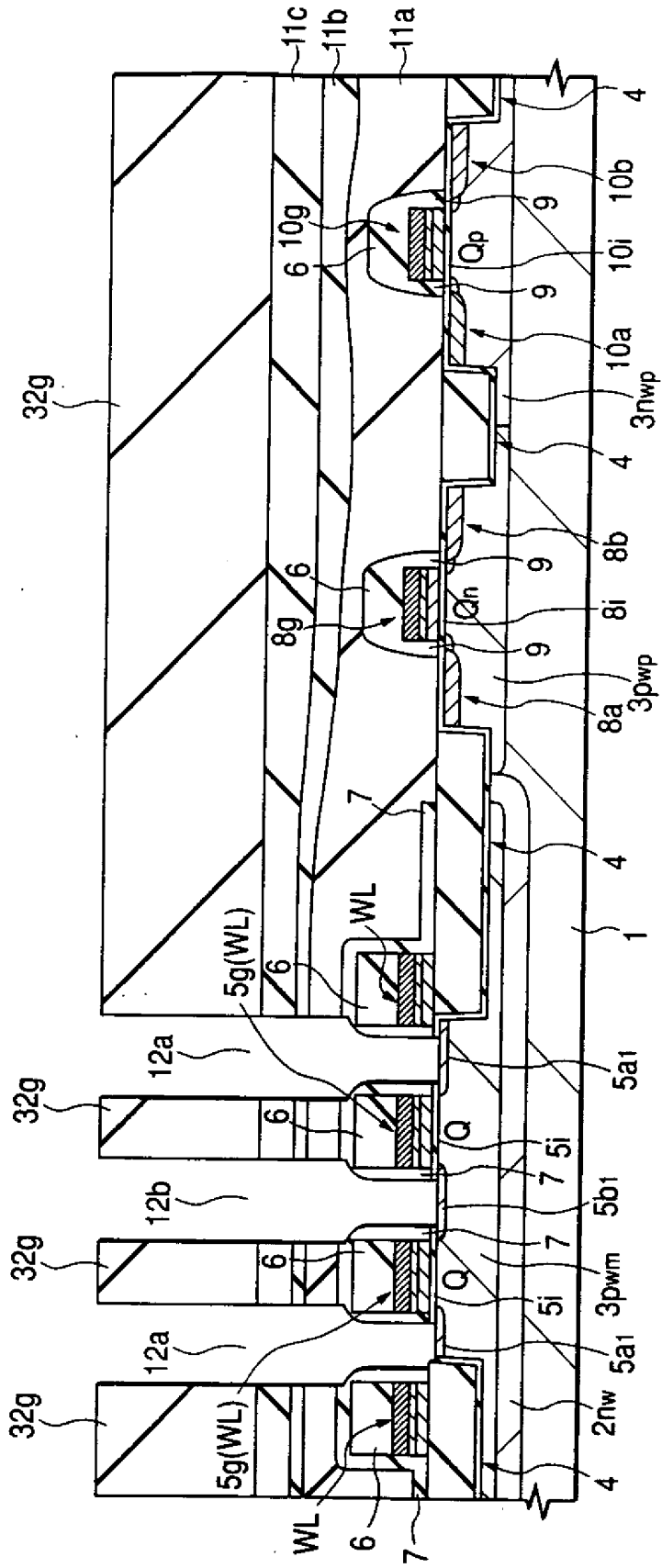
第 18 圖



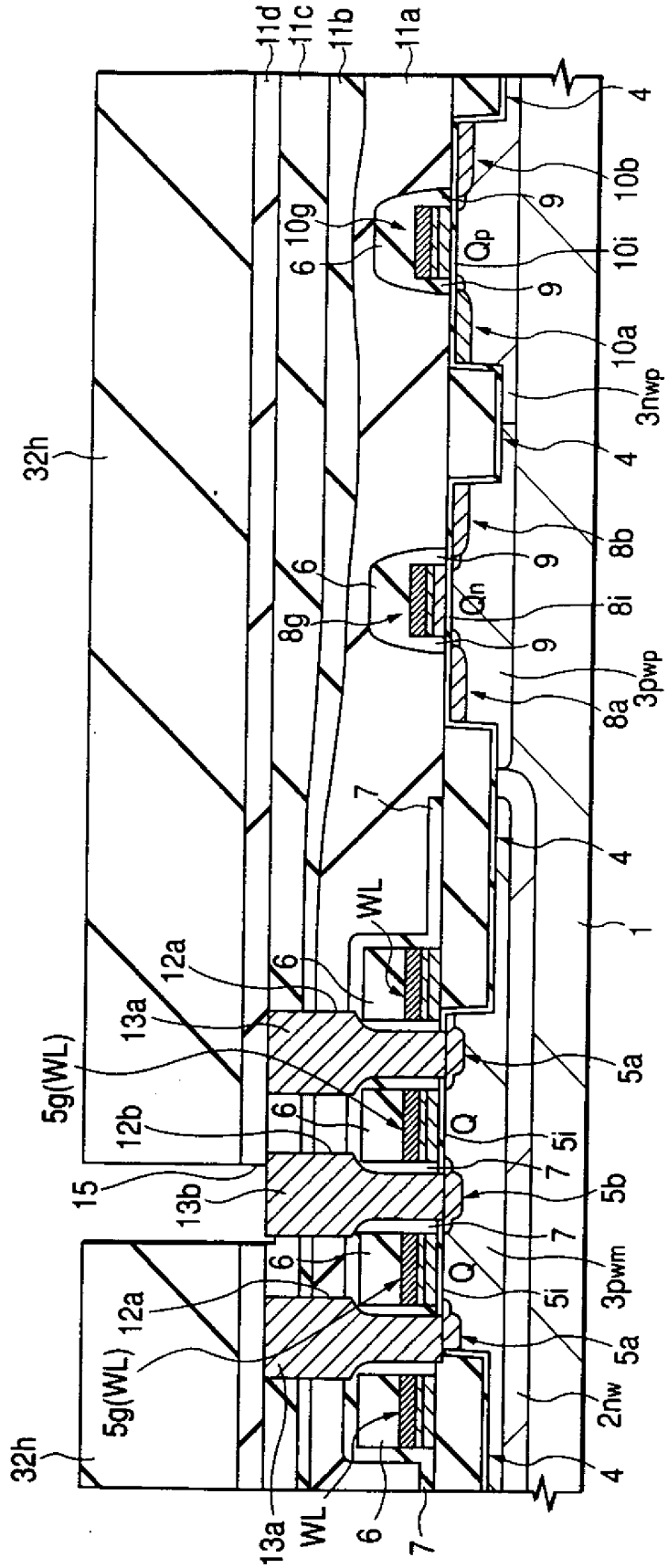
第 20 圖



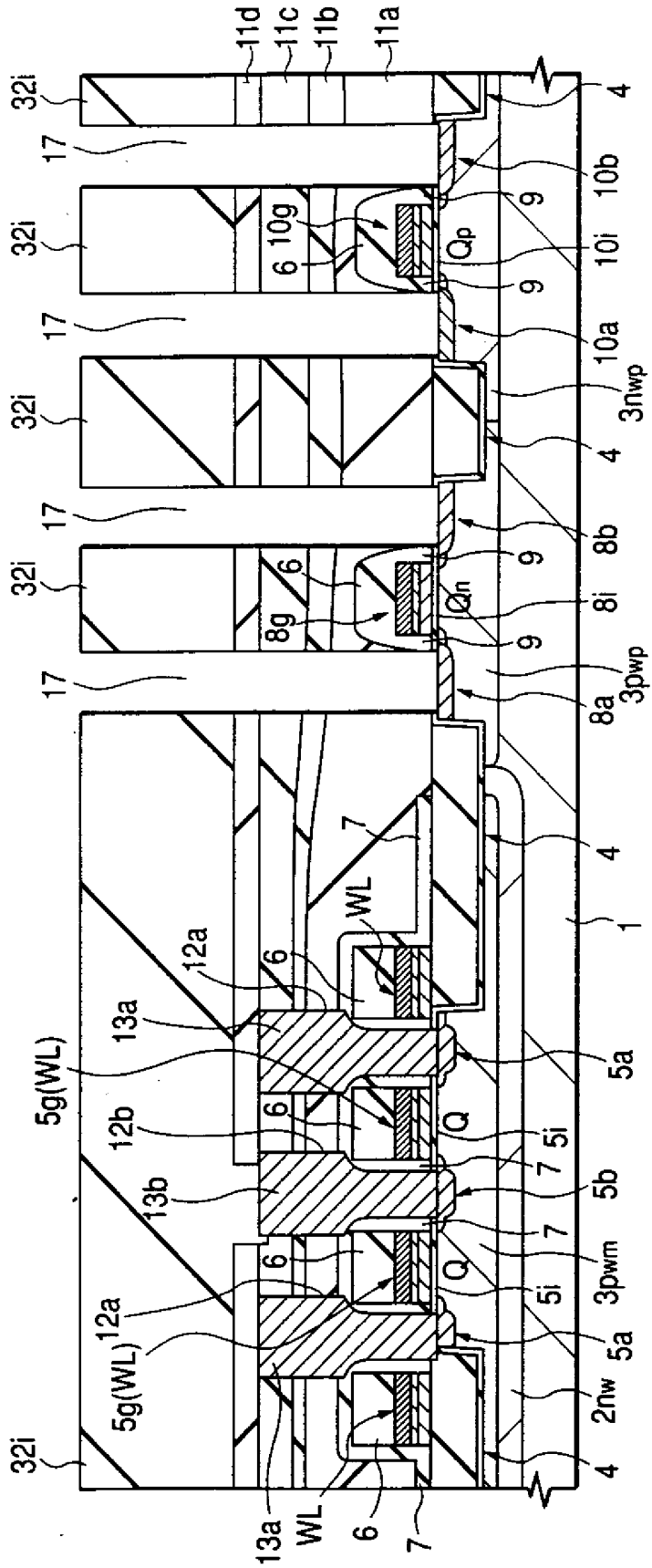
第 22 圖



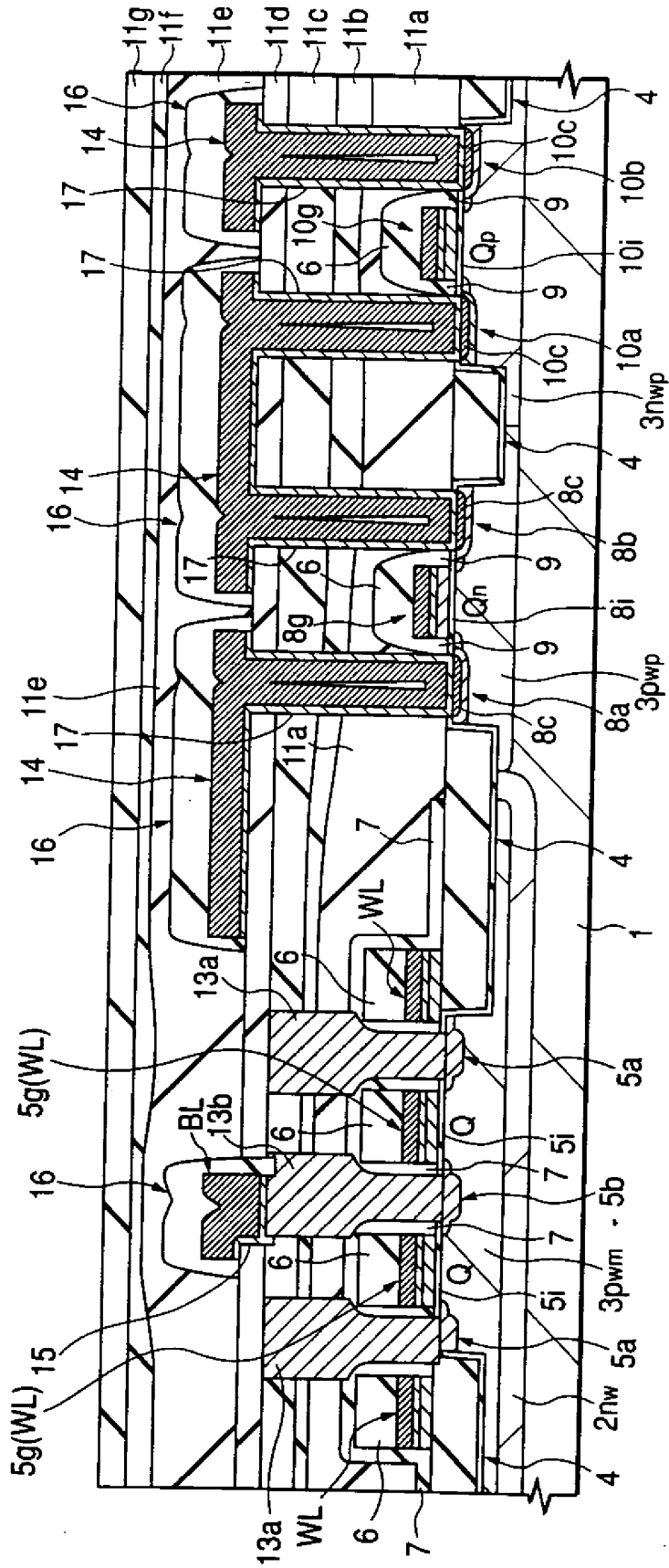
第 25 圖



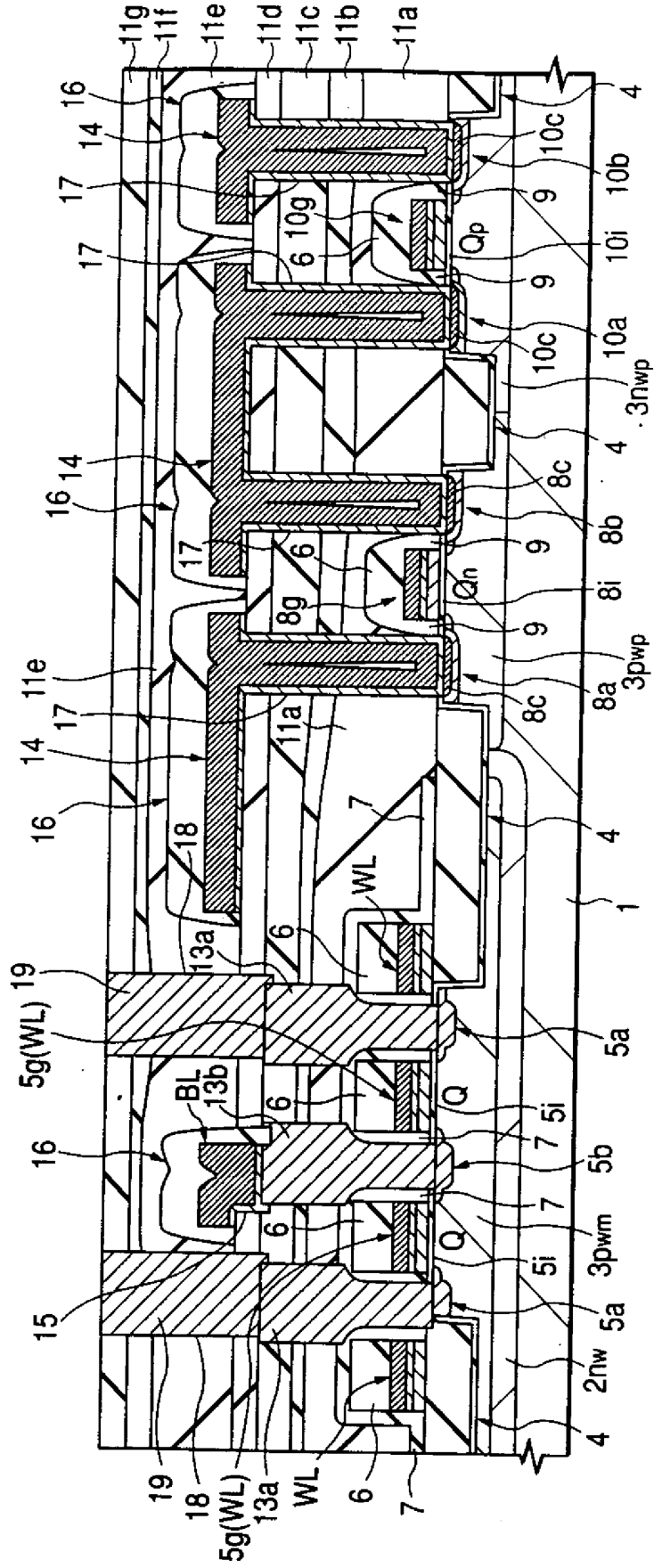
第 26 圖



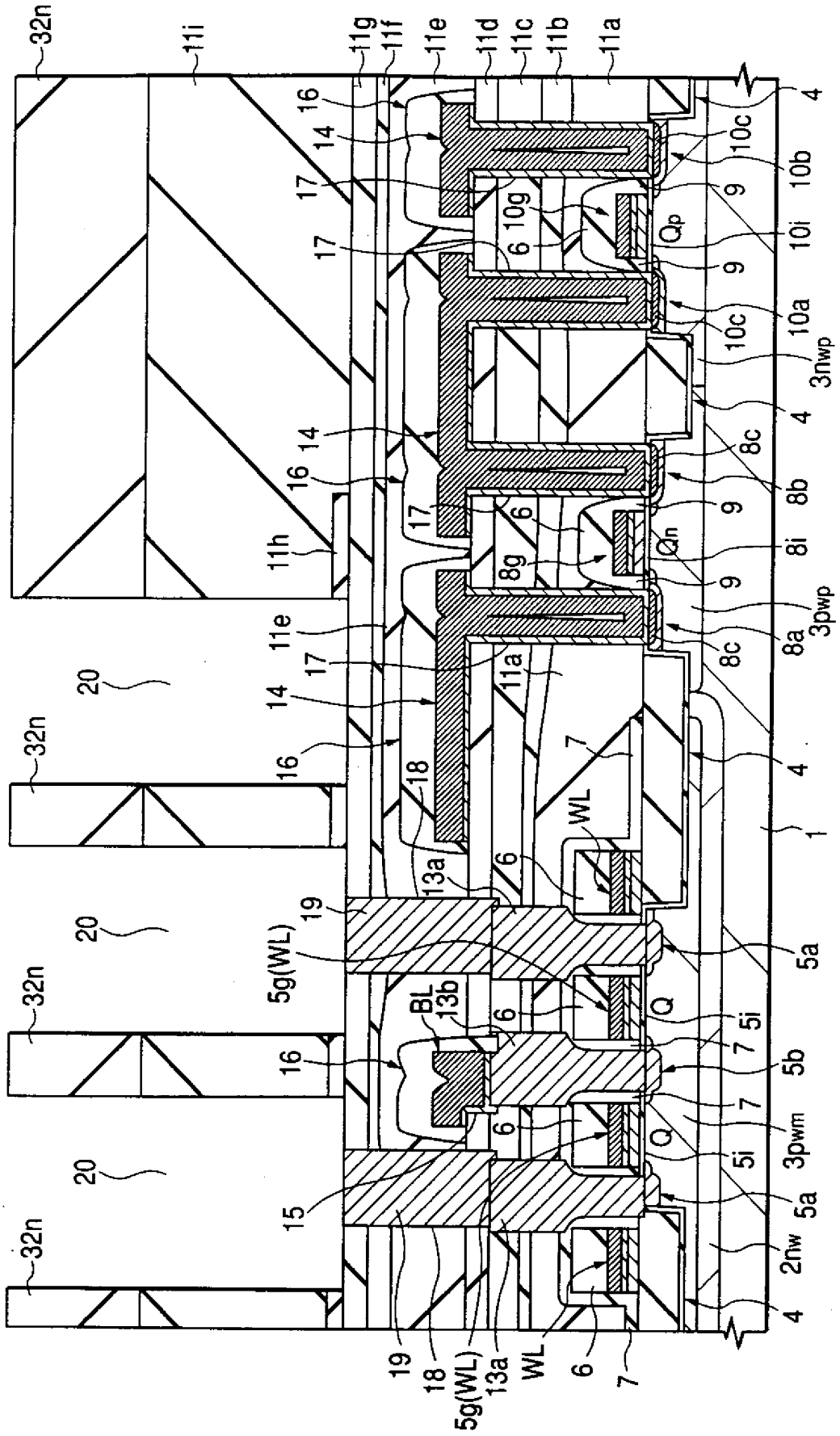
第 31 圖



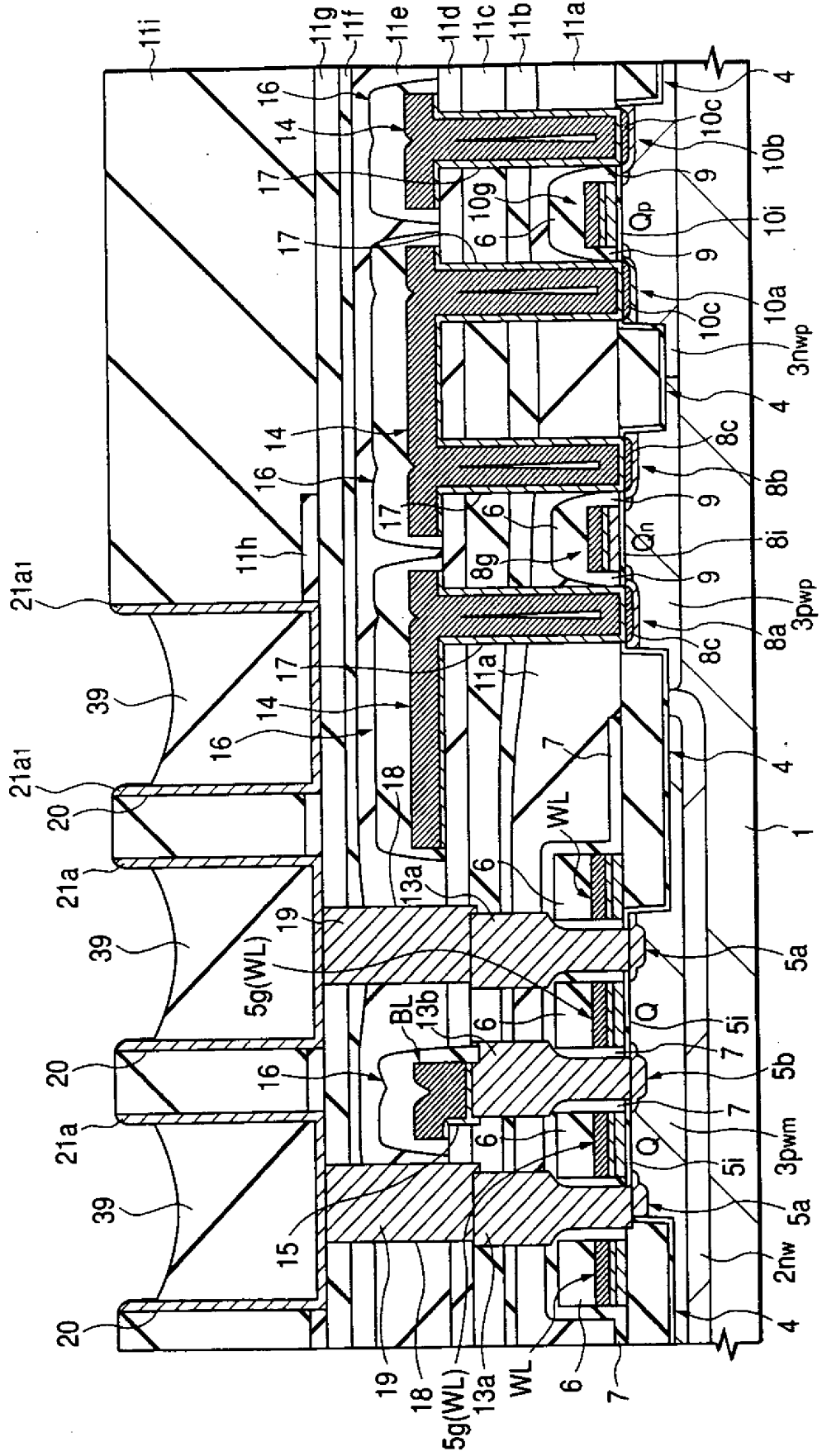
第 33 圖



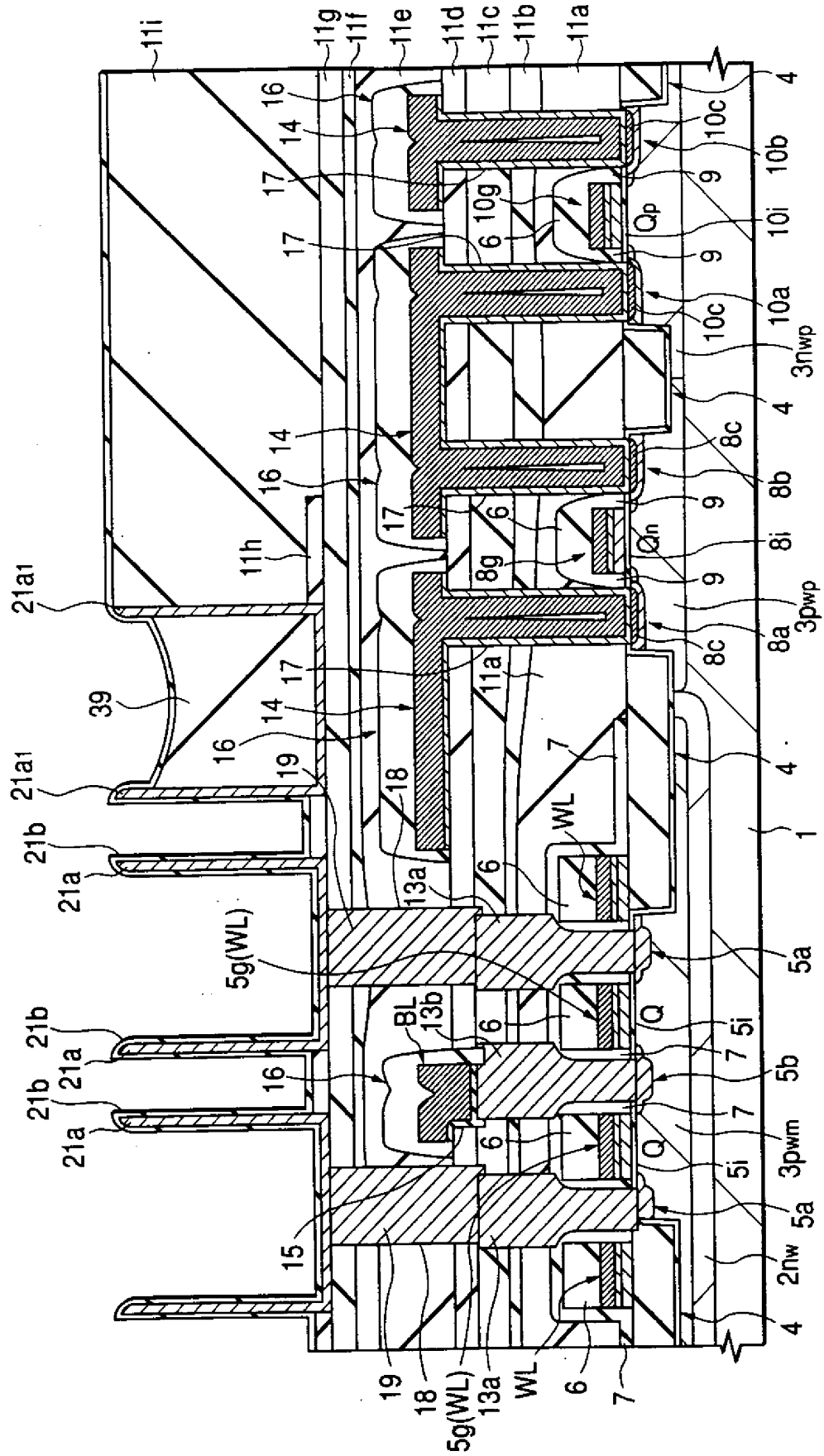
第35圖



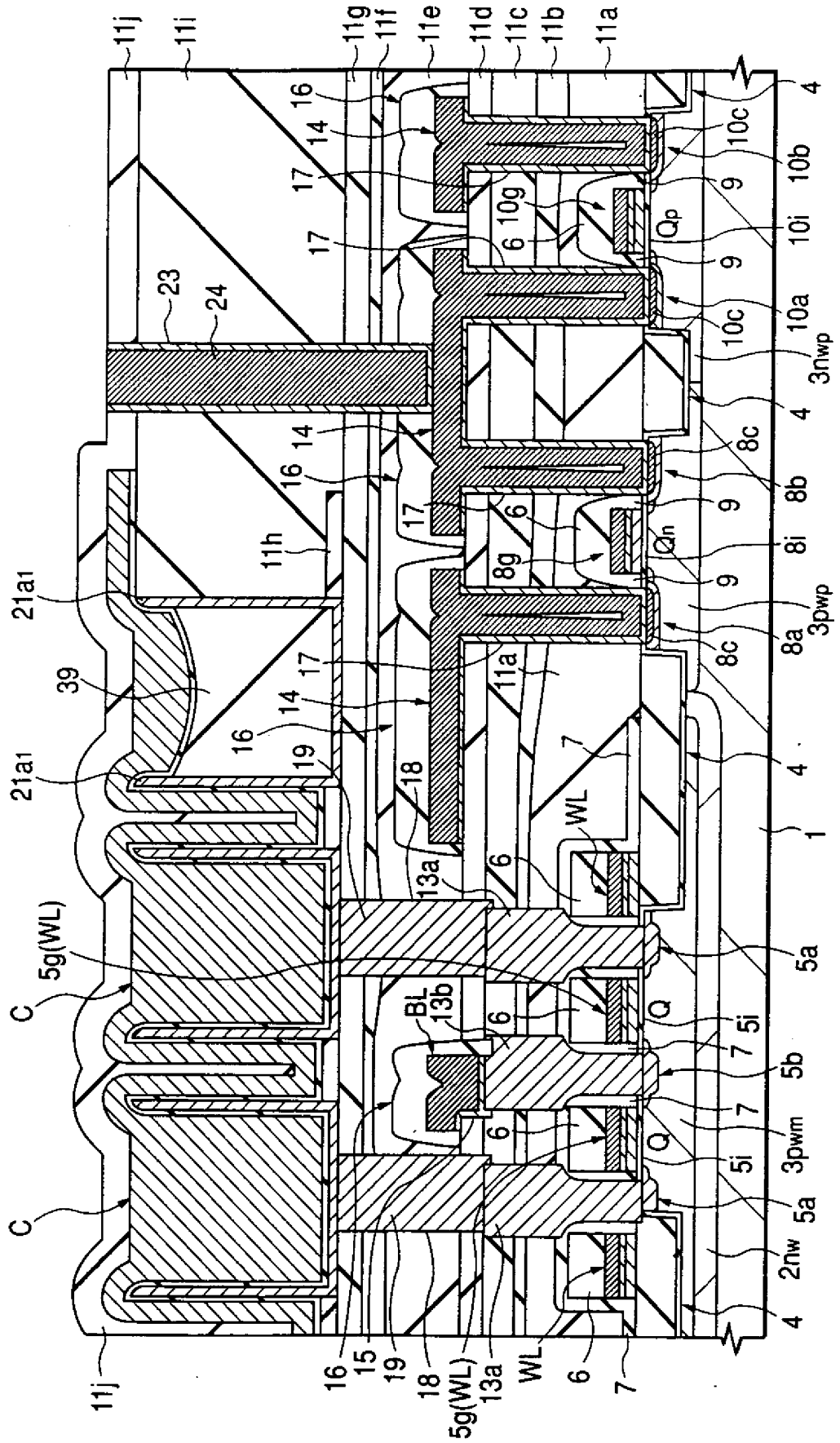
第 38 圖



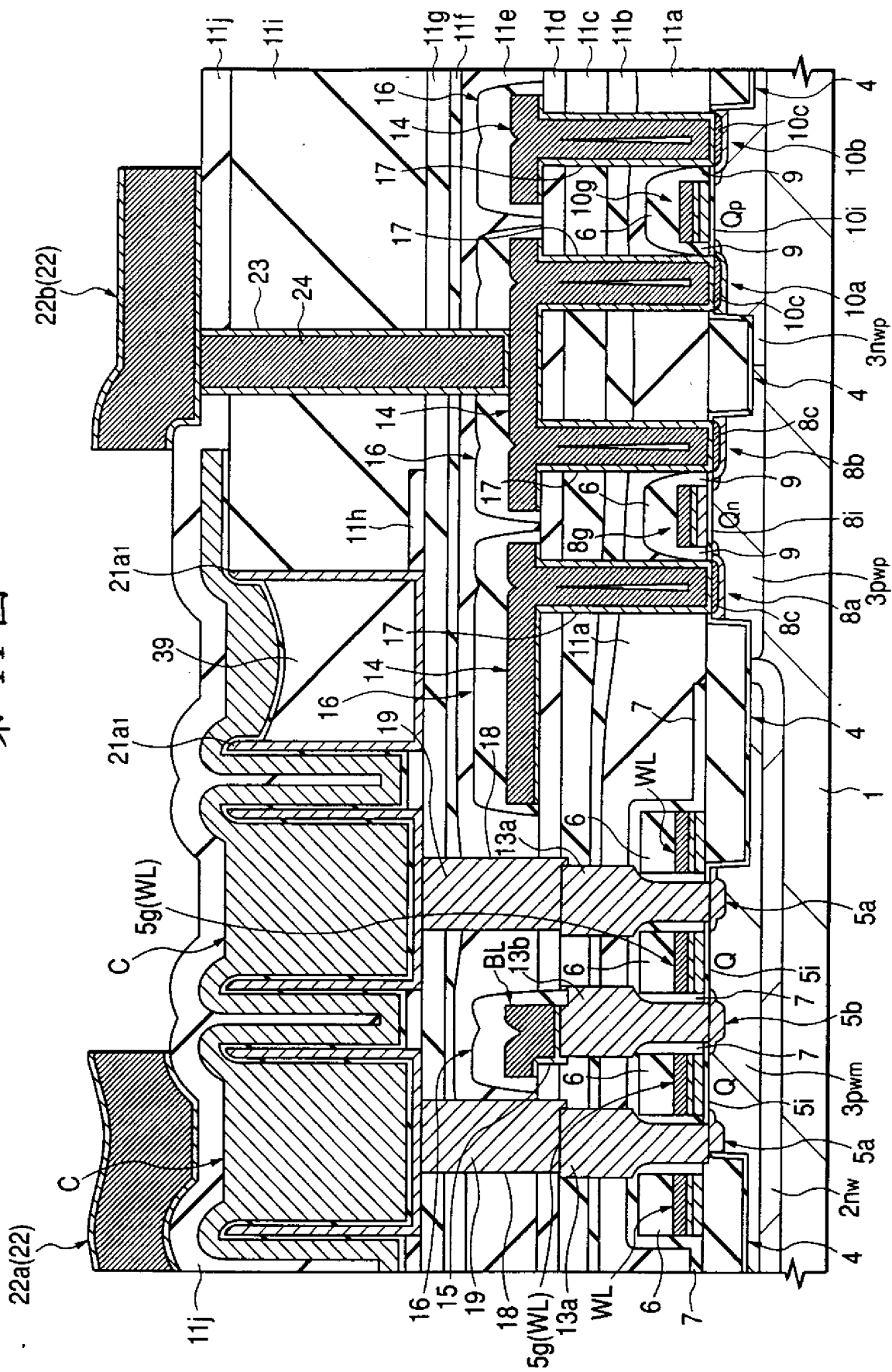
第 40 圖



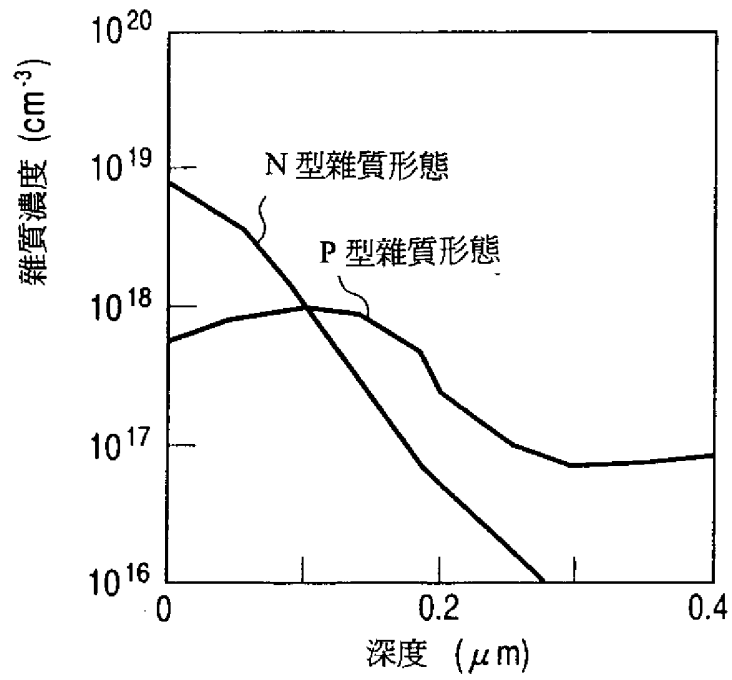
第 43 圖



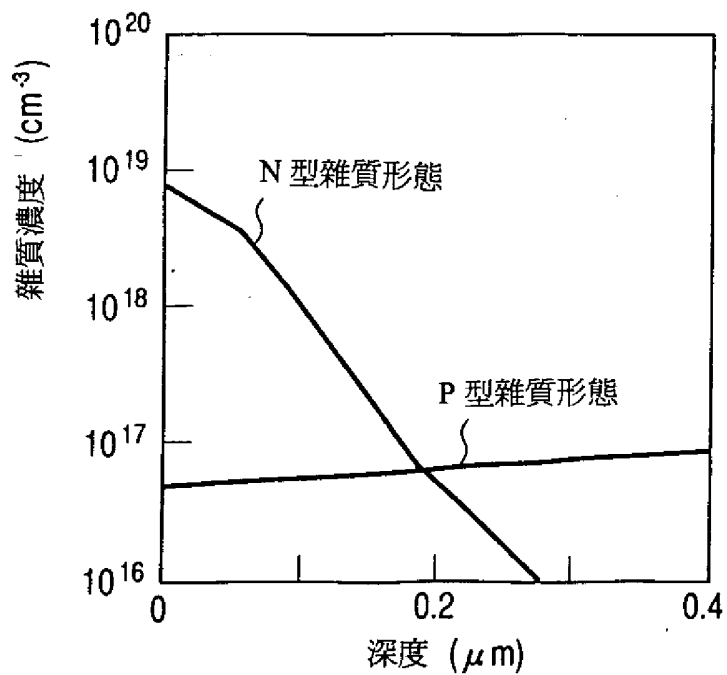
第 44 圖



第 45 圖A



第 45 圖B



A621 2.6
補充

六、申請專利範圍

1. 一種半導體積體電路裝置，是屬於一種在半導體基板上具有直列連接 M I S 電晶體與電容元件的記憶格之半導體積體電路裝置，其特徵是具有：

(a) 在其表面上具備活性領域與元件分離領域之半導體基板；及

(b) 形成於上述活性領域，且具備閘極電極與源極·汲極用的半導體領域之 M I S 電晶體；

上述源極·汲極用的半導體領域的導電形態與上述閘極電極的導電形態呈相反，上述元件分離領域是在形成於上述半導體基板的表面之分離溝內埋入絕緣膜而形成。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述分離溝內的絕緣膜為利用化學氣相成長法而形成之氧化膜。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，其中上述 M I S 電晶體具有連接於閘極絕緣膜而設有多結晶矽之閘極電極。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，其中在上述記憶格的周圍形成有邏輯電路，並且使構成上述邏輯電路的 M I S 電晶體的閘極電極的導電形態與該 M I S 電晶體的源極·汲極用的半導體領域的導電形態形成同一導電形態。

5. 如申請專利範圍第 1 項之半導體積體電路裝置，其中在上述記憶格的周圍形成有邏輯電路，並且上述記憶格的 M I S 電晶體的閘極絕緣膜的厚度相對的要比構成上

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線