



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0050638
(43) 공개일자 2008년06월09일

(51) Int. Cl.

H01L 25/18 (2006.01) *H01L 23/02* (2006.01)*H01L 23/12* (2006.01)

(21) 출원번호 10-2008-7012540(분할)

(22) 출원일자 2008년05월26일

심사청구일자 2008년05월26일

(62) 원출원 특허 10-2003-7011385

원출원일자 2003년08월29일

심사청구일자 2007년02월22일

번역문제출일자 2008년05월26일

(86) 국제출원번호 PCT/US2002/005405

국제출원일자 2002년02월22일

(87) 국제공개번호 WO 2002/71486

국제공개일자 2002년09월12일

(30) 우선권주장

09/798,198 2001년03월02일 미국(US)

(71) 출원인

퀄콤 인코포레이티드

미국 캘리포니아 샌디에고 모어하우스
드라이브5775 (우 92121-1714)

(72) 별명자

바잘자니, 세이풀라

미국 92130 캘리포니아 샌디에고 카미니토 베조
12906

장, 하이타오

미국 92130 캘리포니아 샌디에고 코트 마르 드 엘
피나스 11018
(뒷면에 계속)

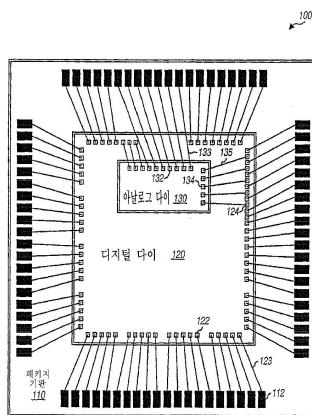
(74) 대리인

남상선

전체 청구항 수 : 총 8 항

(54) 혼합형 아날로그 및 디지털 접적 회로들**(57) 요 약**

많은 장점들을 제공하는 혼합형-신호 IC를 제작하기 위해, 아날로그와 디지털 회로들을 분리된 다이들 상에 제작하고 상기 다이들을 단일 패키지 안에 스택하고 접적하는 기술이 제시된다. 일 측면에서, 상기 아날로그와 디지털 회로들은 서로 다른 타입의 회로에 적합한 서로 다른 IC 프로세스를 사용하여 2개의 분리된 다이들에서 구현된다. 상기 아날로그와 디지털 다이들은 단일 패키지 안에서 접적되고 인캡슐레이트된다. 결합 패드들은 상기 다이들을 서로 연결하고 상기 다이들을 외부 펈들에 연결하기 위해 사용된다. 상기 결합 패드들은 상기 패드들을 구현하는데 요구되는 다이 영역을 최소화하면서 상기 요구되는 접속성을 제공하는 방식으로 배치될 수 있다. 또 다른 측면에서, 상기 다이간 접속성은 직렬 버스 인터페이스와 결합하여 테스트될 수 있다.

대표도 - 도1

(72) 발명자

조우, 쿠젠

미국 92037 캘리포니아 라 졸라 루트젤스 로드
5791

자, 산자이

미국 92131 캘리포니아 샌디에고 시카모어 리지 코
트 12386

특허청구의 범위

청구항 1

제2 다이에 대해 스택된 구조의 제1 다이를 포함하는 집적 회로(IC)로서, 상기 제1 및 제2 다이는 디지털 회로들과 아날로그 회로들을 각각 포함하는, IC로서,

상기 제1 및 제2 다이는 관련된 다이간 결합 전선들에 의해 상기 제1 및 제2 다이 사이의 전기적 연결을 제공하는 결합 패드들을 가지고 있으며;

상기 다이간 결합 전선들 중 적어도 하나는 대기 모드 동안에 상기 제2 다이 위에 있는 선택된 회로들에 대한 전력을 중단하기 위한 신호를 상기 제1 다이로부터 제공하는 반면, 상기 선택된 회로를 제외한 상기 제2 다이 위에 있는 다른 회로들로의 전력은 유지하는 것을 특징으로 하는 IC.

청구항 2

제1 항에 있어서, 상기 제1 및 제2 다이가 상부에 배치되는 패키지 기판을 더 포함하는 것을 특징으로 하는 IC.

청구항 3

제2항에 있어서, 상기 제1 및 제2 다이 중 적어도 하나는 상기 패키지 기판에 전기적으로 연결되기 위해 결합 패드와 관련된 결합 전선을 포함하는 것을 특징으로 하는 IC.

청구항 4

제1항에 있어서, 상기 제1 및 제2 및 다이는 웨이퍼를 백 그라인딩함으로써 얻어지는 두께를 가지는 웨이퍼로부터 유도되는 것을 특징으로 하는 IC.

청구항 5

제1항에 있어서, 상기 제1 및 제2 다이는 디지털 CMOS 기술 및 아날로그 CMOS 기술로 각각 제작되는 것을 특징으로 하는 IC.

청구항 6

제1항에 있어서, 상기 제1 다이는 CMOS 프로세스 기술에 의해 제작되는 것을 특징으로 하는 IC.

청구항 7

인캡슐레이트된 집적 회로를 포함하며, 제2 다이에 대해 스택된 구조의 제1 다이를 포함하는 IC 패키지로서, 상기 제1 및 제2 다이는 디지털 회로들과 아날로그 회로들을 각각 포함하는, IC 패키지로서,

상기 제1 및 제2 다이는 관련된 다이간 결합 전선들에 의해 상기 제1 및 제2 다이 사이의 전기적 연결을 제공하는 결합 패드들을 가지고 있으며;

상기 다이간 결합 전선들 중 적어도 하나는 대기 모드 동안에 상기 제2 다이 위에 있는 선택된 회로들에 대한 전력을 중단하기 위한 신호를 상기 제1 다이로부터 제공하는 반면, 상기 선택된 회로를 제외한 상기 제2 다이 위에 있는 다른 회로들로의 전력은 유지하는

IC 패키지.

청구항 8

제7항에 있어서, 상기 IC 패키지는 볼 그리드 어레이 타입 패키지인 것을 특징으로 하는 IC 패키지.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 회로에 관한 것이며, 보다 구체적으로 분리된 다이(die)들에서 아날로그 및 디지털 회로를 제작하고 상기 다이들을 스택킹하여 상기 다이들을 단일 패키지에 통합하기 위한 기술에 관한 것이다.

배경기술

<2> 많은 애플리케이션들은 아날로그와 디지털 신호 프로세싱을 요구한다. 상기와 같은 애플리케이션 중 하나는 송신과 수신 쪽 모두에서 혼합형 아날로그 및 디지털 신호 프로세싱이 요구되는 무선 통신 영역이다. 수신기 상에서, (전형적으로 무선 주파수로) 변조된 아날로그 신호가 수신되고, 조절되고(예를 들어, 증폭되고 필터링 됨), 하향 변환되고, 직교 복조되고 그리고 디지털화되어 샘플들을 생성한다. 디지털 신호 프로세싱은 송신된 데이터를 복구하기 위해 샘플들 상에서 수행된다. 상기 송신기 상에서, 데이터는 프로세스되고(예를 들어, 인코드되고, 인터리빙되며 그리고 확산된다), 하나 이상의 아날로그 신호들로 변환된다. 아날로그 신호들은 조절되고, 변조되고 그리고 상향 변환되어 무선 링크 상에서 송신되기 적절하도록 변조된 신호를 제공한다. 또한, 혼합형 신호 회로들이 무선 통신의 다른 태양에서 사용될 수 있으며, 비디오/오디오 코더/디코더, 배터리 전압 및 온도와 같은 여러 신호를 디지털화하는 범용 아날로그 디지털 변환기(ADC) 및 다른 회로를 포함하고 있다. 혼합형 신호 프로세싱은 또한, 네트워킹, 컴퓨터와 같은 다른 많은 애플리케이션들에서 요구된다.

<3> 통상적으로, 아날로그 및 디지털 신호 프로세싱은 분리된 아날로그 및 디지털 집적 회로(IC)를 통해 달성되는데, 2개의 IC 사이의 인터페이스는 ADC와 디지털 아날로그 변환기(DAC)를 통해 달성된다. 디지털 회로들은 많은 양의 스위칭 잡음을 발생시킨다. 반대로, 아날로그 회로들은 전형적으로 조용한 환경에서 작동하기 위해 요구되는 여러 민감한 회로들(예를 들어, 오실레이터, 증폭기 등)을 포함하고 있다. 분리된 IC들 상에서 아날로그와 디지털 회로의 구현은 상기 회로들로 하여금 그들의 바람직한 환경에서 분리되어 작동할 수 있도록 한다. 게다가, 아날로그와 디지털 회로들에 대한 최적의 프로세스 기술들은 전형적으로 상이하다. 디지털 회로들은 종종 표준 CMOS 프로세스를 사용하여 구현되는 반면, 아날로그 회로들은 상기 표준 CMOS 프로세스에 추가되는 여분의 프로세싱 단계를 요구하는 선형 캐패시터와 저항기를 활용할 수 있다.

<4> 제품의 비용과 복잡성을 줄이기 위해, 아날로그와 디지털 회로 모두는 혼합형 신호 IC의 공통 기판 위에서 제작될 수 있다. 상기 혼합형 신호 IC는 감소된 비용, 더 적은 복합성, 요구되는 더 작은 보드 영역, 간소화된 테스팅과 같은 많은 이점들을 가지고 있다.

<5> 그러나, 공통 기판 위에 상기 아날로그 및 디지털 회로를 제작하는 것은 일정한 단점을 가지고 있다. 첫째로, 디지털 회로에서 발생되는 잡음은 기판 상으로 연결을 통해 상기 아날로그 회로의 성능을 저하시킨다. 둘째로, 아날로그 회로는 선형 캐패시터와 저항기를 요구할 수 있는데, 이것은 아날로그 CMOS와 같은 특별한 IC 프로세스를 요구할 수 있다. 따라서, 비록 상기 아날로그 회로가 상기 다이의 작은 부분만을 차지하더라도, 상기 디지털 회로의 비용은 상기 아날로그 회로를 위해 선택된 상기 IC 프로세스의 결과에 의해 증가한다. 셋째로, 디지털 회로는 전형적으로 스케일링 기술(예를 들어, 트랜지스터 크기의 감소, 더 낮은 작동 전압)에서 이점을 가지고 있는 반면, 아날로그 회로들은 전압 스케일링 상에서 단점을 가지고 있다. 넷째로, 아날로그 회로에 대한 설계 주기가 디지털 회로의 설계 주기보다 훨씬 더 길기 때문에 상기 혼합형 신호 IC의 설계 주기는 길어질 수 있다.

<6> 알 수 있는 것과 같이, 공통 기판 위에 제작된 종래의 혼합 신호 IC의 단점을 최소화하면서, 혼합형 신호 IC의 이점들을 얻을 수 있는 아날로그 및 디지털 회로를 제작하고 집적하는 것에 대한 기술이 당업계에서 요구된다.

발명의 내용

<7> 본 발명의 관점은 분리된 다이들에서 아날로그와 디지털 회로를 제작하고 상기 다이들을 스택킹하여, 상기 다이들을 단일 패키지 안에서 혼합형 신호 IC를 형성하도록 집적하는 기술을 제공하는 것으로, 상기 혼합형 신호 IC는 상기 설명된 많은 이점들을 제공한다. 일 측면에서, 상기 아날로그 및 디지털 회로들은 서로 다른 종류의 회로들에 적합한 서로 다른 IC 프로세스를 사용하는 2개의 서로 분리된 다이를 상에서 구현된다. 상기 아날로그 및 디지털 다이들은 단일 패키지에서 통합되고(스택되고), 인캡슐레이트된다. 상기 2개의 다이들을 서로 연결하고 외부 판에 상기 다이들을 연결하기 위해 결합 패드(bonding pad)가 제공된다. 상기 결합 패드는 패드를 구현하는데 요구되는 다이 영역을 최소화하면서 상기 요구되는 접속을 제공하는 방식으로 배치될 수 있다. 다른 측면에서, 상기 다이간 접속은 직렬 버스 인터페이스와 결합하여 테스트될 수 있다. 또 다른 측면에서, 상기 아날로그 다이 안에 있는 회로들 모두에게 또는 일부에 제공되는 전력 공급은 작동을 연장하기 위해 대기 상태 모드동안에는 제거될 수 있다(즉, 0볼트로 된다).

- <8> 본 발명은 또한 본 발명의 여러 측면들, 실시예들 및 특징들을 구현하는 집적된 회로들, 방법 및 구성요소들을 제공하며, 이하에서 보다 자세하게 설명된다.
- <9> 본 발명의 특징, 특성 및 장점들은 동일한 도면부호를 사용하는 이하의 도면을 참고로 보다 명확하게 설명된다.

발명의 실시를 위한 구체적인 내용

- <10> 본 발명의 관점은 분리된 다이들에서 아날로그와 디지털 회로를 제작하고, 단일 패키지 내에 적합하도록 다이들을 스택킹하기 위한 기술을 제공하는 것이다. 본 발명의 상기 혼합형 신호 IC는 종래의 공통 기판 위에 제작된 혼합형 신호 IC의 단점을 최소화하면서 혼합형 신호 IC의 많은 장점들을 제공한다. 일 측면에서, 상기 아날로그와 디지털 회로는 상기 회로들에 적합한 IC 프로세스를 사용하여 2개의 분리된 다이 상에서 구현된다. 예를 들어, 상기 디지털 회로는 비용과 전력 소비 및 실리콘 영역을 줄이기 위해 진보된(advanced) 저 전압 디지털 CMOS 기술을 사용하여 구현될 수 있다. 요구되는 성능에 따라, 상기 아날로그 회로는 낮은 비용과 전력 소비를 줄이는 성숙된(mature) 아날로그 CMOS 기술을 사용하여 설계되고 구현되거나 또는 고성능 기술을 사용하여 설계될 수 있다. 상기 아날로그와 디지털 다이는 아래에서 설명되는 것과 같이 단일 패키지 안에 집적되고 인캡슐레이트된다.
- <11> 도1은 본 발명의 실시예에 상응하는 혼합형 신호 IC(100)의 상면을 도시하는 블록도이다. 혼합형 신호 IC(100)은 패키지 기판(110)과 상기 패키지 기판 위에 스택되는 디지털 다이(120) 및 상기 디지털 다이 위에 스택되는 아날로그 다이(130)를 포함한다. 많은 애플리케이션들에서, 상기 아날로그 다이는 상기 디지털 다이 크기의 부분이다(예를 들어 전형적으로 1/8에서 1/4). 예를 들어, 아날로그 다이(130)는 1.5mm*2mm의 크기를 가질 수 있으며, 디지털 다이(120)는 6mm*6mm의 크기를 가질 수 있다. 따라서, 상기 더 작은 아날로그 다이는 더 작은 패키지를 사용할 수 있으며, 공간을 절약하기 위해 상기 디지털 다이 위해 스택될 수 있다.
- <12> 상기 아날로그와 디지털 다이는 모양과 치수를 가지고 있다. 일부 회로들과 IC 프로세스에서, 상기 다이들에 대한 일정한 비율이 바람직할 수 있다. 예를 들어, 사각형 다이는 제작하기 쉽다는 장점과 다른 장점들 때문에 바람직할 수 있다.
- <13> 도1에 도시되어 있는 것과 같이, 결합 패드(112)는 패키지 기판(110)의 4면상에서 제공된다. 상기 결합 패드(112)는 상기 아날로그와 디지털 다이의 입력/출력(I/O)을 제공하는데 사용될 수 있다. 디지털 다이(120)는 또한 패키지 기판(110) 위에서 상응하는 결합 패드(112)와 결합 전선(123)을 통해 상호 연결되는 다수의 결합 패드(132)를 포함하고 있다. 유사하게, 아날로그 다이(130)는 또한 패키지 기판(110) 위에서 상응하는 결합 패드(112)와 결합 전선(123)을 통해 상호 연결되는 다수의 결합 패드(122)를 포함하고 있다. 아날로그 다이(130)는 또한 디지털 다이(120) 위에서 상응하는 결합 패드(124)와 결합 전선(135)을 통해 상호 연결될 수 있는 다수의 결합 패드(134)를 포함한다.
- <14> 아날로그 다이(130)가 배치되는 디지털 다이(120)의 특정 영역을 선택하기 위해 여러 요인들이 고려될 수 있다. 아날로그 다이(130)가 디지털 다이(120)의 보다 조용한 영역에 배치됨으로써 성능 개선이 이뤄질 수 있다. 아날로그 다이(130)는 또한 바람직하게 디버그가 요구되지 않는(또는 덜 요구되는) 디지털 다이(120)의 색션들 위에 배치될 수 있다. 예를 들어, 디지털 다이(120)는 메모리 회로 부분(예를 들어, RAM 및/또는 ROM)을 포함할 수 있는데, 메모리 회로 부분은 회로 결합이 빈번하고 상기 회로를 디버그하기 위한 액세스가 요구되기 쉽다. 이러한 경우에, 아날로그 다이(130)는 이러한 디버그 액세스를 덜 요구하는 디지털 다이(120) 다른 영역 위에 배치될 수 있다. 아날로그 다이(130)는 디지털 다이(120)의 에지 또는 코너 근처에 배치될 수 있다. 이것은 아날로그 다이(130)의 결합 패드(132)와 패키지 기판(110) 위의 상응하는 결합 패드(112) 사이의 상호연결을 줄일 수 있다. 아날로그 다이(130)는 또한 아날로그 다이 및 전체 패키지의 핀 출력에 근거하여 배치될 수 있다. 여러 다른 요인들이 고려될 수 있으며, 이는 본 발명의 범위에 속한다.
- <15> 도2는 특정 IC 패키지 안에서 인캡슐레이트된, 혼합형 신호 IC(100)의 측면을 도시하고 있는 블록도이다. 도2에 도시되어 있는 것과 같이, 다이 접착제 계층(140)은 패키지 기판(110) 위에서 확산되며, 디지털 다이(120)는 상기 다이 접착제 계층 위에 배치된다. 제2 다이 접착제 계층(140)은 디지털 다이(120) 위에서 확산되며, 아날로그 다이(130)는 상기 제2 다이 접착제 계층 위에 배치된다. 상기 다이 접착제 계층은 상기 다이와 패키지 기판을 서로 붙이는데 사용된다. 주형 합성물(150)은 상기 아날로그와 디지털 다이에 의해 남겨진 빈 공간을 채우기 위해 사용될 수 있다.
- <16> 혼합형 신호 IC(100)는 여러 타입의 패키지를 사용하여 패키지될 수 있다. 상기 특정 패키지는 요구되는 핀의

수, 바람직한 편 레이아웃, 제작 가능성 등과 같은 여러 요인들에 기반하여 선택될 수 있다. 도2에 도시되어 있는 예시에서, 혼합형 신호 IC(100)는 상업적으로 사용하도록 패키지되며, 당업계에 공지되어 있는 크기와 치수를 가지고 있는 표준 화인 볼 그리드 어레이(F-BGA)로 패키지된다.

- <17> 일 실시예에서, 정의된 높이를 가지고 있는 표준 패키지 안에 혼합형 신호 IC를 인캡슐레이트하기 위해, 아날로그 다이(130)와 디지털 다이(120)의 두께는 특정 제한 안에서 제어되어야 한다. 상기 아날로그와 디지털 다이의 두께는 상기 다이를 제작하는데 사용되는 웨이퍼들을 "백 그라인딩(back grinding)" 함으로써 감소된다. 일 실시예에서, 상기 웨이퍼는 비록 다른 두께 값이 사용될 수 있지만, 200 μm 로 백 그라인드된다. 상기 아날로그와 디지털 다이의 두께를 줄임으로써, 상기 스택된 다이들은 (1) 상기 패키지에 인캡슐레이트된 모놀리식 다이의 프로파일과 유사하거나 또는 (2) 상기 패키지에 적합한 프로파일을 가지도록 제작될 수 있다.
- <18> 도3A에서 도3C는 혼합형 신호 IC(100)의 여러 계층들 사이에서 상호연결의 측면을 도시하고 있는 블록도이다. 도3A는 디지털 다이(120)와 패키지 기판(110) 사이의 상호연결을 도시하고 있다. 상기 상호연결은 상기 패키지 기판과 상기 디지털 다이에 각각 배치되어 있는 결합 패드(112, 122)와 결합 전선(123)을 통해 달성된다. 상기 상호연결은 상기 패키지에서 사용되는 일반적인 방식으로 달성될 수 있다.
- <19> 도3B는 아날로그 다이(130)와 패키지 기판(110) 사이의 상호연결을 도시하고 있다. 상기 상호연결은 상기 패키지 기판과 아날로그 다이 위에 각각 위치하고 있는 결합 패드(112, 132) 및 결합 전선(133)을 통해 달성될 수 있다. 상기 상호연결은 또한 일반적인 방식으로 달성될 수 있다.
- <20> 도3C는 아날로그 다이(130)와 디지털 다이(120) 사이의 상호연결을 도시하고 있다. 상기 상호연결은 상기 디지털 다이와 아날로그 다이 위에 각각 위치하고 있는 결합 패드(134, 124) 및 결합 전선(135)을 통해 달성될 수 있다. 상기 상호연결은 또한 일반적인 방식으로 달성될 수 있다.
- <21> 도4A와 도4B는 상기 아날로그 다이와 디지털 다이 사이의 상호연결의 상면을 도시하고 있는 블록도이다. 도4A에서, 결합 패드의 제1 세트(132)는 패키지 기판(110)과의 상호연결을 위해 아날로그 다이(130) 위에 제공되며, 결합 패드의 제2 세트(134)는 디지털 다이(120)와의 상호연결을 위해 제공된다. 유사하게, 결합 패드의 제1 세트(122)는 패키지 기판(110)과의 상호연결을 위해 디지털 다이(120) 위에 제공되며, 결합 패드의 제2 세트(124)는 아날로그(130)와의 상호연결을 위해 제공된다.
- <22> 일 측면에서, 디지털 다이(120) 위의 결합 패드(122, 124)는 결합 패드(122, 124)가 교번적으로 상기 디지털 다이에 배치되도록 "인터-디지털화(inter-digitized)"된다. 인터 디지털화된 결합 패드 배치에 의해, 아날로그 다이(130)에 상호 연결하기 위해 디지털 다이(120) 상의 추가적인 결합 패드(124)를 구현함에 있어서 최소한의 추가적인 다이 영역이 요구된다. 이러한 방식으로, 디지털 다이(120) 위에 아날로그 다이(130)를 스택킹함으로써 어떠한 단점도 발생하지 않는다. 대안적으로, 디지털 다이(120)상의 한 그룹의 다이간 결합 패드들이 상기 디지털 다이 상의 한 그룹의 외부 편들 사이에 배치될 수 있다. 상기 배치에서 어떠한 단점도 발생되지 않는다.
- <23> 일 실시예에서, 아날로그 다이(130)에 대한 결합 패드(132, 134)는 상기 아날로그 다이의 에지를 근처에, 그리고 상기 결합 패드가 결국 연결되는 디지털 다이(120)와 패키지 기판(110)의 에지를 가까이 배치된다. 상기 결합 패드 배치는 아날로그 다이(130), 디지털 다이(120) 및 패키지 기판(110) 사이의 상호연결을 용이하게 한다 (예를 들어, 인터 디지털화된 접속을 구현한다). 이것은 또한 아날로그 다이(130)로부터의 더 짧은 결합 전선을 유도하며, 이것은 성능을 개선한다. 일 실시예에서, 디지털 다이(120)에 대한 결합 패드(122, 124)는 또한 상기 디지털 다이의 에지를 근처에 배치되어 있다. 디지털 다이(120)에 대한 상기 결합 패드 배치는 상기 디지털 회로 영역으로의 침입을 방지한다. 디지털 다이의 중앙 영역에 결합 패드를 배치시키면, 신호 라인들에 대한 라우팅 채널과의 간섭을 야기할 수 있다.
- <24> 도4B는 디지털 다이(120)의 에지를로부터 떨어져 배치되어 있는 결합 패드(126)를 사용하는 아날로그와 디지털 다이 사이의 상호연결을 도시하고 있다. 특정한 설계에서, 상기 디지털 다이의 에지를로부터 떨어져 배치되어 있는 디지털 회로를 상호 연결하는 것이 이로울 수 있다. 이것은 예를 들어, 상기 아날로그와 디지털 회로 사이의 상호연결을 단축시키고 또는 상기 아날로그 다이 상의 더 많은 I/O 패드를 제공하기 위해 필요할 수 있다. 이러한 경우에, 결합 패드(126)는 아날로그 다이(130)의 상응하는 결합 패드(136)와 상호 연결하기 위해 디지털 다이(120) 상에 제공될 수 있다.
- <25> 여기서 설명되어 있는 스택된 아날로그 및 디지털 다이는 여러 장점을 제공한다. 첫째로, 아날로그와 디지털 회로를 2개의 다이로 분리함으로써, 더 많은 최적의 프로세스 기술들이 각 회로를 위해 선택될 수 있다. 서로

다른 기술들이 아날로그와 디지털 회로를 위해 선택될 수 있다. 둘째로, 공통 실리콘 기판을 통한 잡음 커플링이 제거될 수 있다.셋째로, 상기 아날로그 및 디지털 회로는 서로 다른 스케줄로 발전할 수 있으며, 따라서 하나의 회로 타입은 다른 회로 타입의 설계에 의존하지 않게 된다. 게다가, 각 회로 타입은 다른 회로 타입의 설계에 영향을 주지 않고 설계되거나 수정될 수 있다. 다른 장점들이 이하 설명되는 상기 스택된 아날로그 및 디지털 다이 설계에 의해 실현될 수 있다.

<26> 또 다른 본 발명의 관점은 상기 스택된 아날로그 및 디지털 다이를 테스트하는 기술을 제공하는 것이다. 각 다이는 상기 다이 상에 제작된 회로들의 적절한 기능을 확인하기 위해 개별적으로 테스트될 수 있다. 아날로그 다이와 디지털 다이가 스택되고, 상호 연결되고 그리고 패키지 안에 인캡슐레이트된 후에, 결합 전선을 통한 상호연결이 기능을 하는지(즉, 연결성을 확인하기 위해)를 확인하기 위해 추가적인 테스팅이 수행된다. 그러나, 상기 다이간 상호연결은 외부 핀들을 통해 직접적으로 액세스할 수 없기 때문에, 상기 상호연결을 테스트하기 위한 기술들이 이하에서 제공된다.

<27> 일 실시예에서, 상기 다이간 상호연결 테스팅은 표준 직렬 버스 인터페이스(SBI)와 연결되어 달성되는데, 상기 인터페이스는 당업계에 공지된 방식으로 작동한다. 상기 인터페이스를 구현하기 위해, 상기 디지털 다이는 상기 테스트 기능(예를 들어, 전력 감소, 모드 선택 등)을 제어하는 마스터 드라이버로 설계되고 작동하며, 상기 아날로그 다이는 상기 디지털 다이에 의해 제공되는 제어를 실행하는 슬레이브 드라이버로 작동할 수 있다. 제어 값들의 시퀀스로 구성되는 테스트 벡터는 디지털 다이에서 아날로그 다이로 전송되어 상기 다이간 테스트를 수행한다.

<28> 일 실시예에서, 멀티플렉서가 각 다이간 상호연결을 테스트하기 위해 아날로그 다이 상에 제공된다. 상기 멀티플렉서는 정상 작동을 위한 제1 입력과 테스트를 위한 제2 입력, 상기 다이간 패드에 연결되는 출력 및 제어 입력을 가지고 있다. 상기 아날로그 다이로부터 값을 판독하는 것을 테스트하기 위해, 상기 제2 입력과 제어 입력은 각각 테스트 값과 제어 신호를 상기 아날로그 다이의 슬레이브 드라이버로부터 수신하는데, 상기 제어 신호는 상기 멀티플렉서로 하여금 특정 테스트 값을 상기 멀티플렉서를 통해 상기 다이간 패드로 제공하도록 한다. 상기 디지털 패드 상에서, 상기 아날로그 다이로부터의 테스트 값이 수신되고 외부 출력 패드(예를 들어, 또 다른 멀티플렉서로)로 전송될 수 있다. 상기 테스트 값은 탐지되고 상기 직렬 버스 인터페이스를 통해 상기 슬레이브 드라이버로 제공된 값과 비교된다.

<29> 상기 아날로그 다이로 값을 기록하는 것을 테스트하기 위해, 테스트 값은 외부 출력 패드로부터 상기 디지털 다이의 다이간 패드로 전송된다(예를 들어, 멀티플렉서를 통해). 상기 테스트 값은 상기 아날로그 다이 상의 또 다른 멀티플렉서에 의해 수신된다. 상기 아날로그 다이 상의 멀티플렉서는 상기 수신된 테스트 값을 상기 슬레이브 드라이버로 라우팅하기 위해 상기 슬레이브 드라이버에 의해 제어될 수 있으며, 그리고 나서, 상기 슬레이브 드라이버는 상기 직렬 버스 인터페이스로 그 값을 제공한다. 상기 디지털 다이로부터 제공된 상기 테스트된 값과 상기 직렬 버스 인터페이스로부터 탐지된 값은 연결성을 확인하기 위해 비교될 수 있다.

<30> 상기 직렬 버스 인터페이스는 아날로그 다이로 기록과 판독을 모두 테스트하기 위해 사용될 수 있다. 상기 직렬 버스 인터페이스는 다이간 상호연결성을 테스트하기 위해 상기 아날로그 다이 상의 멀티플렉서들을 제어하는데 사용된다. 상기 직렬 버스 인터페이스는 또한 상기 디지털 다이를 통해 상기 아날로그 다이로 테스트 값을 제공하고(기록에 대해) 다이간 상호연결을 통해 상기 아날로그 다이에 의해 수신된 테스트 값을 검색(retrieve)하는데 사용된다(판독에 대해).

<31> 본 발명의 또 다른 관점은 아날로그 다이 회로들 및 가능하게는 디지털 다이상의 전력 공급을 제어하여 대기모드 동안 전력을 보존하는 기술을 제공한다. 무선 통신 시스템의 원격 터미널은 일정 시간 간격들 동안에 활성화되고 완전하게 동작하며, 다른 시간 간격들 동안에는 전력을 보존하고 배터리 재충전 사이의 작동 수명을 연장하기 위해 텐 오프되거나 또는 대기 모드 상태로 존재한다. 상기 대기 모드에서, 전력 소비를 줄이기 위해 가능한 많은 회로들의 전력을 낮추는 것이 바람직하다. 그러나, 회로들의 전력을 낮추는 것은 누설 전류를 초래하며, 이것은 원격 터미널의 작동 수명을 줄인다. 상기 누설 전류는 상기 회로들로 제공되는 전력 공급을 제거함으로써 없어진다.(예를 들어, 0볼트로 낮춘다)

<32> 상기 설명된 방식으로 작동되는 혼합형 신호 IC에서, 대기 모드에 있는 동안에는 아날로그 다이에 있는 가능한 많은 회로들로의 전력 공급을 제거하거나 또는 줄이는 것이 바람직하다. 상기 아날로그 다이 상의 아날로그 회로는 활성 상태에 있는 동안에는 바람직한 성능을 제공하기 위해 상대적으로 많은 양의 전류를 소비할 수 있다. 상기 아날로그 회로들은 또한 상기 디지털 회로들에서 사용되는 것과 서로 상이한 전압으로 작동할 수 있다. 예를 들어, 상기 디지털 회로가 1.8볼트 전력 공급으로부터 작동될 수 있는 반면, 상기 아날로그 회로는 3.3볼트

트 전력 공급으로 작동될 수 있다. 상기 아날로그 다이를 위한 전력 공급은 외부 펈을 통해 외부 소스(예를 들어, 전력 관리 유닛)로부터 제공될 수 있다.

<33> 일 실시예에서, 상기 직렬 버스 인터페이스는 모든 또는 일부 아날로그 회로를 제어하기 위해 그리고 대기 모드 동안에 전력 공급을 제거하기 위해 사용된다. 상기 아날로그 다이 상의 슬레이브 드라이브는 디지털 전력 공급에 기반하여 작동하도록 설계될 수 있으며, 대기 모드 기간 동안에 작동상태로 유지된다. 레벨 쉬프트 회로가 상기 슬레이브 드라이버로부터의 상기 디지털 제어 신호를 상기 아날로그 다이 상의 여러 타입의 아날로그 회로(예를 들어, 오실레이터, 위상 동기 루프 회로, 프린트 앤드 수신기 회로 등)를 제어하는데 필요한, 요구되는 신호 레벨로 전환하기 위해 아날로그 다이 상에 제공된다. 상기 슬레이브 드라이버는 상기 직렬 버스 인터페이스를 통해 상기 디지털 다이로부터 명령들을 수신하여 상기 아날로그 다이 상의 회로들의 작동을 제어한다. 응답으로, 상기 슬레이브 드라이버는 상기 설명된 방식으로 작동하도록 상기 아날로그 다이 상의 아날로그 회로를 명령하는 제어신호를 발생한다. 상기 대기 모드에서도 전력이 공급되기 때문에, 상기 슬레이브 드라이버는 상기 회로에 대한 세팅을 유지할 수 있다.

<34> 상기 대기 모드 동안에, 상기 직렬 버스 인터페이스는 상기 전력 관리 유닛으로 하여금 상기 아날로그 다이의 선택된 회로(상기 회로들 모두 또는 서브세트)를 위한 전력을 제거하도록 한다. 이것은 누설 전류를 제거하고 작동 수명을 연장한다. 대기 모드에 있지 않는 동안에, 상기 직렬 버스 인터페이스는 상기 전력 관리 유닛으로 하여금 상기 아날로그 다이를 위한 전력을 제공하도록 한다.

<35> 여기서 설명된 상기 전압 "텔레스코핑(telescoping)" 기술-대기모드에서 아날로그 다이의 모든 또는 일부 회로들을 위한 전압은 제거됨(즉, 0볼트)-은 또한 아날로그 다이와 디지털 다이들이 스택되지 않으며, 분리된 패키지에서 패키지될 수 있는 다른 혼합 신호 설계에 적용될 수 있다. 상기 텔레스코핑 기술은 상기 디지털 다이의 여러 블록들에 적용될 수 있다.

<36> 개시된 실시예들에 대한 상기 설명은 당업자가 본 발명을 용이하게 실시할 수 있도록 기재되었다. 당업자는 상기 실시예들에 대한 여러 수정을 가할 수 있으며, 상기 정의된 일반적인 원칙들은 본 발명의 범위에서 다른 실시예들에 적용될 수 있다. 따라서, 본 발명은 상기 개시된 실시예에 한정되는 것이 아니라 상기 개시된 새로운 특징과 원칙에 상응하는 최광의로 해석된다.

도면의 간단한 설명

<37> 도1은 본 발명의 실시예에 상응하는 혼합형 신호 IC의 상면을 도시하는 블록도이다.

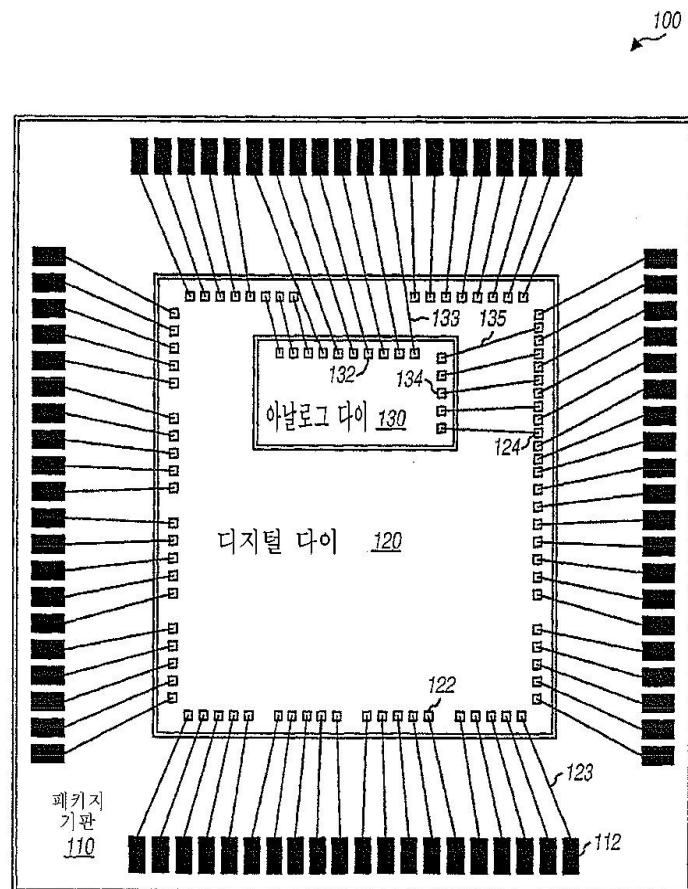
도2는 특정 IC 패키지 안에 인캡슐레이트된, 상기 혼합형 신호 IC의 측면을 도시하는 블록도이다.

도3A에서 도3C는 상기 혼합형 신호 IC의 여러 계층들 사이의 상호연결의 측면을 도시하고 있는 블록도이다.

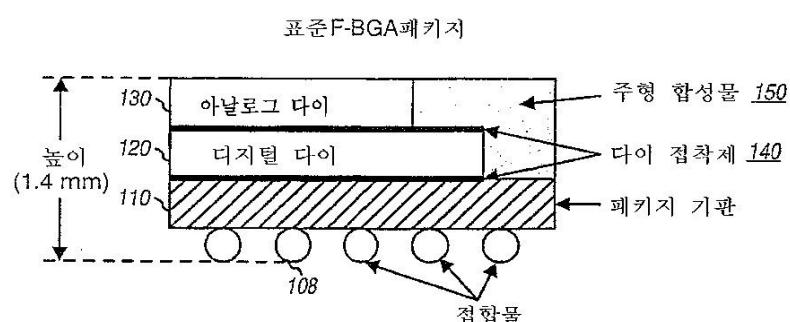
도4A와 도4B는 상기 아날로그와 디지털 다이 사이의 상호연결의 상면을 도시하고 있는 블록도이다.

도면

도면1

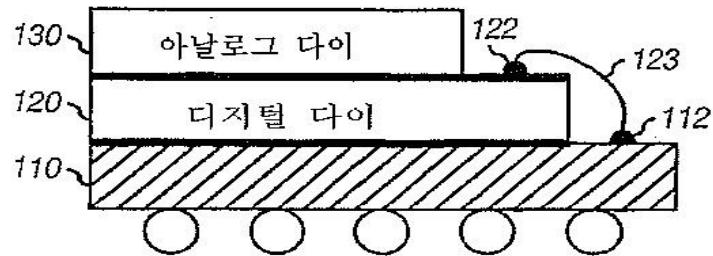


도면2



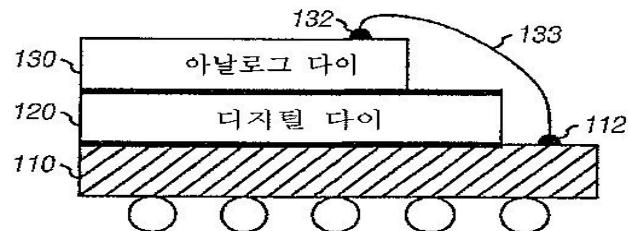
도면3a

다이와 기판 결합



도면3b

다이와 기판 결합

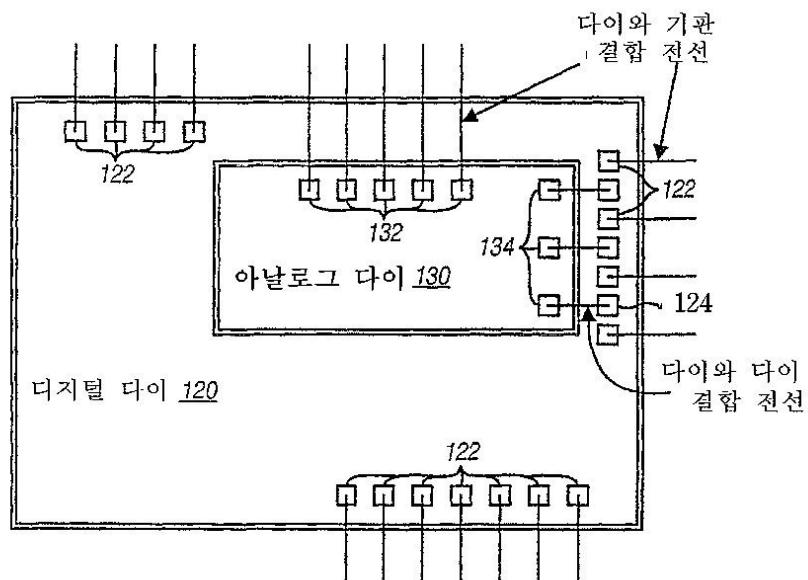


도면3c

다이와 다이의 결합



도면4a



도면4b

