



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2011년10월19일  
(11) 등록번호 10-1075250  
(24) 등록일자 2011년10월13일

(51) Int. Cl.

G09G 3/20 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2006-7000666

(22) 출원일자(국제출원일자) 2004년07월27일

심사청구일자 2009년07월02일

(85) 번역문제출일자 2006년01월10일

(65) 공개번호 10-2006-0040675

(43) 공개일자 2006년05월10일

(86) 국제출원번호 PCT/JP2004/011029

(87) 국제공개번호 WO 2005/015534

국제공개일자 2005년02월17일

(30) 우선권주장

JP-P-2003-00280583 2003년07월28일 일본(JP)

JP-P-2003-00347803 2003년10월07일 일본(JP)

(56) 선행기술조사문헌

JP2001027887 A

전체 청구항 수 : 총 6 항

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

무라세 마사키

일본국 도쿄도 시나가와구 기타시나가와 6초메 7  
반 35고 소니가부시끼 가이샤내

나카지마 요시하루

일본국 도쿄도 시나가와구 기타시나가와 6초메 7  
반 35고 소니가부시끼 가이샤내

기다 요시토시

일본국 도쿄도 시나가와구 기타시나가와 6초메 7  
반 35고 소니가부시끼 가이샤내

(74) 대리인

신관호

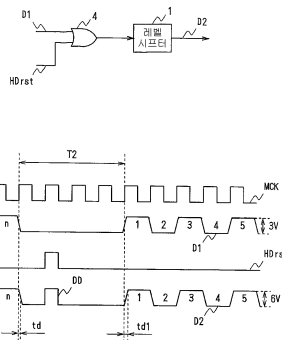
심사관 : 최훈영

(54) 지연시간 보정회로, 비디오데이터처리회로 및 평면디스플레이장치

(57) 요약

본 발명은, 예를 들면 절연기관상에 구동회로를 일체로 형성한 액정표시장치에 적용하여 이루어지는 것이며, 일정 논리레벨로 유지되는 휴지기간(T2)동안 소정의 타이밍에서, 입력데이터(D1)에 더미데이터(DD)를 사이에 삽입하여, 입력데이터(D1)의 논리레벨을 강제적으로 전환함으로써, TFT등에 의한 논리회로에 있어서 지연시간의 변화를 유효하게 회피할 수 있도록 한 것이다.

대표도



## 특허청구의 범위

### 청구항 1

일정한 주기로, 일정 기간 동안, 일정한 논리레벨로 유지되는 휴지(休止)기간을 가지는 비디오데이터인 입력데이터를 레벨시프터에 의해 증폭하고, 래치회로로 래치처리하는 데이터 처리회로에 있어서,

상기 휴지기간 동안의 소정의 타이밍에서, 상기 입력데이터에 상기 일정한 논리레벨과는 반대의 논리레벨에 의한 더미데이터를 삽입하는 것을 특징으로 하는 지연시간 보정회로.

### 청구항 2

일정한 주기로, 일정 기간 동안, 일정한 논리레벨로 유지되는 휴지(休止)기간을 가지는 비디오데이터인 입력데이터를 레벨시프터에 의해 증폭하고, 래치회로로 래치처리하는 데이터 처리회로에 있어서,

상기 휴지기간 동안의 소정의 타이밍에서, 상기 입력데이터에 상기 일정한 논리레벨과는 반대의 논리레벨에 의한 더미데이터를 삽입하는 것을 특징으로 하는 데이터 처리회로.

### 청구항 3

제 2항에 있어서,

상기 휴지(休止)기간이, 수평블랭킹(horizontal blanking)기간 또는 수직블랭킹(vertical blanking)기간인 것을 특징으로 하는 데이터 처리회로.

### 청구항 4

매트릭스형으로 화소를 배치하여 이루는 표시부와,

상기 표시부의 화소를 게이트선에 의해 순차선택하는 수직구동회로와,

상기 화소의 계조를 나타내는 계조데이터를 순차 샘플링하여 아날로그신호로 변환하고, 상기 표시부의 신호선을 상기 아날로그신호에 의해 구동함으로써, 상기 게이트선에 의해 선택된 화소를 구동하는 수평구동회로를 일체로 기관상에 형성하여 이루어지는 평면 디스플레이장치에 있어서,

상기 계조데이터를 레벨시프터에 의해 증폭하고, 래치회로로 래치처리하여 상기 계조데이터를 샘플링하고,

상기 계조데이터의 수평블랭킹기간 동안 소정의 타이밍에서, 상기 계조데이터에 상기 수평블랭킹기간의 논리레벨과는 반대의 논리레벨에 의한 더미데이터를 삽입하는 것을 특징으로 하는 평면 디스플레이장치.

### 청구항 5

제 4항에 있어서,

저온 폴리실리콘에 의해 상기 계조데이터를 처리하는 능동소자가 형성되어 이루어지는 것을 특징으로 하는 평면 디스플레이장치.

### 청구항 6

제 4항에 있어서,

CGS에 의해 상기 계조데이터를 처리하는 능동소자가 형성되어 이루어지는 것을 특징으로 하는 평면 디스플레이장치.

## 명세서

### 기술분야

본 발명은, 지연시간보정회로, 비디오 데이터처리회로 및 평면 디스플레이장치에 관한 것이며, 예를 들면 절연 기관상에 구동회로를 일체로 형성한 액정표시장치에 적용할 수 있다. 본 발명은, 입력데이터에 더미데이터를 사이에 삽입하여 입력데이터의 논리레벨을 강제적으로 전환함으로써, TFT등에 의한 논리회로에 있어서 지연시간

[0001]

의 변화를 유효하게 회피할 수 있다.

## 배경 기술

- [0002] 근래, 예를 들면 PDA, 휴대전화등의 휴대단말장치에 적용되는 평면 디스플레이장치인 액정표시장치에 있어서는, 액정표시패널을 구성하는 절연기판인 유리기판상에, 액정표시패널의 구동회로를 일체로 집적화하여 구성하는 것이 제공되도록 이루어져 있다.
- [0003] 즉 이 종류의 액정표시장치는, 액정셀과, 이 액정셀의 스위칭소자인 저온폴리실리콘 TFT(Thin Film Transistor; 박막트랜지스터)와, 유지용량에 의한 화소를 매트릭스형으로 배치하여 표시부가 형성되며, 이 표시부 주위에 배치한 각종 구동회로에 의해 표시부를 구동하여 각종 화상을 표시하도록 이루어져 있다.
- [0004] 이와 같은 액정표시장치에 있어서는, 예를 들면 순차 래스터 주사순으로 입력되어 이루어지는 각 화소의 계조를 도시한 계조데이터를 홀수열 및 짝수열의 계조데이터로 분리하고, 이들 홀수열 및 짝수열의 계조데이터에 의거하여, 각각 표시부 상하에 설치된 홀수열용 및 짝수열용의 수평구동회로에서 표시부를 구동함으로써, 표시부에 있어서의 배선패턴을 효율 좋게 레이아웃하여 고정세(高精細)로 화소를 배치하도록 이루어져 있다.
- [0005] 이와 같이 각 수평구동회로에 있어서의 계조데이터의 처리에 있어서는, 액정표시장치에 입력하는 계조데이터의 배열과의 관계에 있어서, 예를 들면 특개 평10-17371호 공보, 특개 평10-177368호 공보등에, 여러 가지 아이디어가 제안되어져 있다.
- [0006] 이와 같은 액정표시장치에 적용되는 저온 폴리실리콘TFT에 의해 이 종류의 논리회로에 있어서는, 장기간, 입력치가 L레벨로 유지되면, 계속하여 논리레벨의 상승 응답에 있어서 지연시간이 길게 되고, 이것에 의해 직전의 논리레벨의 길이에 따라 지연시간이 변화하는 문제가 있다.
- [0007] 즉 도 1 및 도 2에 도시한 바와 같이 이 종류의 논리회로에 있어서, 예를 들면, 메인 클록(MCK)(도 2a)에 동기한 입력데이터(D1)(도 2b)를 레벨시프터(1)에 입력하고, 0~3[V]에 의한 진폭을 0~6[V]로 변환하여 출력하는 경우에, 입력데이터(D1)의 논리레벨이 듀티비50[%]에 의해 전환하고 있는 기간(T1)에 있어서, 지연시간(td)은, 거의 일정하게 된다. 이것에 있어서 기간(T2)에 의해 도시한 바와 같이, 입력데이터(D1)의 논리레벨이 L레벨로 장시간 유지되면, 직후의 지연시간(td1)에 있어서는, 기간(T1)에 있어서의 지연시간(td)보다 길게 된다(도 2c).
- [0008] 이것에 의해 도 3에 도시한 바와 같이, 계조데이터의 각 비트(D1)(도 3b1 및 도 3b2)를 레벨 시프트시키고 서브클록(SCK)(도 3a)에 의해 래치하는 경우에, 이 계조데이터가 고전송 속도에 의한 데이터의 경우, 이 계조데이터의 각 비트(D1)에서는 논리레벨이 듀티비50[%]에 의해 전환하고 있는 기간(T1)에 있어서는, 이 서브클록(SCK)에 의해 바르게 레벨시프터(1)의 출력데이터(D2A)를 래치할 수 있는 것에 있어서(도 3b1 및 도 3c1), 예를 들면 수직블랭킹 기간(VBL) 직후에 있어서는, 바르게 레벨시프터(1)의 출력데이터(D2)를 래치할 수 없게 된다(도 3b2 및 도 3c2).
- [0009] 이와 같이 바르게 데이터를 래치할 수 없는 경우, 액정표시장치에 있어서는, 상술한 바와 같이, 계조데이터를 짝수열과 홀수열로 분리하여 고해상도의 표시부를 구동하는 경우, 수직블랭킹 기간 직후에 있어서, 국소적으로 잘못된 계조에 의해 화소를 구동하게 된다. 또 예를 들면 흑색 배경중에 원도우형상에 의해 백색영역을 표시하는 경우에, 이 백색영역의 주사개시단측에서도, 동일하게 잘못된 계조에 의해 화소를 구동하게 된다. 또 액정표시장치에 있어서는, 이와 같은 계조데이터(D1)가 표시부의 계조수에 대응하는 예를 들면 6비트페럴렐에 의해 입력되며, 이와 같은 지연시간의 변환에 있어서는, 계조데이터의 각 비트에서 발생함으로써, 계조데이터의 비트만 잘못된 데이터를 래치하는 경우도 발생하고, 이들에 의해 표시에 제공하는 화상에 의해서는, 현저히 보기 흉하게 된다.

## 발명의 상세한 설명

- [0010] 본 발명은 이상의 점을 고려하여 이루어진 것으로, TFT등에 의한 논리회로에 있어서 지연시간의 변화를 유효하게 회피할 수 있는 지연시간 보정회로, 이와 같은 지연시간 보정회로에 의한 비디오 데이터처리회로 및 평면 디스플레이장치를 제안하려고 하는 것이다.
- [0011] 이러한 과제를 해결하기 위해 본 발명에 있어서는, 지연시간 보정회로에 적용하여, 일정주기로, 일정기간동안, 일정논리레벨로 유지되는 휴지기간을 가지는 입력데이터를 처리하는 데이터 처리회로에 있어서, 휴지기간동안 소정의 타이밍에서, 입력데이터에 일정 논리레벨과는 반대의 논리레벨에 의한 더미데이터를 사이에 삽입한다.

- [0012] 본 발명의 구성에 의해, 지연시간 보정회로에 적용하여, 일정주기로, 일정기간동안, 일정 논리레벨로 유지되는 휴지기간을 가지는 입력데이터를 처리하는 데이터 처리회로에 있어서, 휴지기간동안 소정의 타이밍에서, 입력데이터에 일정논리레벨과는 반대의 논리레벨에 의한 더미데이터를 사이에 삽입하면, 아무런 더미데이터를 사이에 끼우지 않은 경우에 비하여, 계속하여 논리레벨의 변화에 있어서의 지연시간을 짧게 할 수 있고, TFT등에 의한 논리회로에 있어서 지연시간의 변화를 유효하게 회피할 수 있다.
- [0013] 또 본 발명에 있어서는, 일정주기로, 일정기간동안, 일정논리레벨로 유지되는 휴지기간을 가지는 입력데이터를 처리하는 데이터 처리회로에 적용하고, 휴지기간동안 소정의 타이밍에서, 입력데이터에 일정 논리레벨과는 반대로 논리레벨에 의한 더미데이터를 사이에 삽입한다.
- [0014] 이것에 의해 본 발명의 구성에 의하면, TFT등에 의한 논리회로에 있어서 지연시간변화를 유효하게 회피하고, 이 지연시간의 변화에 의한 각종 영향을 유효하게 회피하여 데이터처리할 수 있다.
- [0015] 또 본 발명에 있어서는, 평면 디스플레이장치에 적용하여, 계조데이터의 수평블랭킹 기간동안 소정의 타이밍에서, 계조데이터에 수평블랭킹기간의 논리레벨과는 반대의 논리레벨에 의한 더미데이터를 사이에 삽입하여 계조데이터를 처리한다.
- [0016] 이것에 의해 본 발명의 구성에 의하면, TFT등에 의한 논리회로에 있어서 지연시간의 변화를 유효하게 회피하고, 이 지연시간의 변화에 의한 각종영향을 유효하게 회피하여 희망하는 화상을 표시할 수 있다.
- [0017] 본 발명에 의하면, TFT등에 의한 논리회로에 있어서 지연시간의 변화를 유효하게 회피할 수 있는 비디오 데이터 처리회로 및 평면 디스플레이장치를 제공할 수 있다.

## 실시예

- [0039] 이하, 적당히 도면을 참조하면서 본 발명의 실시예를 상세히 서술한다.
- [0040] (1)지연시간보정원리
- [0041] 도 4는, 도 1과의 비교에 의해 본 발명에 관계되는 지연시간 보정원리의 설명에 제공하는 블록도이다. 이 보정원리에 있어서는, 일정기간으로, 일정기간동안, 일정한 논리레벨로 유지되는 입력데이터를 처리하는 데이터 처리회로에 있어서, 이 일정 논리레벨에 유지되는 기간동안 소정의 타이밍에서 이 일정논리레벨과는 반대의 논리레벨에 의한 더미데이터를 입력데이터에 사이에 삽입한다. 또한 여기서 이와 같이 일정주기로 일정기간동안, 일정논리레벨로 유지되는 기간은, 예를 들면 비디오데이터에 있어서의 수평블랭킹기간과 같이, 유의한 데이터전송에 제공하고 있지 않은 기간이며, 이하에 있어서는, 이 기간을 적당히, 휴지기간이라 부른다.
- [0042] 즉 이 데이터 처리회로가 예를 들면 레벨시프터(1)에 있어서, 도 5에 도시한 바와 같이, 메인클록(MCK)(도 5a)에 동기한 계조데이터(D1)를 진폭 0~3[V]에서 진폭 0~6[V]로 보정하여 출력데이터(D2)를 출력하는 경우에(도 5b 및 도 5d), 이 계조데이터(D1)가 일정 주기로, 일정기간동안 일정한 논리레벨로 유지되는 수평블랭킹기간(T2)동안, 논리 L레벨에서 상승하는 더미데이터(DD)를 계조데이터(D1) 사이에 삽입한다. 이 때문에 예를 들면 OR회로(4)를 거쳐서, 이 더미데이터(DD)에 의한 리셋펄스(Hdrst)를 데이터(D1) 사이에 삽입한다(도 5c).
- [0043] 이것에 의해 이 보정원리에 있어서는, 아무런 더미데이터(DD)를 사이에 끼우지 않은 경우에 비하여, 이 수평블랭킹 기간(T2) 직후의 논리레벨의 상승에 있어서의 지연시간(td1)을 짧게 하도록 이루어지며, 직전의 논리레벨의 길이에 따라서 지연시간이 변화하는 문제를 해결하도록 이루어져 있다. 즉 이와 같이 더미데이터(DD)를 사이에 삽입하면, 강제적으로 입력데이터의 논리레벨로 전환하고, 아무런 더미데이터(DD)를 사이에 끼우지 않은 경우에 비하여, 입력데이터의 논리레벨을 논리 L레벨로 유지하는 기간을 짧게 할 수 있고, 그 만큼, 이 입력데이터(D1)에 의한 데이터열에 있어서, 지연시간의 변동을 적게 할 수 있다. 따라서 그 만큼, 잘못된 데이터 래치등을 유효하게 회피할 수 있다.
- [0044] 즉, 도 3과의 비교에 의해 도 6에 도시한 바와 같이, 이와 같은 논리회로 출력을 서브클록(SCK)(도 6a)에서 샘플링하는 경우에 있어서도, 수직블랭킹 기간(VBL)동안 수평블랭킹 기간에서 더미데이터(DD)가 사이에 끼워짐으로써, 수직블랭킹 기간(VBL)에 계속하여 논리레벨의 상승에 있어서의 출력데이터(D2)의 지연시간을 짧게 할 수 있고, 유효영상기간에 있어서의 경우와 동일 타이밍에 의해 출력데이터(D2)를 샘플링하여 래치할 수 있고(도 6b1~도 6c2), 이것에 의해 수직블랭킹 기간(VBL)의 상승에 대응하는 화소를 바른 계조에 의해 표시할 수 있다.
- 또 흑레벨이 수라인 연속하여 흰 레벨로 상승하는 바와 같은 경우, 또한 복수 비트의 특정비트가 수라인 연속하여 L레벨로 유지되어 상승하는 것 같은 경우라도, 바르게 입력데이터(D1)를 래치할 수 있고, 이것에 의해 액

정표시장치에 적용하여 각 화소의 계조를 바르게 표시할 수 있다.

- [0045] 그런데 도 2에 있어서 상술한 지연시간변화에 있어서는, 입력데이터(D1)가 장시간 논리 L레벨로 유지된 직후에, 논리레벨이 상승했을 경우에, 이 상승했던 논리레벨의 하강이 지연하는 것이다. 그렇지만 이와 같은 논리레벨의 상승 타이밍을 상세하게 검토한 바, 입력데이터(D1)가 장시간 논리 L레벨로 유지된 경우, 상승 타이밍에 있어서는, 도 3과의 비교에 의해 도 7에 도시한 바와 같이, 하강 타이밍과는 반대로, 지연시간이 짧게 되는 것을 수 있었다(도 7a~도 7c2). 이것에 의해 입력데이터(D1)를 샘플링하는 타이밍이, 논리레벨이 전환하는 직전에 설정되어 있는 경우에 있어서, 샘플링에 관계되는 위상여유가 작은 경우, 이 상승 타이밍에 관계되는 지연시간변화에 의해서도, 데이터를 바르게 처리할 수 없게 된다.
- [0046] 그렇지만 이와 같은 설정에 관계되는 경우라도, 이 보정원리에 관계되는 바와 같이 휴지기간에 더미데이터를 사이에 삽입하면, 이와 같은 상승에 관계되는 지연시간 감소하는 방향으로의 지연시간변화에 대해서도 보정할 수 있고, 이것에 의해 예를 들면 액정표시장치에 적용하고 각 화소의 계조를 바르게 보정할 수 있다.
- [0047] (2) 실시예 1의 구성
- [0048] 도 8은, 본 발명의 실시예 1에 관계되는 액정표시장치를 도시한 블록도이다. 이 액정표시장치(11)에 있어서는, 이 도 8에 도시한 각 구동회로가 표시부(12)의 절연기관인 유리기관상에 일체로 작성되며, 후술하는 수평구동회로, 타이밍 제너레이터등의 구동회로에 있어서는, 저온 폴리실리콘에 의한 TFT에 의해 작성된다.
- [0049] 여기서 표시부(12)는, 액정셀과, 이 액정셀의 스위칭소자인 TFT와, 유지용량에 의해 각 화소가 형성되며, 이 각 화소를 매트릭스형으로 배치하고 직사각형 형상에 의해 형성된다.
- [0050] 수직구동회로(13)는, 타이밍 제너레이터(14)로부터 출력되는 각종 타이밍신호에 의해, 이 표시부(12)의 게이트선을 구동하고, 이것에 의해 라인단위에서 표시부(12)에 설치된 화소를 순차 선택한다. 수평구동회로(150 및 15E)는, 각각 표시부(12)의 상하에 설치되며, 직렬병렬(SP) 변환회로(16)로부터 출력되는 홀수열 및 짝수열의 계조데이터(Dod 및 Dev)를 순차 순환적으로 래치한 후, 각 래치출력을 디지털 아날로그 변환처리하고, 그 결과 얻어지는 구동신호에 의해 표시부(12)의 각 신호선을 구동한다. 이것에 의해 수평구동회로(150 및 15E)는, 각각 표시부(12)의 홀수열 및 짝수열의 신호선을 구동하고, 수직구동회로(13)에서 선택된 각 화소를 계조데이터(Dod 및 Dev)에 따른 계조에 설정한다.
- [0051] 타이밍 제너레이터(14)는, 이 액정표시장치(11)의 상위 장치로부터 공급되는 각종 기준신호에 의해, 이 액정표시장치(11)의 동작에 필요한 각종 타이밍신호를 생성하여 출력한다. 직렬병렬 변환회로(16)는, 이 액정표시장치(11)의 상위 장치로부터 출력되는 계조데이터(D1)를 홀수열 및 짝수열의 계조데이터(Dod 및 Dev)에 분리하여 출력한다. 여기서, 계조데이터(D1)는, 각 화소의 계조를 도시한 데이터이며, 표시부(12) 화소의 배열에 대응하는 적색, 청색, 녹색의 색데이터 래스터주사순의 연속에 의한 비디오 데이터에 의해 형성되도록 이루어져 있다.
- [0052] 도 9는, 이 직렬병렬 변환회로(16)를 관련하는 구성을 함께 도시한 블록도이다. 이 직렬병렬 변환회로(16)는, 0~3[V]에 의한 계조데이터(D1)의 진폭을 레벨시프터(21)에 의해 0~6[V]의 진폭으로 변환한 후, 래치회로(22, 23)에 의해 교대로 래치하여 홀수열 및 짝수열의 계조데이터(Dod 및 Dev)로 분리하고, 다운컨버터(24, 25)에 의해 원래의 진폭으로 되돌려 출력한다. 이것에 의해 직렬병렬 변환회로(16)는, 레벨시프터(21)에 의한 레벨시프트에 의해 계조데이터(D1)의 진폭을 확대하여 처리하고, 고전송레이트에 의해 계조데이터(D1)를 확실하게 2계통의 계조데이터로 분리하도록 이루어져 있다.
- [0053] 이 계조데이터(D1)에 관계되는 처리에 있어서, 직렬병렬 변환회로(16)는, 레벨시프터(21)의 출력단에 OR회로(27)가 설치되며, 이 OR회로(27)에 의해 계조데이터(D1)의 수평블랭킹 기간에서, 계조데이터(D1)에 더미데이터(DD)가 사이에 삽입된다. 이것에 의해 이 액정표시장치(11)에서는, 계조데이터(D1)가 장시간 L레벨로 유지됨으로써 지연시간변화를 방지하고, 계속하여 래치회로(22, 23)에 있어서, 바르게 계조데이터(D1)를 래치할 수 있도록 이루어져 있다. 또한 이 액정표시장치(11)에서는, 레벨시프터(21)에서 발생하는 지연시간변화만으로는, 잘못하여 계조데이터(D1)를 래치하지 않음으로써, 이와 같이 레벨시프터(21)의 출력단에 있어서, 더미데이터(DD)를 사이에 삽입하도록 이루어져 있다.
- [0054] 이 때문에 타이밍 제너레이터(TG)(14)에 있어서는, 각 수평블랭킹 기간동안 신호레벨이 상승하는 리셋 펄스(HDrst)를 출력하여 OR회로(27)에 공급하도록 이루어져 있다.
- [0055] 도 10은, 래치회로(22)를 도시한 접속도이다. 래치회로(22 및 23)에 있어서는, 래치 타이밍을 제어하는 샘플



링펄스(sp 및 xsp)가 각각 타이밍 제너레이터(14)로부터 공급되는 점을 제외하고 동일하게 구성됨으로써, 이하에 있어서는, 래치회로(22)에 대해서만 구성을 설명하고, 래치회로(23)에 대해서는 설명을 생략한다. 또 리셋펄스(rst)에 관계되는 처리에 대해서는 기재를 생략하여 나타낸다.

[0056] 이 래치회로(22)에 있어서는, 샘플링펄스(sp)를 인버터(31)에 입력하고, 이 샘플링펄스(sp)의 반전신호를 생성한다. 래치회로(22)는, 이 샘플링펄스(sp)에 의해 온 상태로 전환하는 P채널 MOS트랜지스터(Q1), 인버터(31)에 의해 출력되는 래치 펄스(sp)의 반전신호에 의해 온 상태로 전환하는 N채널 MOS트랜지스터(Q2)에 의해 각각 +측 및 -측 전원(VDD 및 VSS)에 접속되어 이루는 인버터(32)에 계조데이터(D1)가 입력된다. 또 각각 샘플링펄스(sp)의 반전신호에 의해 온 상태로 전환하는 P채널 MOS트랜지스터(Q3), 샘플링펄스(sp)에 의해 온 상태로 전환하는 N채널 MOS트랜지스터(Q4)에 의해 +측 및 -측 전원(VDD 및 VSS)에 접속되어 이루는 인버터(33)의 출력과, 인버터(32)의 출력이 접속되며, 이들 인버터(33, 32)의 출력이, 인버터(33)와 입력을 공통으로 접속하여 이루는 인버터(34)에 접속된다. 이것에 의해 래치회로(22)는, 래치셀을 구성하고, 샘플링펄스(sp)에 의해 계조데이터(D1)를 래치하도록 이루어져 있다.

[0057] 또 래치회로(22)에 있어서는, 각각 샘플링펄스(sp)의 반전신호에 의해 온 상태로 전환하는 P채널 MOS트랜지스터(Q5), 샘플링펄스(sp)에 의해 온 상태로 전환하는 N채널 MOS트랜지스터(Q6)에 의해 +측 및 -측 전원(VDD 및 VSS)에 접속되어 이루는 인버터(35)에 인버터(34)의 출력이 공급된다. 또 샘플링펄스(sp)에 의해 온 상태로 전환하는 P채널 MOS트랜지스터(Q7), 샘플링펄스(sp)의 반전신호에 의해 온 상태로 전환하는 N채널 MOS트랜지스터(Q8)에 의해 각각 +측 및 -측 전원(VDD 및 VSS)에 접속되어 이루는 인버터(36)의 출력과, 인버터(35)의 출력이 접속되며, 이들 인버터(35, 36)의 출력이, 인버터(36)와 입력을 공통으로 접속하여 이루는 인버터(37)의 출력에 접속된다. 래치회로(22)는, 이 인버터(37)의 출력이 버퍼(38)를 거쳐서 출력된다. 이것에 의해 래치회로(22)는, 계조데이터(D1)를 각각 홀수열 및 짝수열에 의해 분리하여 이루는 진폭 0~6[V]의 계조데이터(Dod 및 Dev1)를 출력하도록 이루어져 있다.

[0058] 도 11은, 다운컨버터(24)를 도시한 접속도이다. 다운컨버터(24, 25)는, 처리대상 데이터가 다른 점을 제외하고 동일하게 구성됨으로써, 이하에서는, 다운컨버터(24)에 대해서만 구성을 설명하고, 다운컨버터(25)에 대해서는 설명을 생략한다.

[0059] 이 컨버터(24)는, 6[V]의 양측전원(VDD2) 및 0[V]의 음측전원(VSS)에 의해 동작하는 인버터(41), 이 인버터(41)의 음측레벨을 -3[V]로 하강하는 레벨시프터(42), 6[V]의 양측전원(VDD2) 및 -3[V]의 음측전원(VSS2)에 의해 동작하고 이 레벨시프터(42)의 출력을 버퍼링하여 출력하는 인버터(43 및 44)의 직렬회로, 3[V]의 양측전원(VDD1) 및 0[V]의 음측전원(VSS)에 의해 동작하고 인버터(44) 출력의 반전신호를 출력하는 인버터(45)에 의해 구성되며, 이들에 의해 홀수열 및 짝수열의 계조데이터(Dod 및 Dev)를 원래 진폭에 의해 출력한다.

[0060] 구체적으로, 레벨시프터(42)는, P채널 MOS트랜지스터(Q11), N채널 MOS트랜지스터(Q12)의 직렬회로, P채널 MOS트랜지스터(Q13), N채널 MOS트랜지스터(Q14)의 직렬회로가 각각 6[V]의 양측전원(VDD2), -3[V]의 음측전원(VSS2)에 접속되고, P채널 MOS트랜지스터(Q11 및 Q13)의 드레인 출력이 각각 N채널 MOS트랜지스터(Q14 및 Q12)의 게이트에 접속된다. 또 인버터(41)의 출력이, 직접 P채널 MOS트랜지스터(Q11)에 입력되며, 또 인버터(47)를 거쳐서 다른 쪽의 P채널 MOS트랜지스터(Q13)에 입력된다. 레벨시프터(42)는, P채널 MOS트랜지스터(Q13)의 드레인 출력이 버퍼(48)를 거쳐서 출력하고, 이것에 의해 계조데이터(Dod 및 Dev)를 레벨시프트시켜서 출력하도록 이루어져 있다.

[0061] (3) 실시예 1의 동작

[0062] 이상의 구성에 있어서, 이 액정표시장치(11)에서는(도 8), 래스터주사순으로 입력되는 계조데이터(D1)가, 직렬병렬 변환회로(16)에 의해 짝수열 및 홀수열의 계조데이터(Dod 및 Dev)로 분리되며, 이 짝수열 및 홀수열의 계조데이터(Dod 및 Dev)에 의해 수평구동회로(150 및 15E)에서 각각 표시부(12)의 짝수열 및 홀수열의 신호선이 구동된다. 또 이 계조데이터(D1)에 대응하는 타이밍신호에 의해 수직구동회로(13)에서 표시부(12)의 게이트선을 구동함으로써, 이와 같이 하여 수평구동회로(150 및 15E)에서 신호선이 구동되어 이루는 표시부(12)의 화소가 라인단위에서 순차선택되며, 이들에 의해 배선패턴을 효율 좋게 레이아웃하여 고정세로 화소를 배치하여 이루는 표시부(12)에 계조데이터(D1)에 의해 화소가 표시된다.

[0063] 액정표시장치(11)에 있어서는, 이 계조데이터(D1)를 2계통의 계조데이터(Dod 및 Dev)로 분리될 때에(도 9), 레벨시프터(21)에 의해 계조데이터(D1)의 진폭이 확대되고 2계통의 데이터로 분리되며, 이것에 의해 표시부(12)의 해상도에 대응한 고전송레이트에 의한 계조데이터(D1)가 확실하게 2계통의 계조데이터(Dod 및 Dev)로 분리된다.

- [0064] 이 처리에 있어서, 이 액정표시장치(11)에서는 래치회로(22, 23)에서 교대로 계조데이터(D1)를 래치하여 2계통의 계조데이터(Dod 및 Dev)로 분리함으로써, 또 이 직렬병렬 변환회로(16)를 포함하는 구동회로가 표시부(12)의 절연기판인 유리기판상에 일체로 형성되며, 저온 폴리실리콘에 의해 작성됨으로써, 계조데이터의 각 비트가 장시간 L레벨로 유지되면, 계속하여 논리레벨의 상승 후 하강으로 지연시간이 크게 되며, 이것에 의해 래치회로(22, 23)에서 바르게 계조데이터(D1)를 래치할 수 없게 된다. 또 이와 같은 논리레벨의 상승에 있어서는, 이것과는 반대로, 지연시간이 짧게 되며, 이 경우도, 조건에 의해서는 래치회로(22, 23)에서 바르게 계조데이터(D1)를 래치할 수 없게 된다.
- [0065] 이 때문에 이 실시예에서는, 레벨시프터(21)의 출력단에 설치된 OR회로(27)에 의해, 이와 같이 일정주기로, 일정기간동안, 일정 논리레벨로 유지되는 휴지기간을 가지는 입력데이터인 계조데이터에 있어서, 이 휴지기간인 수평블랭킹 기간동안 소정의 타이밍에서, 이 일정논리레벨과는 반대의 논리레벨에 의한 더미데이터(DD)가 계조데이터(D1) 사이에 끼워진다(도 5 및 도 6).
- [0066] 그 결과, 이 액정표시장치(11)에서는, 아무런 더미데이터(DD)를 사이에 끼우지 않은 경우에 비하여, 수평블랭킹 기간에 계속하여 논리레벨의 상승에 있어서, 지연시간변화를 해소할 수 있고, 다른 듀티비 50[%]에 의해 논리레벨이 반전하고 있는 기간과 동일 지연시간을 확보할 수 있다. 이것에 의해 이 실시예에서는, TFT등에 의한 논리회로에 있어서 지연시간변화를 유효하게 회피할 수 있다. 또 비디오 데이터의 데이터 처리회로인 액정표시장치에 있어서, 이와 같은 지연시간변화에 의한 잘못된 계조에 의한 표시를 유효하게 회피할 수 있다.
- [0067] 즉 이것에 의해 액정표시장치(11)에서는, 수직블랭킹에 계속하여 논리레벨의 상승에 관하여, 래치회로(22, 23)에 입력하는 계조데이터(D1)의 전환에 관계되는 지연시간변화를 보정할 수 있고, 이것에 의해 래치회로(22, 23)에 있어서, 유효영상기간에 있어서의 경우와 동일 타이밍에 의해 계조데이터(D1)를 샘플링하여 2계통의 계조데이터(Dod 및 Dev)에 바르게 분리할 수 있다. 따라서 수직블랭킹 기간(VBL)의 상승에 대응하는 화소를 바른 계조에 의해 표시할 수 있다. 또 흑레벨이 수라인 연속하여 백레벨에 상승하도록 하는 경우, 또한 복수비트의 특정비트가 수라인연속하여 L레벨에 유지되어 상승하도록 하는 경우에도, 바르게 입력데이터(D1)를 래치할 수 있고, 이것에 의해 액정표시장치에 적용하여 각 화소의 계조를 바르게 표시할 수 있다.
- [0068] 또한 이와 같은 지연시간에 관계되는 보정에 있어서는, 수평구동회로(15D 및 15E)에 있어서의 래치처리에 있어서도, 각 래치처리에 있어서의 시간축방향의 마진을 확대할 수 있고, 이것에 의해서도 이 액정표시장치(11)에서는, 안정하게 동작하여 소망하는 화상을 확실하게 표시할 수 있도록 이루어져 있다.
- [0069] (4) 실시예 1의 효과
- [0070] 이상의 구성에 의하면, 입력데이터인 계조데이터(D1)에 더미데이터(DD)를 사이에 끼워 계조데이터(D1)의 논리레벨을 강제적으로 전환함으로써, TFT에 의한 논리회로에 있어서 지연시간변화를 유효하게 회피할 수 있다. 이것에 의해 비디오 데이터처리에 적용하여 비디오 데이터를 바르게 처리할 수 있고, 액정표시장치에 있어서는, 바른 계조에 의해 소망하는 화상을 표시할 수 있다.
- [0071] 또 비디오 데이터인 계조데이터의 처리에 있어서, 수평블랭킹 기간에서 더미데이터(DD)를 사이에 삽입으로써, 수직블랭킹 기간 직후에 있어서의 논리레벨의 상승, 수라인기간동안, 논리레벨이 하강한 직후의 논리레벨 상승 등에 있어서, 지연시간변화를 보정하여 바르게 비디오 데이터를 처리할 수 있다.
- [0072] (5) 실시예 2
- [0073] 그런데 상술의 실시예 1에 있어서는, 휴지기간에 더미데이터를 사이에 삽입하면, TFT등의 논리회로에 있어서의 지연시간변화를 방지할 수 있다는 지견(知見)에 의거하여, 수평블랭킹 기간에 더미데이터를 사이에 삽입하여, 수평블랭킹 기간에 계속하여 논리레벨의 하강에 관계되는 지연시간의 확대를 방지하도록 한 것이다.
- [0074] 이것에 있어서 상술의 지연시간 보정원리에서 서술한 바와 같이, TFT의 논리회로에 있어서의 논리레벨의 상승에 있어서는, 이와 같은 논리레벨의 하강과는 반대로, 직전에, 일정기간, 입력데이터의 논리레벨이 일정값으로 유지되면 지연시간이 감소하고, 휴지기간에 더미데이터를 사이에 삽입하는 구성에 있어서는, 이와 같은 지연시간의 감소에 관계되는 지연시간변동에 대해서만 방지할 수 있다.
- [0075] 이들 인식에 의거하여 실시예 1에 관계되는 구성에 의한 효과를 다시 검토하기 위해, 도 9의 구성에 있어서 리셋펄스(HDrst)의 공급을 중지함으로써 더미데이터의 사이에 끼우는 것을 중지하고, 흑색으로 가장자리를 꾸며 정사각형 형상에 의해 백색을 표시한 바, 도 12에 있어서 화살표(A)에 의해 도시한 바와 같이, 이 정사각형 형

상에 의한 백색영역이 주사개시단측에서 수평방향으로 1화소만큼 뛰어 표시된다.

- [0076] 또 이 상태에서 샘플링펄스(sp)를 트리거하여 OR회로(27)의 출력데이터(D27)를 상세하게 파형 관측한 바, 이 수평방향으로 1화소만큼, 뛰어서 이루는 개소에서는, 논리레벨의 상승타이밍이 진행하고, 이것에 의해 종래, 논리레벨이 L레벨에 의해 래치되도록 직전화소가, 계속하여 화소의 논리(H)레벨에 의해 래치되어 있는 것을 알 수 있었다.
- [0077] 그리하여 이 때문에, 입력데이터(D1)를 전환하여 파형 관측한 바, 도 13에 도시한 바와 같이, 장기간, 입력데이터의 논리레벨이 일정값으로 유지된 경우, 계속하여 화소(j+1)에 대응하는 논리레벨의 상승에 있어서는, 그 상승 타이밍만이 진행하고, 하강 타이밍에 있어서는, 아무런 변화가 없는 것이 확인되었다(도 13b1~도 13c2). 또한 이 도 13에 있어서, 부호(2sp)는(도 13a), 래치(22, 23)에 입력되는 래치펄스(sp, xsp)의 2배의 주기에 의한 이들 래치펄스(sp, xsp)의 생성기준신호이다.
- [0078] 이들에 의해 도 9에 도시한 구성에 있어서는, 휴지기간에 더미데이터를 사이에 삽입하여 TFT의 논리회로에 있어서의 지연시간변화를 방지하는 구성이기는 하지만, 이 지연시간변화가 논리레벨의 하강에 관계되는 지연시간의 증대에 의한 것이 아니라, 논리레벨의 상승에 관계되는 지연시간의 감소에 의한 것임을 알 수 있었다.
- [0079] 이것에 의해 이 실시예에 의하면, 지연시간 보정원리에서 서술한 바와 같이, 논리레벨의 상승에 관계되는 지연시간의 감소에 의한 지연시간변화에 대해서도, 확실히 방지할 수 있는 것을 확인할 수 있었다.
- [0080] (6) 기타 실시예
- [0081] 또한 상술의 실시예에 있어서는, 레벨시프터의 출력단에서 더미데이터를 사이에 끼우는 경우에 있어서 서술했지만, 본 발명은 이것에 한하지 않고, 또한 고속도로 게조데이터를 처리하는 경우에, 레벨시프터에 있어서의 지연시간변화까지 문제로 되는 경우에는, 레벨시프터의 입력측에서 더미데이터를 사이에 삽입하도록 해도 좋다.
- [0082] 또 상술의 실시예에 있어서는, 수평블랭킹 기간에 더미펄스를 사이에 끼우는 경우에 있어서 서술했지만, 본 발명은 이것에 한정되지 않으며, 필요에 따라 수직블랭킹 기간 사이에 삽입하도록 해도 좋다.
- [0083] 또 상술의 실시예에 있어서는, 본 발명을 액정표시장치에 적용하여 게조데이터처리에 있어서 지연시간을 보정하는 경우에 있어서 서술했지만, 본 발명은 이것에 한하지 않고, 여러 가지 비디오 데이터의 처리회로에 널리 적용할 수 있다.
- [0084] 또 상술의 실시예에 있어서는, 본 발명을 비디오 데이터의 처리회로에 적용한 경우에 있어서 서술했지만, 본 발명은 이것에 한하지 않고, 여러 가지 데이터 처리회로에 있어서, 지연시간을 보정하는 경우에 널리 적용할 수 있다.
- [0085] 또 상술의 실시예에 있어서는, 저온폴리실리콘에 의한 능동소자에 의한 액정표시장치에 본 발명을 적용하는 경우에 있어서 서술했지만, 본 발명은 이것에 한하지 않고, 고온폴리실리콘에 의한 능동소자에 의한 액정표시장치, CGS(Continuous Grain Silicon)에 의한 능동소자에 의한 액정표시장치등, 각 종의 액정표시장치, 또한 EL(Electro Luminescence)표시장치등, 여러 가지 평면 디스플레이장치, 또한 여러 가지 논리회로에 널리 적용할 수 있다.

### 산업상 이용 가능성

- [0086] 본 발명은, 예를 들면 절연기관상에 구동회로를 일체로 형성한 액정표시장치에 적용할 수 있다.

### 도면의 간단한 설명

- [0018] 도 1은, 지연시간변화의 설명에 제공하는 블록도이다.
- [0019] 도 2는, 지연시간변화의 설명에 제공하는 타이밍차트이다.
- [0020] 도 3은, 수직블랭킹기간과 지연시간과의 관계를 도시한 타이밍차트이다.
- [0021] 도 4는, 본 발명에 관계되는 지연시간의 보정원리의 설명에 제공하는 블록도이다.
- [0022] 도 5는, 도 4에 관계되는 보정원리의 설명에 제공하는 타이밍차트이다.
- [0023] 도 6은, 수직블랭킹기간과 지연시간과의 관계를 도시한 타이밍차트이다.



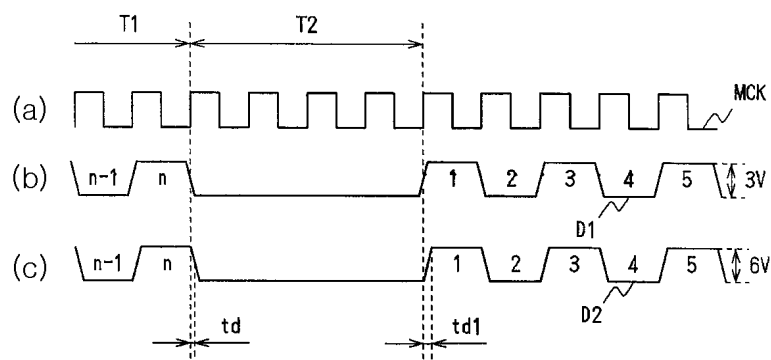
- |        |  |                |
|--------|--|----------------|
| [0024] | 도 7은, 지연시간이 감소하는 경우에 있어서, 지연시간변화의 설명에 제공하는 타이밍차트이다.    |                |
| [0025] | 도 8은, 본 발명의 실시예 1에 관계되는 액정표시장치를 도시한 블록도이다.             |                |
| [0026] | 도 9는, 도 8의 액정표시장치에 있어서의 직렬병렬 변환회로를 주변구성과 함께 도시한 블록도이다. |                |
| [0027] | 도 10은, 도 9의 직렬병렬 변환회로에 있어서의 래치회로를 도시한 접속도이다.           |                |
| [0028] | 도 11은, 도 9의 직렬병렬 변환회로에 있어서의 다운컨버터를 도시한 접속도이다.          |                |
| [0029] | 도 12는, 실시예 2에 관계되는 지연시간변화의 설명에 제공하는 약선도이다.             |                |
| [0030] | 도 13은, 도 12의 지연시간변화의 설명에 제공하는 타이밍차트이다.                 |                |
| [0031] | *부호의 설명  |                |
| [0032] | 1, 21, 42. 레벨시프터                                       | 4, 27. OR회로    |
| [0033] | 11. 액정표시장치   | 12. 표시부        |
| [0034] | 13. 수직구동회로   | 14. 타이밍 제너레이터  |
| [0035] | 150, 15E. 수평구동회로                                       | 16. 직렬병렬 변환회로  |
| [0036] | 22, 23. 래치회로   | 24, 25. 다운 컨버터 |
| [0037] | 31~37, 41, 43~47. 인버터                                  | 38, 48. 버퍼     |
| [0038] | Q1~Q14. 트랜지스터  |                |

도면

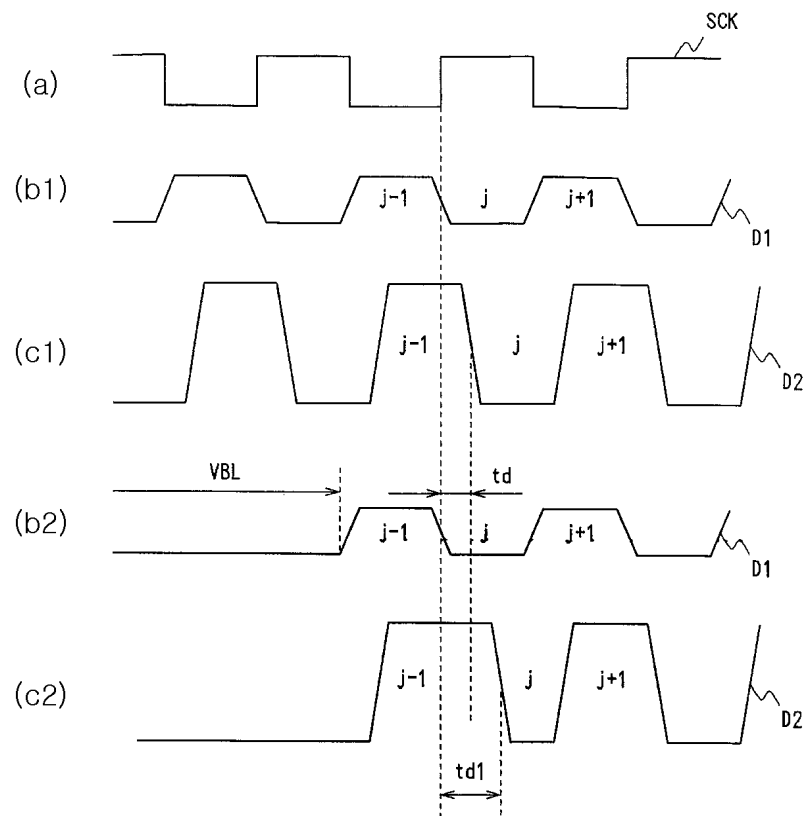
도면1



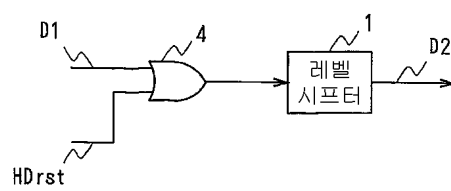
도면2



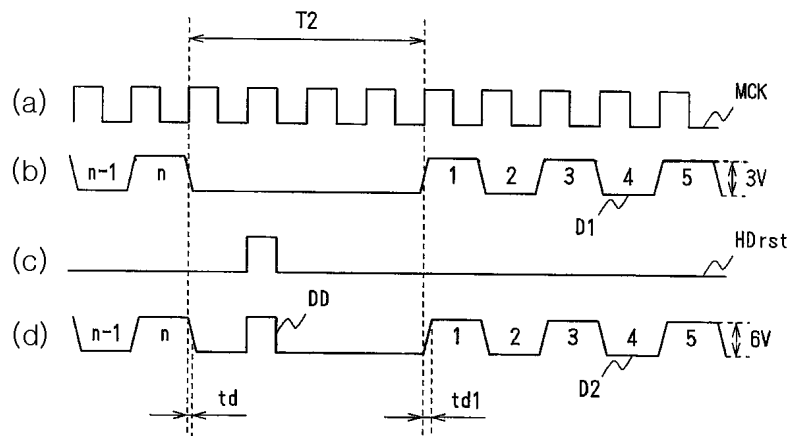
도면3



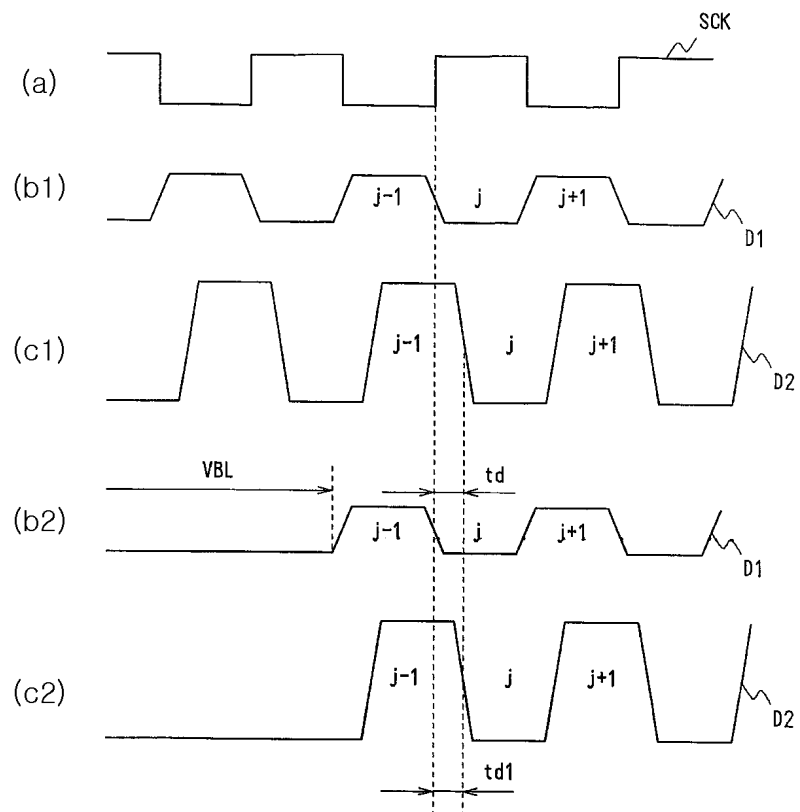
도면4



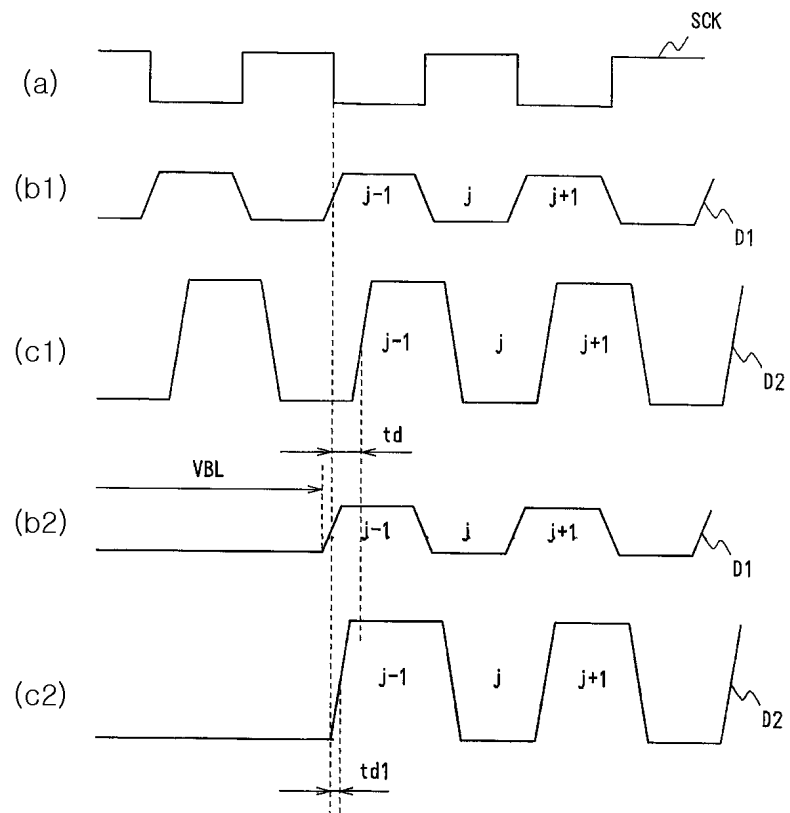
도면5



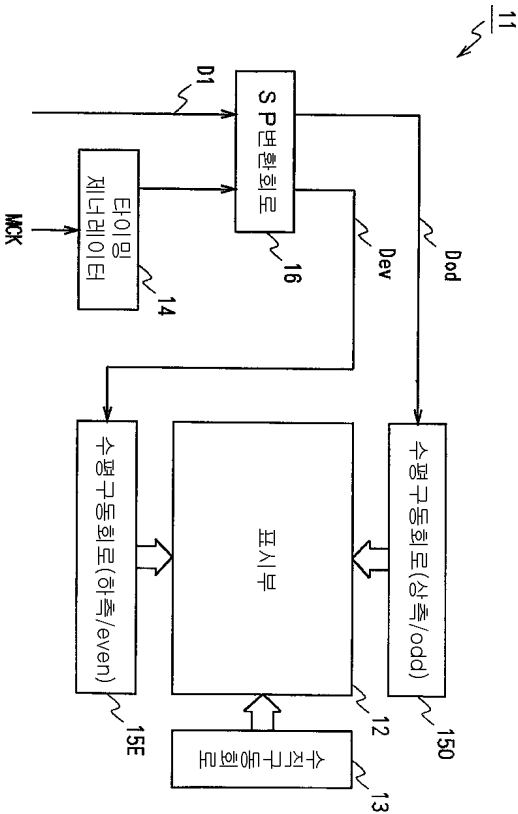
도면6



도면7

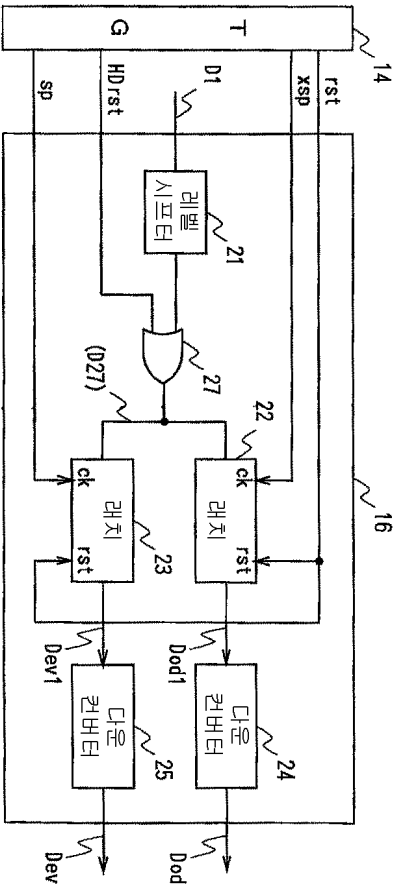


도면8

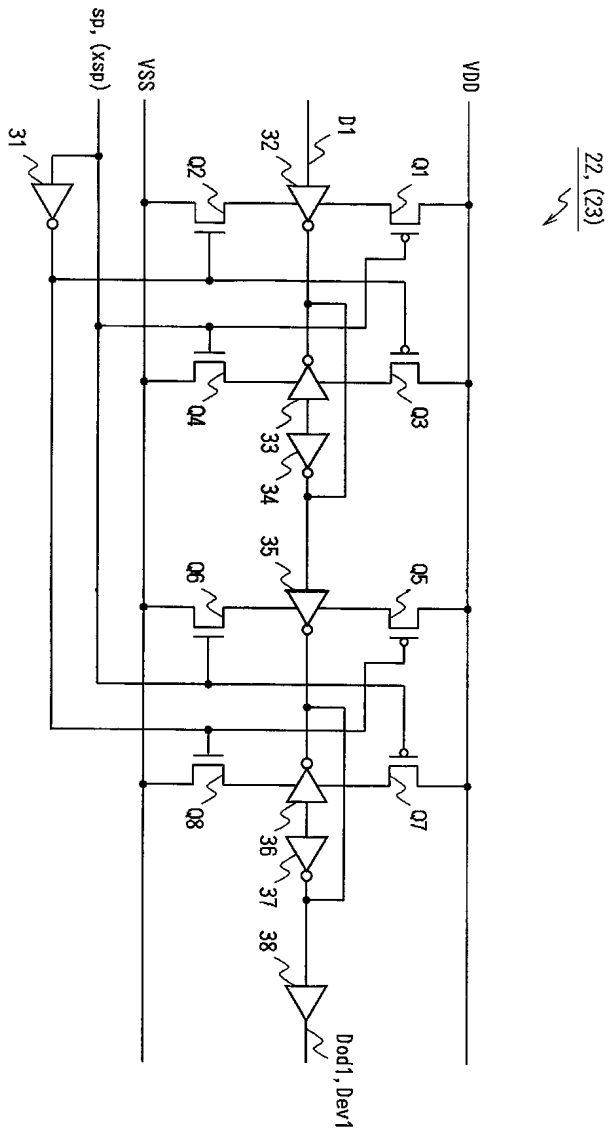




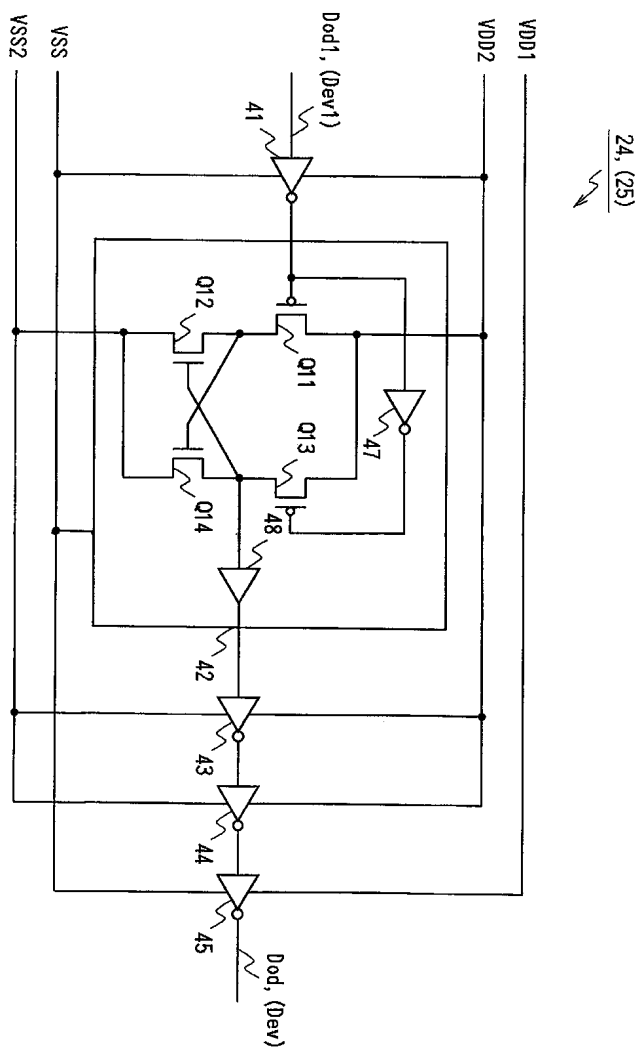
도면9



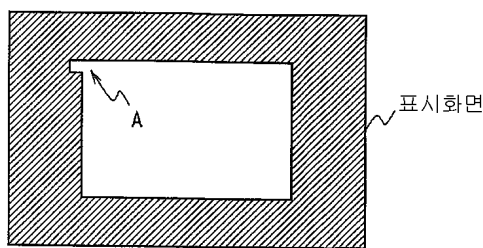
도면10



도면11



도면12



도면13

