



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 773793

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 02.11.77 (21) 2540035/26-25

с присоединением заявки № -

(23) Приоритет -

Опубликовано 23.10.80, Бюллетень № 39

Дата опубликования описания 25.10.80

(51) М. Кл.³

H 01 L 21/82

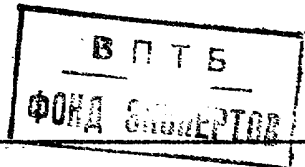
(53) УДК 621.382
(088.8)

(72) Авторы
изобретения

Ю. В. Кружанов, В. П. Дубинин, В. С. Овчинников
и В. Э. Сафронов

(71) Заявитель

-



(54) СПОСОБ ИЗГОТОВЛЕНИЯ ПОЛУПРОВОДНИКОВЫХ
ИНТЕГРАЛЬНЫХ БИПОЛЯРНЫХ СХЕМ

1

Изобретение относится к микро-электронике, конкретно к способам изготовления полупроводниковых интегральных схем (ИС) и может быть использовано для изготовления различных твердотельных цифровых и логических устройств на основе биполярных транзисторов.

Известен способ изготовления полупроводниковой интегральной биполярной схемы по планарно-эпитаксиальной технологии с использованием скрытого коллекторного слоя и метода двойной диффузии для создания базового и эмиттерного слоев [1].

По этому способу изготавливают устройства, в которых изоляция отдельных транзисторов в интегральной схеме осуществляется с помощью специально созданного р-п перехода. Для этого в эпитаксиальную структуру со скрытым слоем, состоящую из полупроводниковой подложки р-типа проводимости и эпитаксиальной пленки п-типа проводимости проводят разделительную диффузию. При этом в эпитаксиальную пленку загоняют акцепторную примесь, которая при разгонке образует области р-типа проводимости, смыкающиеся с

2

подложкой. Указанные области выделяют в эпитаксиальном слое отдельные изолированные друг от друга "карманы", в которых формируют транзисторы и другие элементы схемы.

Недостатками указанного способа являются его большая трудоемкость и низкая интеграция изготовленных по нему схем. Последнее обусловлено тем, что большая часть площади ИС занята областью разделительной диффузии, которая служит только для изоляции и не несет более никакого функционального назначения.

Наиболее близким по технической сущности к предлагаемому является способ изготовления полупроводниковых интегральных биполярных схем, включающий и формирование в приповерхностном слое полупроводниковой подложки р-типа проводимости скрытого слоя п-типа проводимости, выращивание эпитаксиального слоя р-типа проводимости, формирование в эпитаксиальном слое областей п-типа, создание областей р⁺-типа и п⁺-типа и формирование слоя металлической разводки [2].

Известный способ является достаточно трудоемким. Кроме того, степень интеграции схем, получаемых по данному способу, недостаточно велика.

Цель изобретения - увеличение степени интеграции интегральных схем.

Поставленная цель достигается тем, что при создании областей p^+ - и n^+ - типа посредством ионного легирования, используют один маскирующий слой, первой производят загонку примеси с наибольшей концентрацией в изготавливаемой конструкции, разгонку легирующих примесей в этих областях производят в инертной среде, а окна, вскрытые для формирования указанных областей, оставляют открытыми вплоть до создания слоя металлической разводки.

В предлагаемом способе изготовления интегральной схемы после выращивания на эпитаксиальной структуре первого маскирующего окисла последняя не подвергается более термическим операциям в окислительной атмосфере. При таком процессе толщина окисла оказывается одинаковой на всей структуре и, следовательно, становится возможным применение для разводки металлических слоев меньшей ширины и меньшей толщины, так как на плоской поверхности вероятность разрыва тонких металлических проводников резко уменьшается. Уменьшение ширины проводников металлической разводки приводит к значительному уменьшению площади, занимаемой схемой на кристалле. Уменьшение толщины металлической разводки также приводит к уменьшению этой площади, так как при этом удается уменьшить промежутки между соседними металлическими проводниками.

Другой особенностью процесса является то, что при отсутствии операций окисления окна, вскрытые для формирования областей n^+ и p^+ , остаются открытыми вплоть до нанесения металлической разводки. Это дополнительно позволяет уменьшить число технологических операций, в частности, становится ненужной операция вскрытия контактных окон. При этом также достигается увеличение интеграции схемы при сохранении минимальных размеров элементов. Это увеличение интеграции обусловлено тем, что в таком технологическом процессе обе области n^+ и p^+ могут быть сделаны минимальными, т.е. их размеры ограничены только возможностями применяемого оборудования. В обычном процессе эти размеры не могут быть сделаны такими малыми, так как они должны быть больше чем размеры контактных окон к ним.

Согласно предлагаемому способу операции загонки при формировании областей n^+ и p^+ производят посредством ионного легирования.

После загонки примеси в первые области, например в области n^+ , в том же окисле вскрывают окна для загонки примеси во вторые области, например области p^+ . При загонке примеси во вторые области открыты окна, вскрытые как для загонки в первые, так и для загонки во вторые области, и примесь попадает в те и другие области. Это накладывает требование на последовательность операций загонки. Первой должна производиться загонка той примеси, концентрация которой в изготавливаемой конструкции должна быть больше. В этом случае вторая загонка не изменяет тип проводимости в первых областях. Если, например, конструкция такова, что концентрация в областях n^+ должна быть больше, чем концентрация в областях p^+ , то первой из двух указанных операций загонки должна производиться загонка донорной примеси в области n^+ .

Разгонку акцепторной и донорной примесей в областях n^+ и p^+ производят в инертной среде. Это предохраняет окна, необходимые для контакта активных областей с металлической разводкой, от окисления и избавляет от необходимости проведения операции вскрытия контактных окон. Для уменьшения числа технологических операций разгонку акцепторной и донорной примесей производят одновременно. Если конструкция такова, что к распределению примесей в областях n^+ и p^+ предъявляются требования, которые не могут быть удовлетворены при одновременной разгонке, приходится проводить разгонку акцепторной и донорной примесей раздельно, при этом обе разгонки проводятся в инертной среде.

Пример. Изготавливают ИС, содержащую КИД-транзисторы. На кремниевой подложке КДБ-10 с помощью операций 1-ой фотолитографии и диффузии сурьмы формируют области скрытого слоя n -типа проводимости. Затем методом хлоридной эпитаксии выращивают монокристаллический слой кремния p -типа проводимости толщиной 2 мкм с удельным сопротивлением 0,5 Ом.см. Затем в локальные участки поверхности, выделенные с помощью 2-ой фотолитографии проводят ионную загонку фосфора. Энергия ионов при загонке составляет 40 кэВ, а внедренная доза равняется 7 мкк/см². В качестве маскирующего покрытия при ионном внедрении используют фоторезист. После снятия фоторезиста проводят разгонку фосфора с одновременным окислением поверхности. Разгонку проводят в сухом кислороде 60 мин, затем во влажном кислороде 20 мин и вновь в сухом кислороде 40 мин. Температура при разгонке составляет 1150°С. При этом

на поверхности структуры вырастает окисел толщиной $\sim 0,4$ мкм. Этот окисел является маскирующим окислом при последующих операциях загонки. В нем с помощью 3-й фотолитографии вскрывают окна, через которые методом ионного легирования внедряют однозарядные ионы фосфора с энергией 40 кеВ. Внедренная доза составляет 700 мкк/см². Затем в том же окисле с помощью 4-ой фотолитографии вскрывают окна для загонки бора и производят загонку однозарядных ионов бора с энергией 40 кеВ и дозой 70 мкк/см². Разгонку и отжиг внедренных примесей проводят в азоте при температуре 1000°С в течение 30 мин. После этого напыляют слой алюминия толщиной 1 мкм и с помощью 5-ой фотолитографии проводят формирование разводки.

Использование способа позволяет изготовить биполярную схему постоянного запоминающего устройства с ионно-формационной емкостью 64К. Устройство во занимает на кристалле менее 30 мм² и содержит более 80 тыс. транзисторов, т.е. на каждом квадратном миллиметре расположено в среднем около 2700 транзисторов. Такая интеграция на биполярных схемах достигнута впервые.

Применение способа позволяет также значительно уменьшить число технологических операций при изготовлении схемы. По сравнению с наименее трудоемким способом изготовления биполярных схем - способом коллекторно-изолирующей диффузии, предлагаемый способ содержит меньше операций фотолитографии, меньше операций диффузии, меньше операций окисления. Это приводит к уменьшению количества и других вспомогательных операций, таких как операции отмывки перед тер-

мическими процессами, операции снятия примесно-силикатных стекол, операции контроля и пр.

Формула изобретения

5. Способ изготовления полупроводниковых интегральных биполярных схем, включающий формирование в приповерхностном слое полупроводниковой подложки р-типа проводимости скрытого слоя п-типа проводимости, выращивание эпитаксиального слоя р-типа проводимости, формирование в эпитаксиальном слое областей п-типа, создание областей р⁺-типа и п⁺-типа, формирование слоя металлической разводки, о т л и ч а ю щ и й с я тем, что, с целью увеличения степени интеграции интегральных схем, при создании областей р⁺-типа и п⁺-типа посредством ионного легирования, используют один маскирующий слой окисла, в котором вскрывают окна для формирования указанных областей, затем производят загонку примеси с наибольшей концентрацией в изготавливаемой конструкции, после чего загоняют примесь второго типа проводимости, причем разгонку легирующих примесей в этих областях производят в инертной среде, а окна, вскрытые для формирования указанных областей, оставляют открытыми вплоть до создания слоя металлической разводки.

35. Источники информации, принятые во внимание при экспертизе

1. Патент США № 3260902, кл. 317-235, опублик. 1966.

2. Патент США № 3575741,

40 кл. 317-235, опублик. 1972 (прототип).

Составитель Е. Чудова

Редактор Т. Кугрышева Техред И. Асталов Корректор М. Коста
Заказ 7521/72 Тираж 844 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ППП "Патент", г. Ужгород, ул. Проектная, 4