



(12) 发明专利

(10) 授权公告号 CN 103247708 B

(45) 授权公告日 2015. 11. 18

(21) 申请号 201310050035. 1

(22) 申请日 2013. 02. 08

(30) 优先权数据

2012-026150 2012. 02. 09 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 笹畑圭史 石村荣太郎

(74) 专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 何立波 张天舒

(51) Int. Cl.

H01L 31/0735(2012. 01)

(56) 对比文件

CN 101521544 A, 2009. 09. 02, 全文.

CN 102280516 A, 2011. 12. 14, 说明书第 2 页第 0015 段 - 第 4 页第 0038 段及图 1-5.

Gan Feng 等. III-V Semiconductor InGaAsBi Alloy Grown by Molecular Beam

Epitaxy. 《Japanese Journal of Applied Physics》. 2005, 第 44 卷 (第 37 期), 第 1161 页第 1 段 - 第 1163 页第 2 段.

Gan Feng 等. Temperature dependence of Bi Behavior in MBE growth of InGaAsBi/InP. 《Journal of Crystal Growth》. 2007, 全文.

审查员 卢青

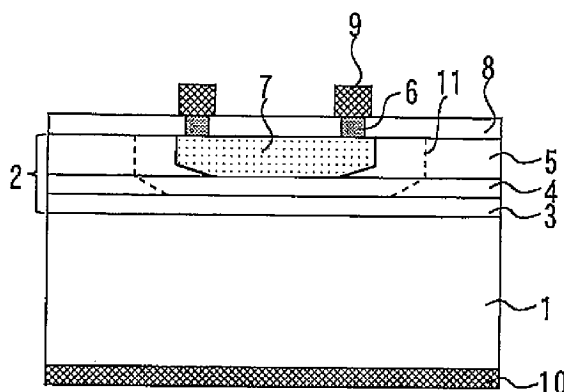
权利要求书 1 页 说明书 6 页 附图 12 页

(54) 发明名称

半导体感光元件

(57) 摘要

本发明得到一种温度依赖性小、不需要在原子层等级的膜厚控制等并且灵敏度高的半导体感光元件。在 n 型 InP 衬底 (1) 上设置有至少具有光吸收层 (4) 的半导体层叠构造 (2)。光吸收层 (4) 由与 n 型 InP 衬底 (1) 晶格匹配的 InGaAsBi 层构成。由于 InGaAsBi 的带隙小, 所以得到高的感光灵敏度。此外, 由于 InGaAsBi 的带隙相对于温度变化为固定, 所以感光灵敏度的温度依赖性变小。此外, 由于光吸收层 (4) 由与 n 型 InP 衬底 (1) 晶格匹配的 InGaAsBi 层构成, 所以不需要在原子层等级的膜厚控制等。



1. 一种半导体感光元件,其特征在于,具备:
InP 衬底;以及
半导体层叠构造,设置在所述 InP 衬底上,至少具有光吸收层,
所述光吸收层具有与所述 InP 衬底晶格匹配的 InGaAsBi 层,
所述半导体层叠构造还具有层叠在所述 InP 衬底与所述光吸收层之间的雪崩倍增层和电场缓和层,
所述雪崩倍增层由与所述 InP 衬底晶格匹配的 AlInAsBi 层构成。
2. 根据权利要求 1 所述的半导体感光元件,其特征在于,所述光吸收层由单层的所述 InGaAsBi 层构成。
3. 根据权利要求 1 所述的半导体感光元件,其特征在于,所述光吸收层是交替地层叠有所述 InGaAsBi 层和与所述 InP 衬底晶格匹配的 InGaAs 层的多层构造。
4. 根据权利要求 1 ~ 3 的任一项所述的半导体感光元件,其特征在于,所述 InGaAsBi 层的带隙为 0.7eV 以下。
5. 根据权利要求 1 ~ 3 的任一项所述的半导体感光元件,其特征在于,
所述半导体层叠构造还具有:
半导体层,设置在所述光吸收层上,带隙比所述光吸收层大;以及
导电区域,设置在所述半导体层的一部分。
6. 根据权利要求 5 所述的半导体感光元件,其特征在于,以包围所述导电区域的周围的方式在所述半导体层叠构造中形成有槽。
7. 根据权利要求 1 ~ 3 的任一项所述的半导体感光元件,其特征在于,所述半导体层叠构造在所述 InP 衬底与所述光吸收层之间具有多层反射膜。
8. 一种半导体感光元件,其特征在于,具备:
InP 衬底;以及
半导体层叠构造,设置在所述 InP 衬底上,
所述半导体层叠构造具有在所述 InP 衬底上依次层叠的雪崩倍增层、电场缓和层、以及光吸收层,
所述雪崩倍增层由与所述 InP 衬底晶格匹配的 AlInAsBi 层构成。
9. 根据权利要求 8 所述的半导体感光元件,其特征在于,
所述半导体层叠构造还具有:
半导体层,设置在所述光吸收层上,带隙比所述光吸收层大;以及
导电区域,设置在所述半导体层的一部分。
10. 根据权利要求 9 所述的半导体感光元件,其特征在于,以包围所述导电区域的周围的方式在所述半导体层叠构造中形成有槽。
11. 根据权利要求 8 所述的半导体感光元件,其特征在于,所述半导体层叠构造在所述 InP 衬底与所述光吸收层之间具有多层反射膜。

半导体感光元件

技术领域

[0001] 本发明涉及温度依赖性小、不需要在原子层等级(level)的膜厚控制等并且灵敏度高的半导体感光元件。

背景技术

[0002] 在半导体感光元件中,为了宽频带化,需要使光吸收层的膜厚变薄。可是,当光吸收层的膜厚较薄时(例如,InGaAs、膜厚 $0.5\mu\text{m}\sim 2\mu\text{m}$),无法得到充分的感光灵敏度。此外,由于在低温下光吸收层的带隙变大,所以灵敏度进一步降低。

[0003] 据报道,在含有Bi的III-V族的半导体混晶中,带隙的温度变化随着Bi的量变小而变小,特别是InGaAsBi,带隙($0.6\sim 1.5\text{eV}$)相对于温度变化为固定(例如,参照专利文献1)。还报道了在有源层以外使用InGaAsBi来谋求温度特性的提高的半导体激光器(例如,参照专利文献2、3)。

[0004] 报道了有源层由以两种III-V族半导体或者其混晶的薄膜为结构单位的短周期超晶格构成并且该薄膜中的晶格常数最大的薄膜含有Bi的半导体光元件(例如,参照专利文献4)。例如,将在InAs和GaAs中的晶格常数大的InAs一方含有Bi的 $(\text{InAsBi})_m(\text{GaAs})_n$ 的短周期超晶格用于有源层。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开平9-8405号公报;

[0008] 专利文献2:日本特开2000-223787号公报;

[0009] 专利文献3:日本特开2004-221413号公报;

[0010] 专利文献4:日本特开平11-68238号公报。

[0011] 发明要解决的课题

[0012] 短周期超晶格由原子层单位的非常薄的两种层构成,并且两种层交替地层叠。两种层包含与InP衬底晶格不匹配率大的层(InP衬底和InAsBi、InP衬底和GaAs的晶格不匹配率为3%以上),在做成短周期超晶格时以与InP衬底晶格匹配的方式分别设计为最佳的膜厚。关于短周期超晶格,如果不在原子层等级控制膜厚,则存在产生结晶缺陷、引起暗电流增大以及可靠性劣化的问题。

[0013] 此外,在专利文献4的半导体激光器中, $(\text{InAsBi})_1(\text{GaAs})_1\times 20$ 周期的短周期超晶格的膜厚薄至 $0.1\mu\text{m}$ 以下程度。在将该短周期超晶格应用于感光元件的光吸收层的情况下,因为膜厚较薄,所以无法得到充分的感光灵敏度。为了得到充分的灵敏度,需要形成例如膜厚为 $0.5\sim 2\mu\text{m}$ 的短周期超晶格。可是,难以在原子层等级控制膜厚来以稳定的组成使短周期超晶格晶体生长变厚到 $0.5\sim 2\mu\text{m}$ 的程度。

发明内容

[0014] 本发明是为了解决上述那样的课题而完成的,其目的在于得到一种温度依赖性

小、不需要在原子层等级的膜厚控制等并且灵敏度高的半导体感光元件。

[0015] 用于解决问题的方案

[0016] 本发明的半导体感光元件的特征在于,具备:InP 衬底;以及半导体层叠构造,设置在所述 InP 衬底上,至少具有光吸收层,所述光吸收层具有与所述 InP 衬底晶格匹配的 InGaAsBi 层。

[0017] 发明效果

[0018] 利用本发明,能够得到温度依赖性小、不需要在原子层等级的膜厚控制等并且灵敏度高的半导体感光元件。

附图说明

[0019] 图 1 是表示本发明实施方式 1 的半导体感光元件的剖视图。

[0020] 图 2 是表示本发明实施方式 1 的半导体感光元件的立体图。

[0021] 图 3 是表示本发明实施方式 2 的半导体感光元件的剖视图。

[0022] 图 4 是表示本发明实施方式 3 的半导体感光元件的剖视图。

[0023] 图 5 是表示本发明实施方式 4 的半导体感光元件的剖视图。

[0024] 图 6 是表示本发明实施方式 5 的半导体感光元件的剖视图。

[0025] 图 7 是表示本发明实施方式 6 的半导体感光元件的剖视图。

[0026] 图 8 是表示本发明实施方式 7 的半导体感光元件的剖视图。

[0027] 图 9 是表示本发明实施方式 8 的半导体感光元件的剖视图。

[0028] 图 10 是表示本发明实施方式 8 的半导体感光元件的立体图。

[0029] 图 11 是表示本发明实施方式 9 的半导体感光元件的剖视图。

[0030] 图 12 是表示图 11 的元件的光吸收层的剖视图。

[0031] 图 13 是表示本发明实施方式 10 的半导体感光元件的立体图。

具体实施方式

[0032] 参照附图对本发明实施方式的半导体感光元件进行说明。对相同或者对应的结构要素标注相同的附图标记,存在省略重复说明的情况。

[0033] 实施方式 1.

[0034] 图 1 是表示本发明实施方式 1 的半导体感光元件的剖视图,图 2 为其立体图。在载流子浓度为约 $5 \times 10^{18} \text{cm}^{-3}$ 的 n 型 InP 衬底 1 上设置有半导体层叠构造 2。半导体层叠构造 2 具有:在 n 型 InP 衬底 1 上依次层叠的 n 型 InP 层 3、膜厚为 $0.5 \sim 2 \mu\text{m}$ 且由与 n 型 InP 衬底 1 晶格匹配的 i 型 InGaAsBi 构成的光吸收层 4、以及膜厚为约 $2 \mu\text{m}$ 的 i 型 InP 层 5、以及膜厚为 $0.1 \sim 0.5 \mu\text{m}$ 且宽度为 $2 \sim 10 \mu\text{m}$ 的环状的 i 型 InGaAs 接触层 6。在 i 型 InP 层 5 的一部分设置有载流子浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$ 的 p 型导电区域 7。再有,在本说明书中晶格匹配意味着晶格不匹配率为 0.5% 以下。

[0035] 在 i 型 InP 层 5 上设置有由 SiN 构成的表面保护膜 8。表面保护膜 8 的膜厚为入射光波长的 $1/4$ 。表面保护膜 8 也作为防反射膜发挥作用。由 Ti/Au 等构成的 p 侧电极 9 经由 i 型 InGaAs 接触层 6 电连接于 p 型导电区域 7。由 AuGe/Au 构成的 n 侧电极 10 连接于 n 型 InP 衬底 1 的下表面。再有,也可以省略 i 型 InGaAs 接触层 6,使 p 型导电区域 7 和

p 侧电极 9 直接连接。

[0036] 在此,入射光的波长例如是作为光通信波段的 $1.55\ \mu\text{m}$ 。由于采用入射光从 n 型 InP 衬底 1 的相反侧入射的结构(以下称为表面入射),所以 i 型 InP 层 5 的带隙能量比光吸收层 4 大。

[0037] 接下来,简单地对本实施方式的半导体感光元件的制造方法进行说明。首先,使用 MOCVD (Metal organic chemical vapor deposition,有机金属化学气相沉积)法等,在 n 型 InP 衬底 1 上使 n 型 InP 层 3、光吸收层 4、i 型 InP 层 5、以及 i 型 InGaAs 接触层 6 按顺序进行外延生长。

[0038] 接着,从表面侧使 Zn 扩散到 i 型 InP 层 5 的一部分直至到达光吸收层 4,形成 p 型导电区域 7。该扩散方法是使用了掩模等的气相扩散、热扩散等。例如,在进行热扩散的情况下,对 SiN 膜(未图示)等进行成膜,在该 SiN 膜的形成 p 型导电区域 7 的区域形成开口部,在包含该开口部上的区域的 SiN 膜上形成 ZnO 膜(未图示)等,将 SiN 膜作为掩模进行规定时间的热处理。再有,也可以使用 Cd、Be 等杂质来代替 Zn。之后,除去 SiN 膜、ZnO 膜等。接着,将 i 型 InGaAs 接触层 6 的中央部和外部蚀刻除去,并呈环状地进行构图。

[0039] 接着,利用等离子体 CVD 法等 i 型 InP 层 5 的表面形成表面保护膜 8。将光刻法技术与使用了氢氟酸等的蚀刻组合起来,之后在形成 p 侧电极 9 的区域,在表面保护膜 8 形成开口部。在表面保护膜 8 上形成光致抗蚀剂膜(未图示),并与表面保护膜 8 的开口部一致地在光致抗蚀剂膜形成开口部。之后,利用电子束(EB)蒸镀形成 Ti/Au 膜,将该膜不需要的部分与光致抗蚀剂膜一起剥离,形成 p 侧电极 9。此时,在表面保护膜 8 上同时形成与 p 侧电极 9 连接的焊盘(bonding pad)(未图示)。之后,研磨 n 型 InP 衬底 1 的下表面,在 n 型 InP 衬底 1 的下表面形成 n 侧电极 10。通过以上的工序来制造本实施方式的半导体感光元件。

[0040] 接下来,对本实施方式的半导体感光元件的基本工作进行说明。从外部施加 n 侧电极 10 为正、p 侧电极 9 为负的反偏压。在该状态下利用由 p 型导电区域 7 和 n 型 InP 衬底 1 构成的 pn 结,在光吸收层 4 形成耗尽层 11。从半导体感光元件的上方入射的入射光在表面保护膜 8 和 p 型导电区域 7 中透射,被光吸收层 4 的耗尽层 11 吸收,产生电子和空穴。该电子和空穴被电场吸引,分别流向 n 型 InP 衬底 1 和 p 型导电区域 7。将由此产生的光电流从 p 侧电极 9 和 n 侧电极 10 取出来作为信号电流。

[0041] 接着,将本实施方式的效果与比较例进行比较并说明。在比较例中,光吸收层的材料为 i 型 InGaAs。该光吸收层的带隙为 0.75eV 左右,当膜厚较薄(膜厚 $0.5\sim 2\ \mu\text{m}$)时,无法得到充分的感光灵敏度。此外,当使温度变化时,带隙改变,因此在低温下感光灵敏度降低。

[0042] 另一方面,本实施方式的光吸收层 4 的 InGaAsBi 的带隙能够比 InGaAs 小,因此得到与比较例相比更高的感光灵敏度。例如,在光吸收层为 $\text{In}_{0.48}\text{Ga}_{0.52}\text{As}_{0.989}\text{Bi}_{0.011}$ 的情况下,带隙能够为 0.69eV 。此外,由于 InGaAsBi 的带隙相对于温度变化为固定,所以能够抑制在低温下的感光灵敏度的降低。此外,由于光吸收层 4 由单层的 InGaAsBi 层构成,所以不需要在原子层等级的膜厚控制等。此外,由于光吸收层 4 与 n 型 InP 衬底 1 晶格匹配,所以能够抑制结晶缺陷的产生并防止暗电流的增大以及可靠性的劣化。

[0043] 再有,i 型 InP 层 5 只要比光吸收层的带隙大即可,不限于 InP,也可以是 InGaAsP、

InAlGaAs、InAlAs。此外,不限于 1 层,也可以将这些材料组合起来做成多层。

[0044] 实施方式 2.

[0045] 图 3 是表示本发明实施方式 2 的半导体感光元件的剖视图。设置 p 型 InP 层 12 来代替实施方式 1 的 i 型 InP 层 5 以及 p 型导电区域 7。由此,与实施方式 1 相比,制造工艺变得简单。但是,从暗电流、可靠性的观点出发,实施方式 1 更好。

[0046] 实施方式 3.

[0047] 图 4 是表示本发明实施方式 3 的半导体感光元件的剖视图。该半导体感光元件是在实施方式 1 的结构中追加有层叠在 n 型 InP 衬底 1 与光吸收层 4 之间的雪崩倍增层 13 以及电场缓和层 14 的雪崩光电二极管。

[0048] 雪崩倍增层 13 膜厚为 $0.15 \sim 0.4 \mu\text{m}$ 并由 i 型 AlInAs 构成。电场缓和层 14 膜厚为 $0.03 \sim 0.06 \mu\text{m}$ 并由载流子浓度为 $0.5 \sim 1 \times 10^{18} \text{cm}^{-3}$ 的 p 型 InP 构成。雪崩倍增层 13 将在光吸收层 4 中生成的载流子倍增。电场缓和层 14 使从雪崩倍增层 13 向光吸收层 4 的电场强度缓和。

[0049] 在施加于半导体感光元件的反偏置电压充分高的情况下,在雪崩倍增层 13 中,电子离子化,产生新的电子 - 空穴对。该新产生的电子和空穴引起进一步的离子化,电子和空穴雪崩式地倍增(雪崩倍增)。由此,能够使感光灵敏度上升。

[0050] 在此,优选雪崩倍增层 13 由与 n 型 InP 衬底 1 晶格匹配的 AlInAsBi 层构成。由于 AlInAsBi 层的带隙相对于温度变化为固定,所以与 AlInAs 相比能够使击穿电压的温度依赖性小。

[0051] 再有,在本实施方式中使电场缓和层 14 为 p 型 InP,但是也可以采用 p 型 AlInAs。也能够根据情况省略电场缓和层 14。此外,在雪崩倍增层 13 为 AlInAsBi 的情况下,也可以使光吸收层 4 为 InGaAs。

[0052] 实施方式 4.

[0053] 图 5 是表示本发明实施方式 4 的半导体感光元件的剖视图。设置 p 型 InP 层 12 来代替实施方式 3 的 i 型 InP 层 5 以及 p 型导电区域 7。由此,与实施方式 3 相比制造工艺变得简单。但是,从暗电流、可靠性的观点出发,实施方式 3 更好。

[0054] 实施方式 5.

[0055] 图 6 是表示本发明实施方式 5 的半导体感光元件的剖视图。在实施方式 3 的结构之外,还在 n 型 InP 衬底 1 与光吸收层 4 之间设置有多层反射膜 15。入射至半导体感光元件的入射光中的未被光吸收层 4 吸收而透射了的光被多层反射膜 15 反射,再返回至 InGaAs 光吸收层 4 并被吸收。其结果是,感光灵敏度改善。

[0056] 实施方式 6.

[0057] 图 7 是表示本发明实施方式 6 的半导体感光元件的剖视图。设置 p 型 InP 层 12 来代替实施方式 5 的 i 型 InP 层 5 以及 p 型导电区域 7。由此,与实施方式 5 相比制造工艺变得简单。但是,从暗电流、可靠性的观点出发,实施方式 5 更好。

[0058] 实施方式 7.

[0059] 图 8 是表示本发明实施方式 7 的半导体感光元件的剖视图。在实施方式 5 的结构之外,还以包围 p 型导电区域 7 以及其周围的 i 型 InP 层 5 的一部分的周围的方式在半导体层叠构造 2 中形成有槽 16。槽 16 至少设置在光吸收层 4、电场缓和层 14、以及雪崩倍增

层 13, 在槽 16 内形成有这些层的侧面。由此, 能够得到暗电流少并且长期可靠性高的雪崩半导体感光元件。

[0060] 实施方式 8.

[0061] 图 9 是表示本发明实施方式 8 的半导体感光元件的剖视图, 图 10 是其立体图。

[0062] 在半绝缘性 Fe - InP 衬底 17 上设置有半导体层叠构造 2。半导体层叠构造 2 具有: 在半绝缘性 Fe - InP 衬底 17 上依次层叠的 n 型 InP 层 3、由 AlInAsBi 构成的雪崩倍增层 13、膜厚为 $0.03 \sim 0.06 \mu\text{m}$ 且载流子浓度为 $0.5 \sim 1 \times 10^{18} \text{cm}^{-3}$ 的 p 型 InP 电场缓和层 14、膜厚为 $0.5 \sim 2 \mu\text{m}$ 的由 i 型 InGaAsBi 构成的光吸收层 4、以及膜厚为约 $2 \mu\text{m}$ 的 i 型 InP 层 5、以及膜厚为 $0.1 \sim 0.5 \mu\text{m}$ 且宽度为 $2 \sim 10 \mu\text{m}$ 的环状的 i 型 InGaAs 接触层 6。在 i 型 InP 层 5 的一部分设置有载流子浓度为 $1 \times 10^{19} \sim 1 \times 10^{20} \text{cm}^{-3}$ 的 p 型导电区域 7。

[0063] 以包围 p 型导电区域 7 以及其周围的 i 型 InP 层 5 的一部分的周围的方式在半导体层叠构造 2 中形成有槽 16。在 i 型 InP 层 5 上以及半绝缘性 Fe - InP 衬底 17 的下表面设置有由 SiN 构成的表面保护膜 8。由 Ti/Au 等构成的 p 侧电极 9 经由 i 型 InGaAs 接触层 6 电连接于 p 型导电区域 7。由 AuGe/Au 构成的 n 侧电极 10 通过槽 16 连接于 n 型 InP 层 3。

[0064] 入射光从半绝缘性 Fe - InP 衬底 17 的背面入射, 未被光吸收层 4 吸收而透射了的光被 p 侧电极 9 反射, 再返回至 InGaAs 光吸收层 4 并被吸收。

[0065] 如本实施方式那样, 在将入射光从半绝缘性 Fe - InP 衬底 17 的背面入射的雪崩半导体感光元件中也能够应用本发明, 并且能够得到与其它实施方式相同的效果。

[0066] 实施方式 9.

[0067] 图 11 是表示本发明实施方式 9 的半导体感光元件的剖视图。图 12 是表示图 11 的元件的光吸收层的剖视图。与实施方式 7 的不同点在于, 光吸收层 18 是交替地层叠有与 n 型 InP 衬底 1 晶格匹配的 InGaAsBi 层 19 和与 n 型 InP 衬底 1 晶格匹配的 InGaAs 层 20 的多层构造。由于光吸收层 18 与 n 型 InP 衬底 1 晶格匹配, 所以能够抑制结晶缺陷的产生并防止暗电流的增大以及可靠性的劣化。

[0068] 具体而言, 交替地层叠 8 对膜厚为 70nm 的 InGaAsBi 层 19 和膜厚为 30nm 的 InGaAs 层 20, 使开始和最后的层为 InGaAs。但是, 这些层的膜厚、对数不限于该例, 而是能够根据需要的灵敏度以及频带适当地进行设定。

[0069] 像这样与 n 型 InP 衬底 1 晶格匹配的 InGaAsBi 层 19 和 InGaAs 层 20 的多层构造不需要在原子层等级的膜厚控制等, 没有暗电流增大或可靠性劣化等的可能性。

[0070] 此外, 通过做成 InGaAs 和 InGaAsBi 的多层构造, 从而能够改善与 InGaAs 相比生长难的 InGaAsBi 的结晶性。其结果是, 能够缓和外延生长时的表面皸裂。

[0071] 实施方式 10.

[0072] 图 13 是表示本发明实施方式 10 的半导体感光元件的立体图。在本实施方式中, 将实施方式 1 的半导体感光元件做成阵列。不限于此, 也可以将实施方式 2 ~ 9 的半导体感光元件做成阵列。

[0073] 附图标记的说明:

[0074] 1 n 型 InP 衬底 (InP 衬底);

[0075] 2 半导体层叠构造;

- [0076] 4、18 光吸收层；
- [0077] 5 i 型 InP 层(半导体层)；
- [0078] 7 p 型导电区域(导电区域)；
- [0079] 13 雪崩倍增层；
- [0080] 14 电场缓和层；
- [0081] 15 多层反射膜；
- [0082] 16 槽；
- [0083] 17 半绝缘性 Fe - InP 衬底(InP 衬底)；
- [0084] 19 InGaAsBi 层；
- [0085] 20 InGaAs 层。

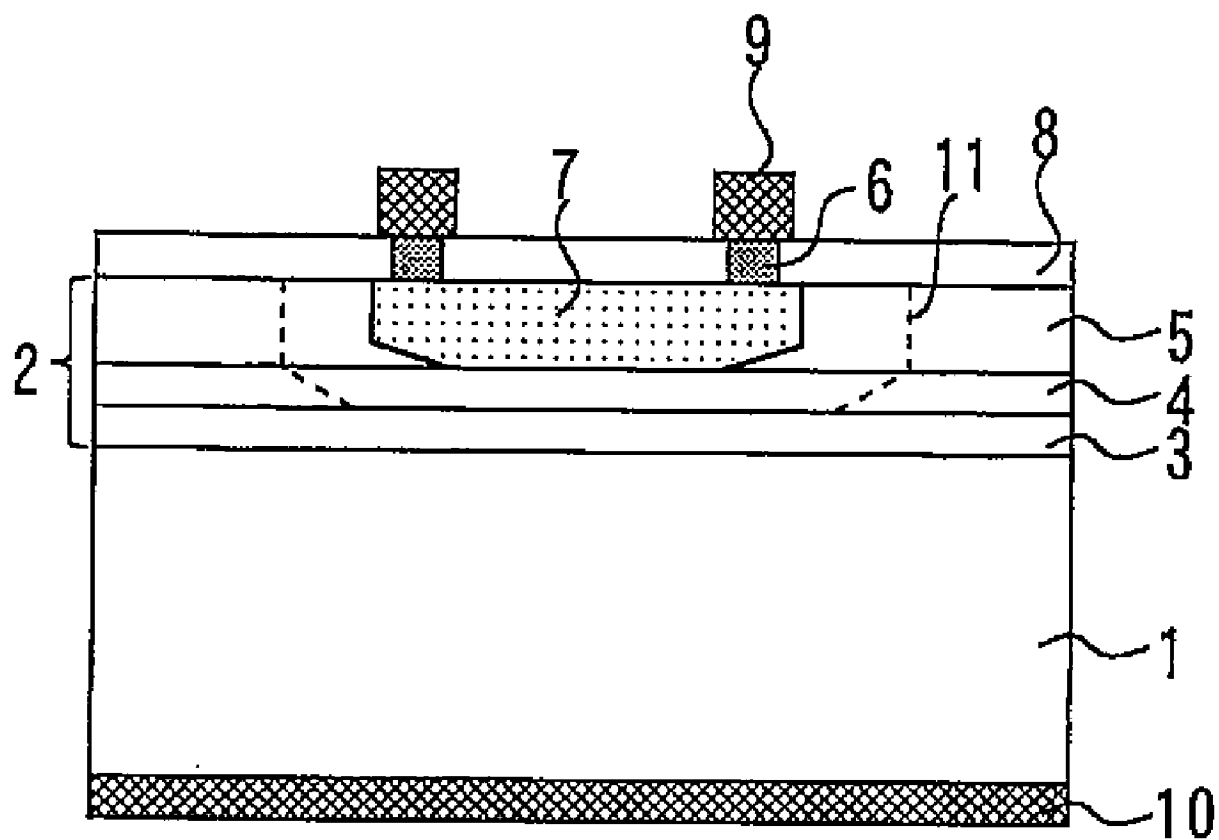


图 1

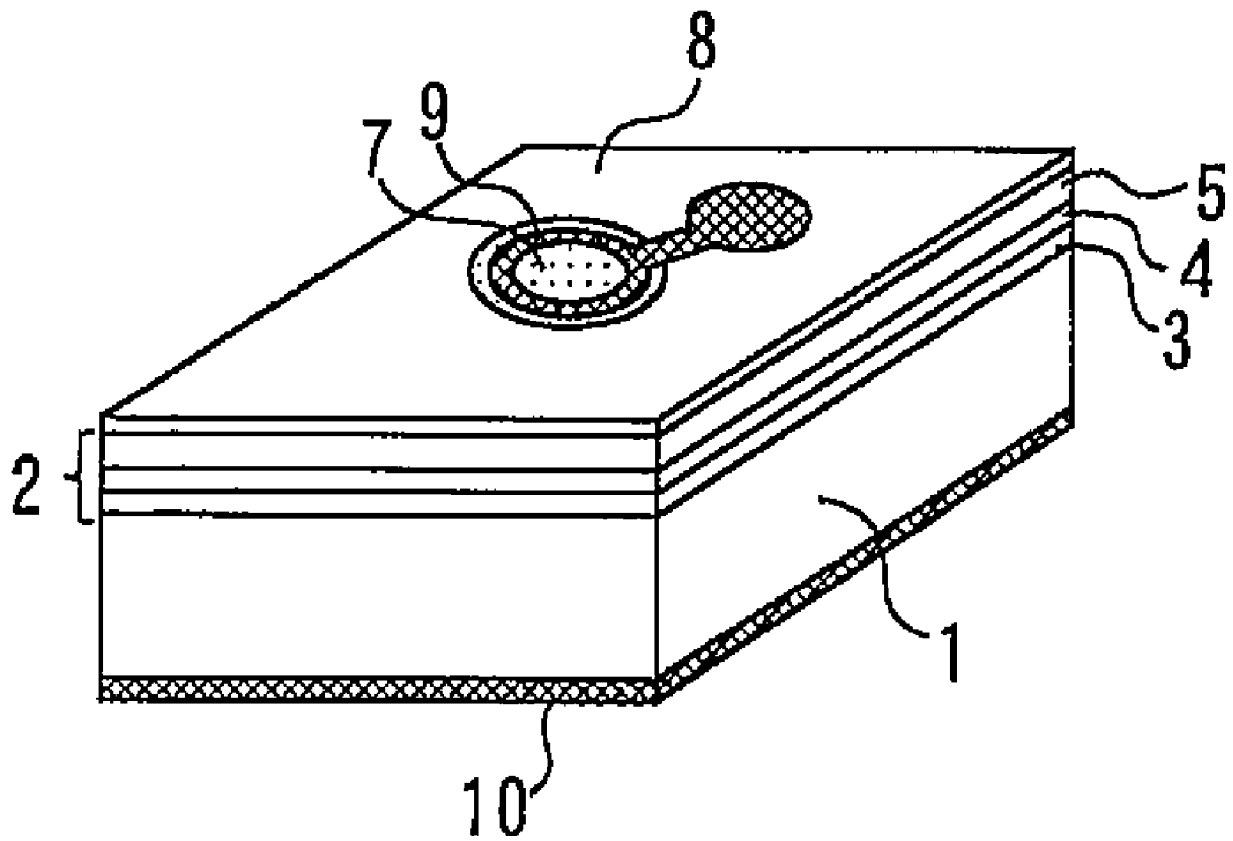


图 2

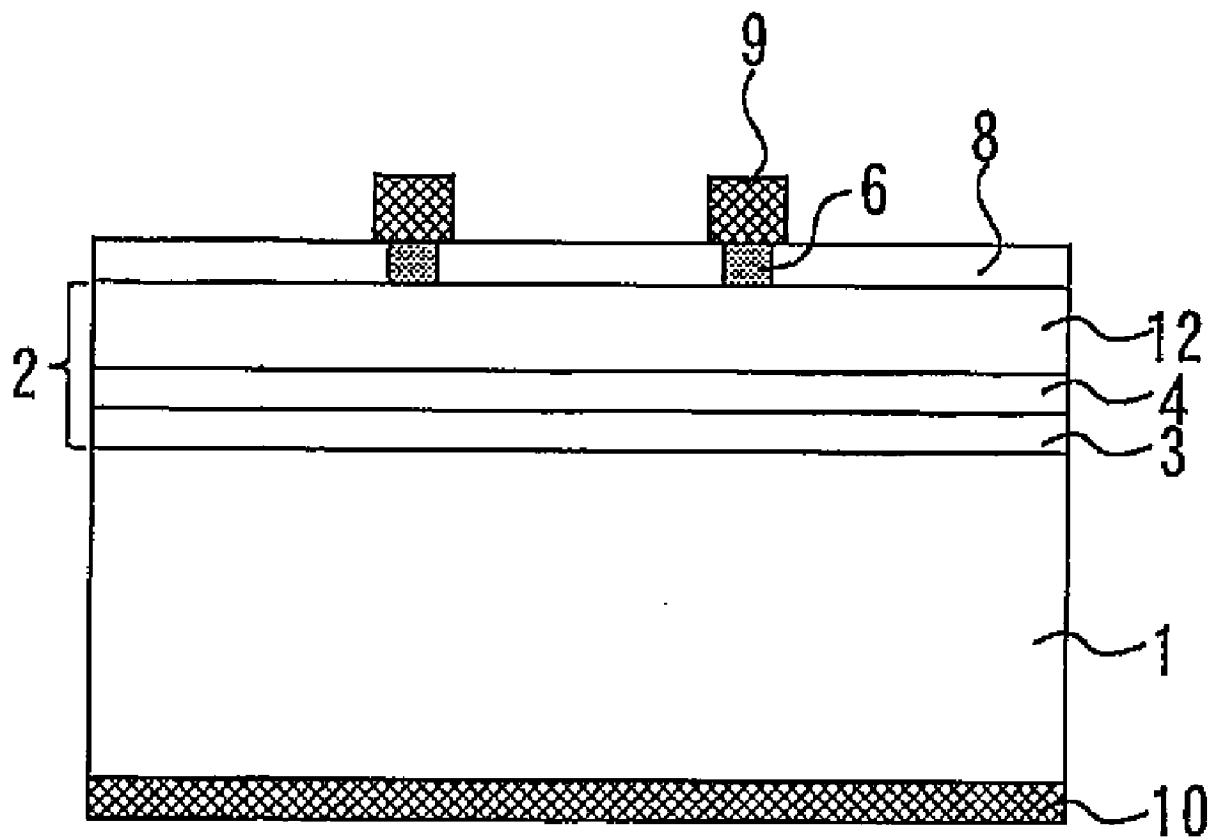


图 3

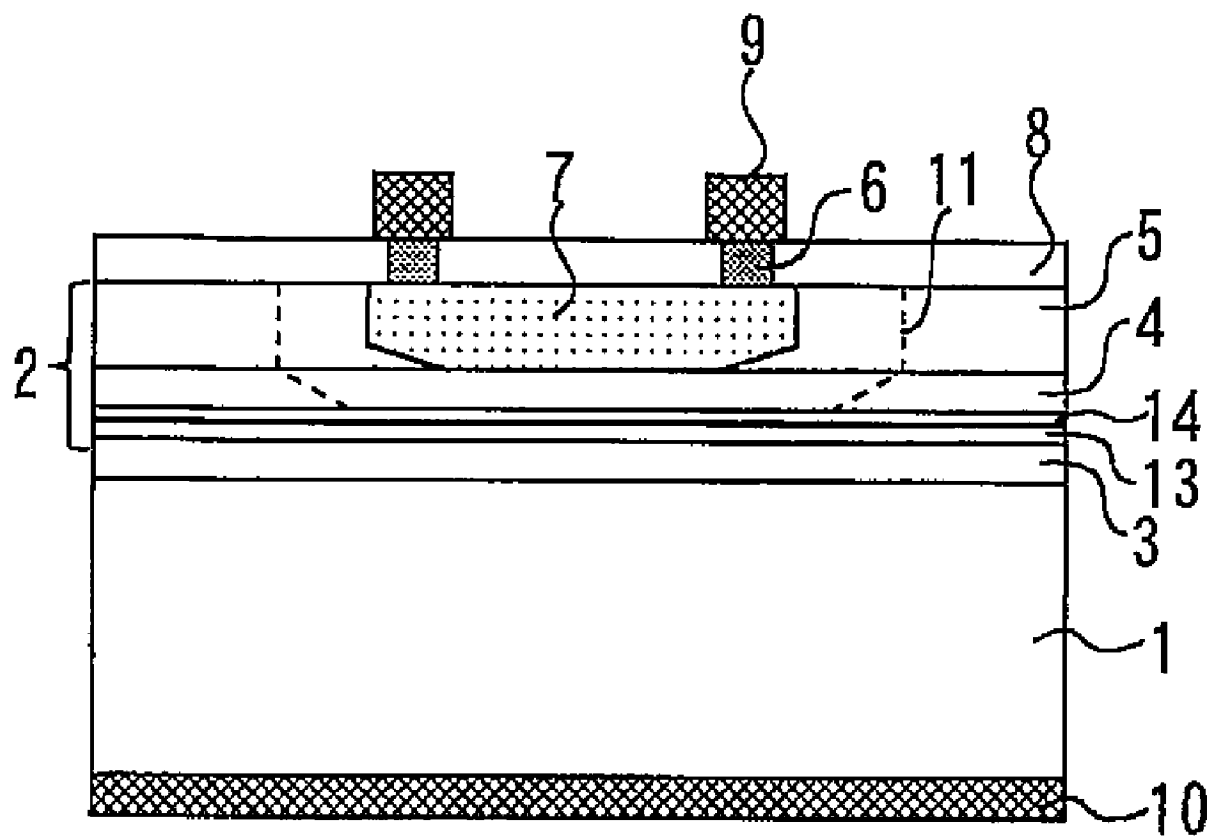


图 4

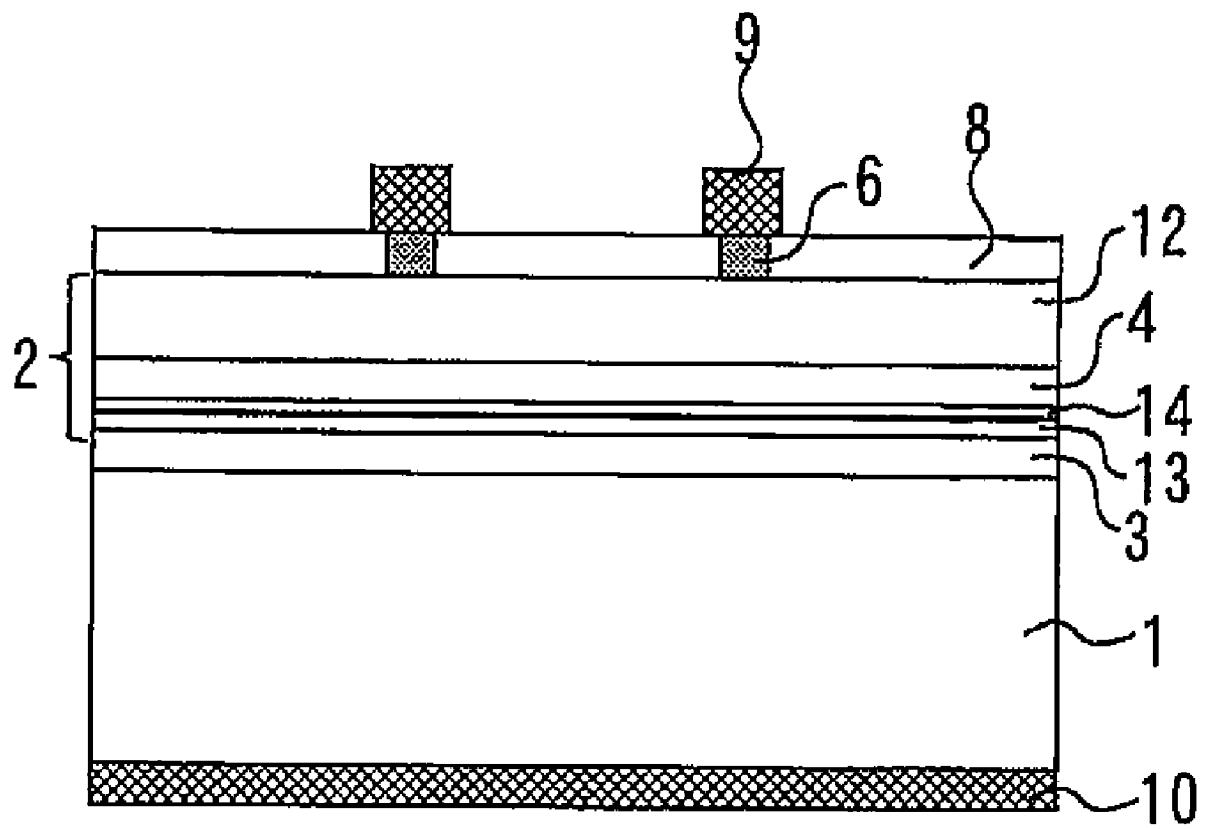


图 5

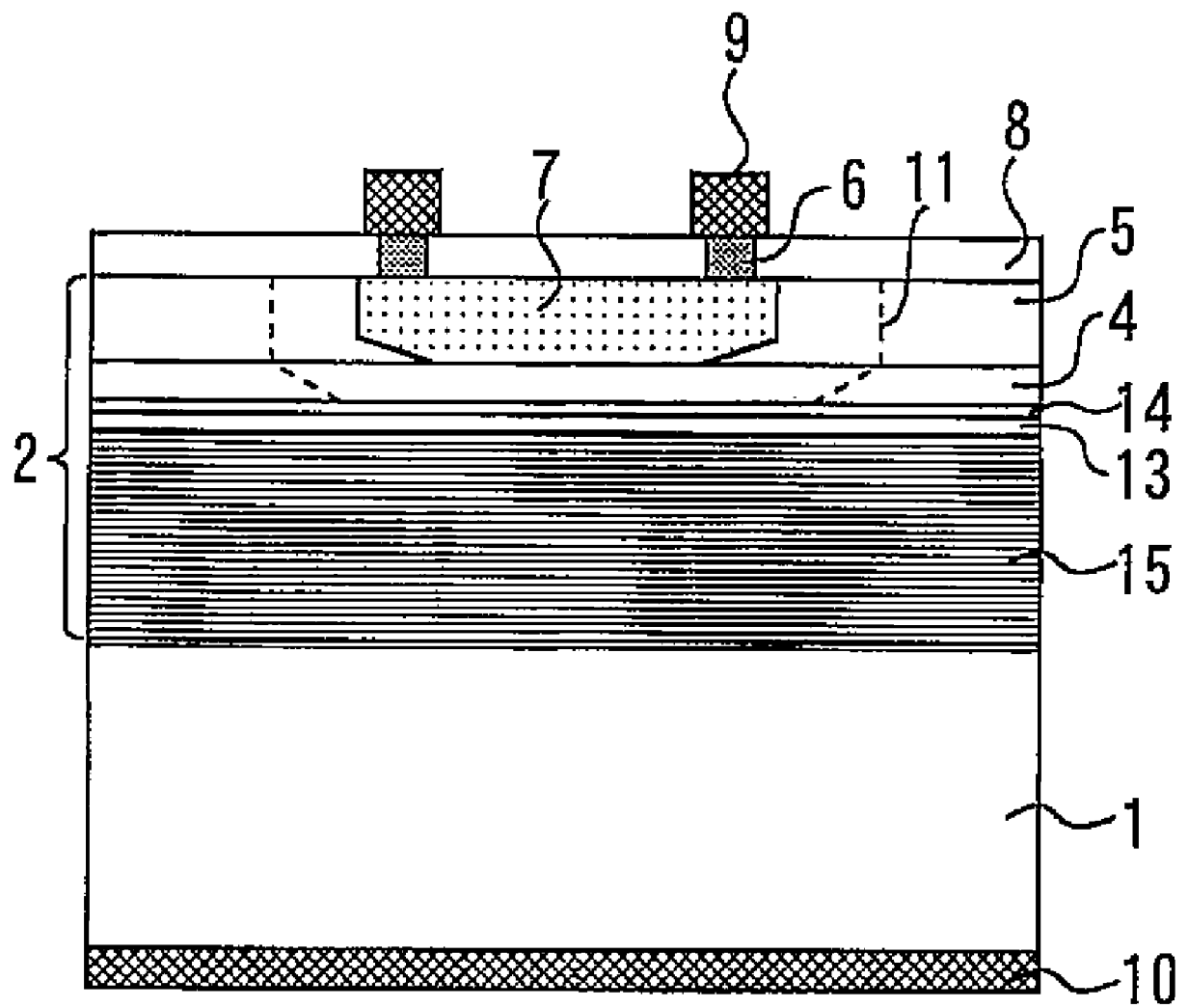


图 6

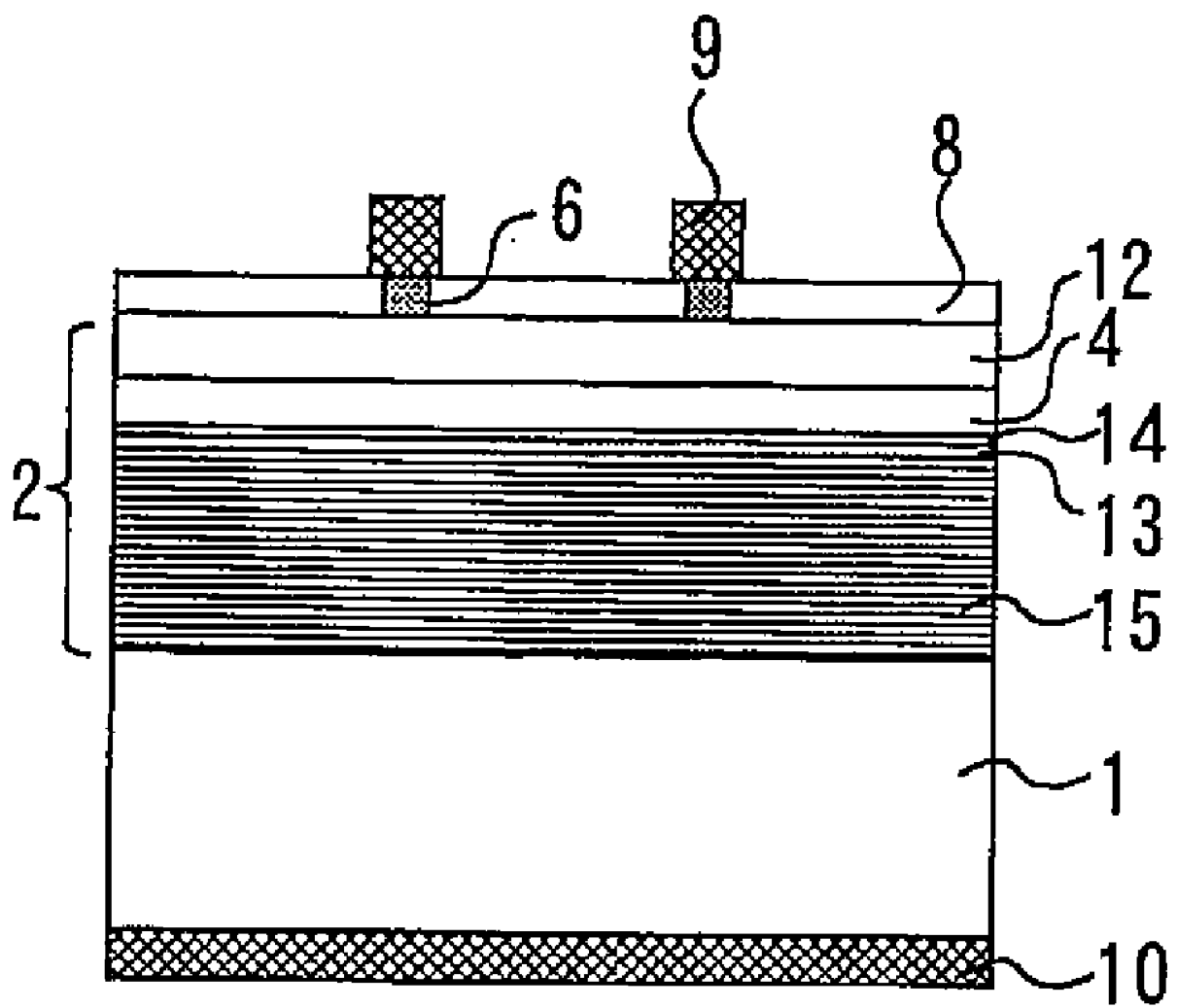


图 7

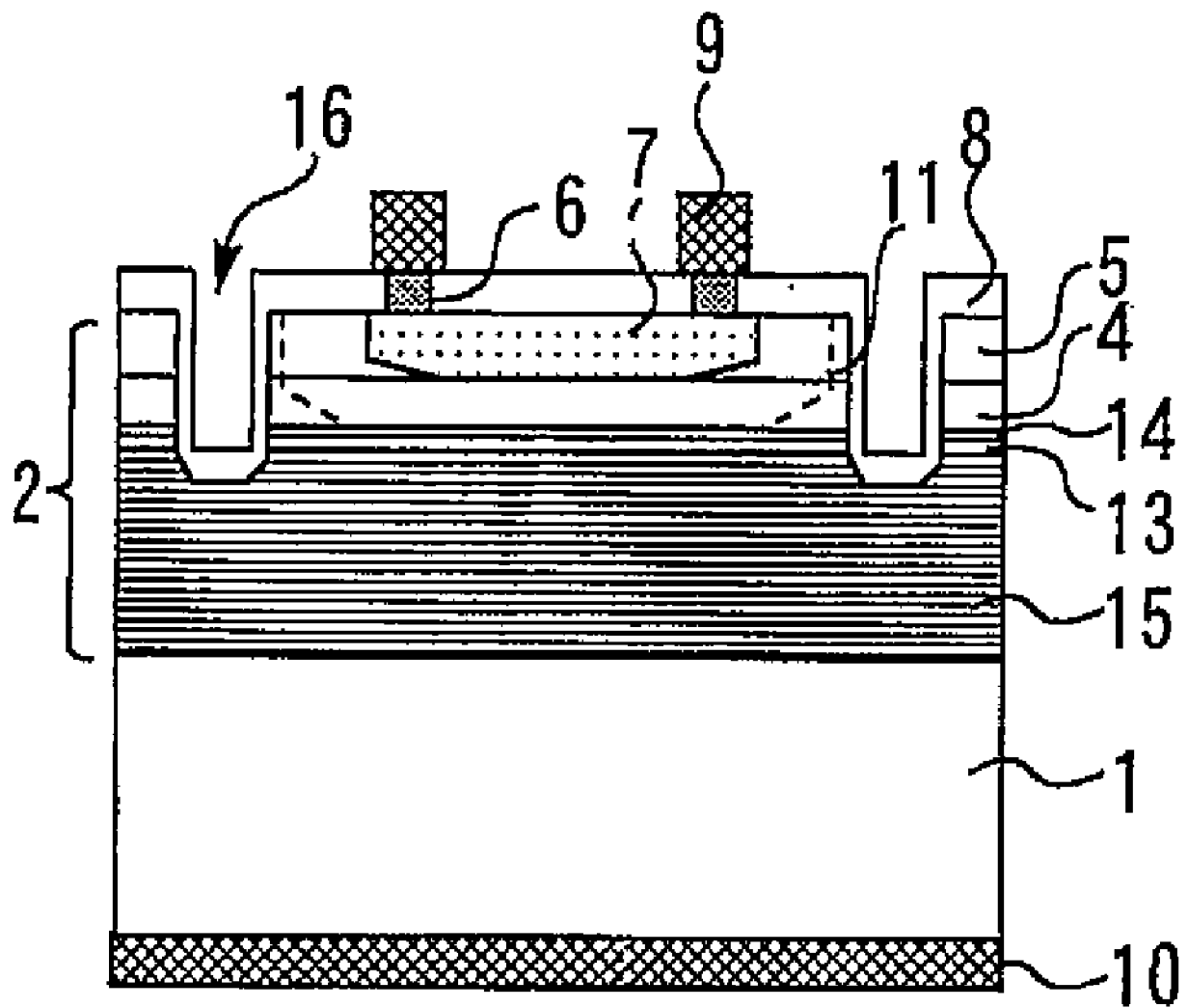


图 8

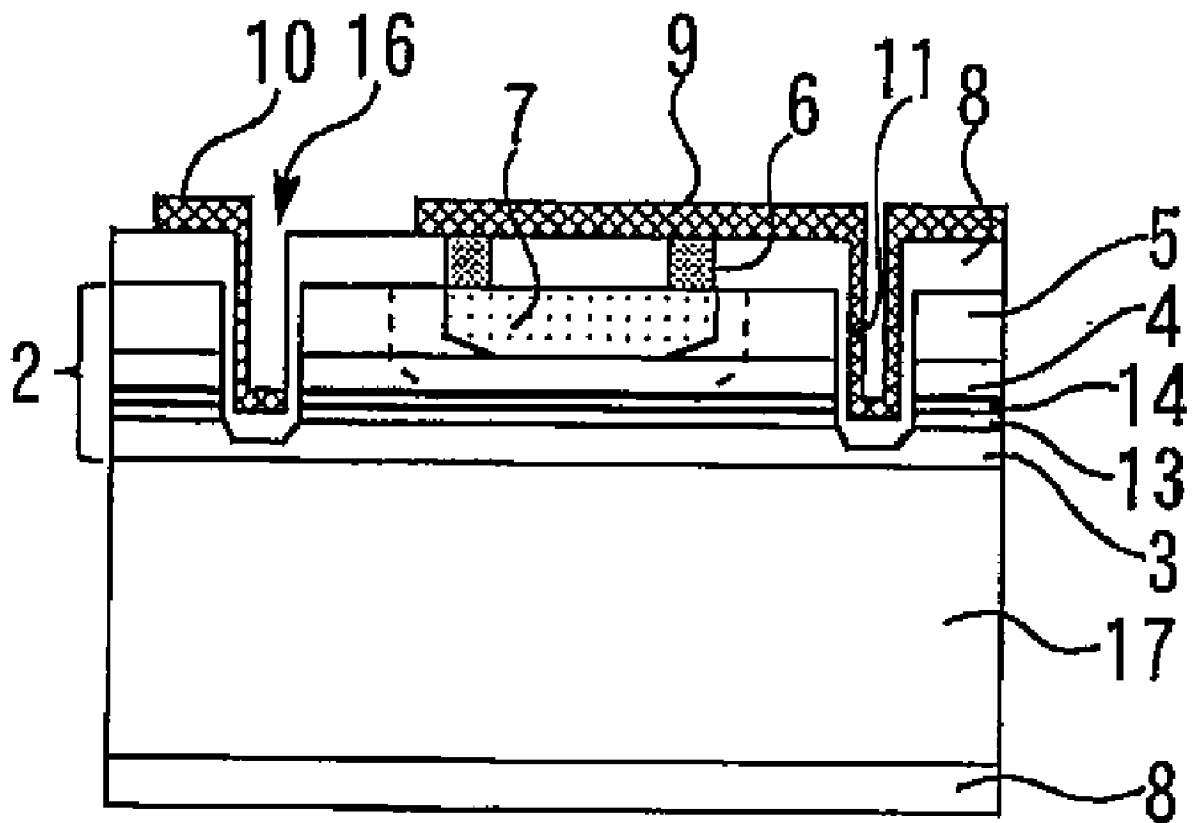


图 9

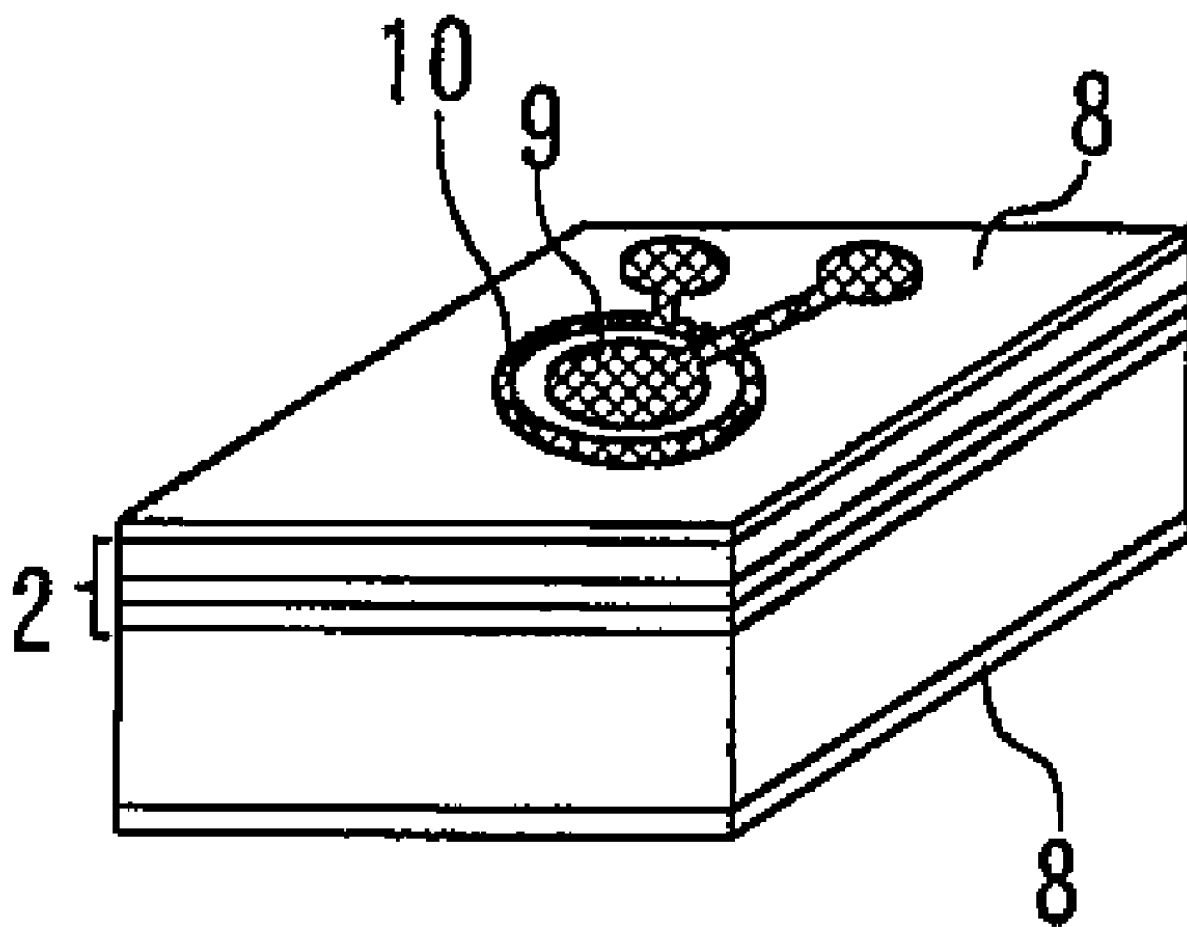


图 10

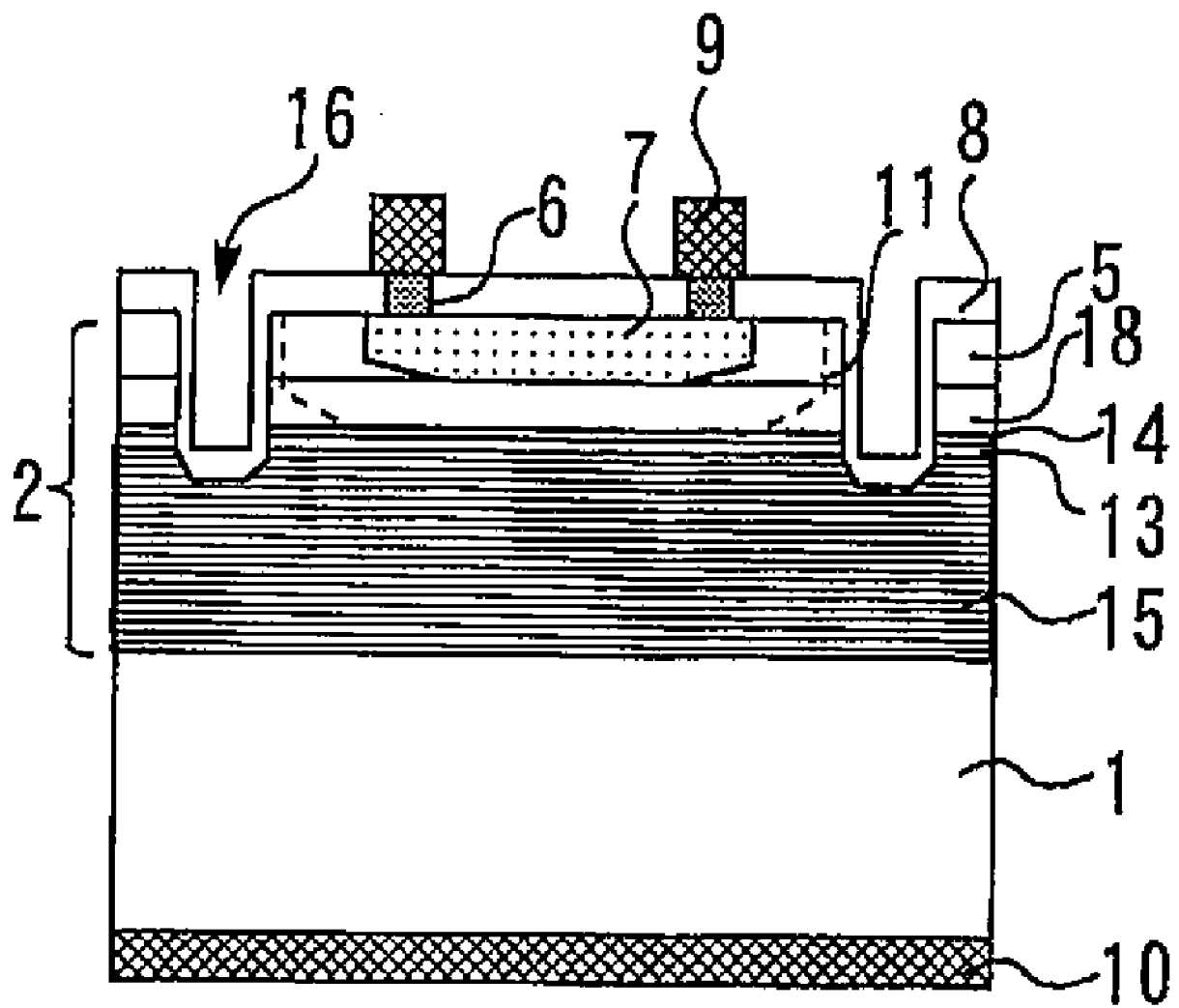


图 11

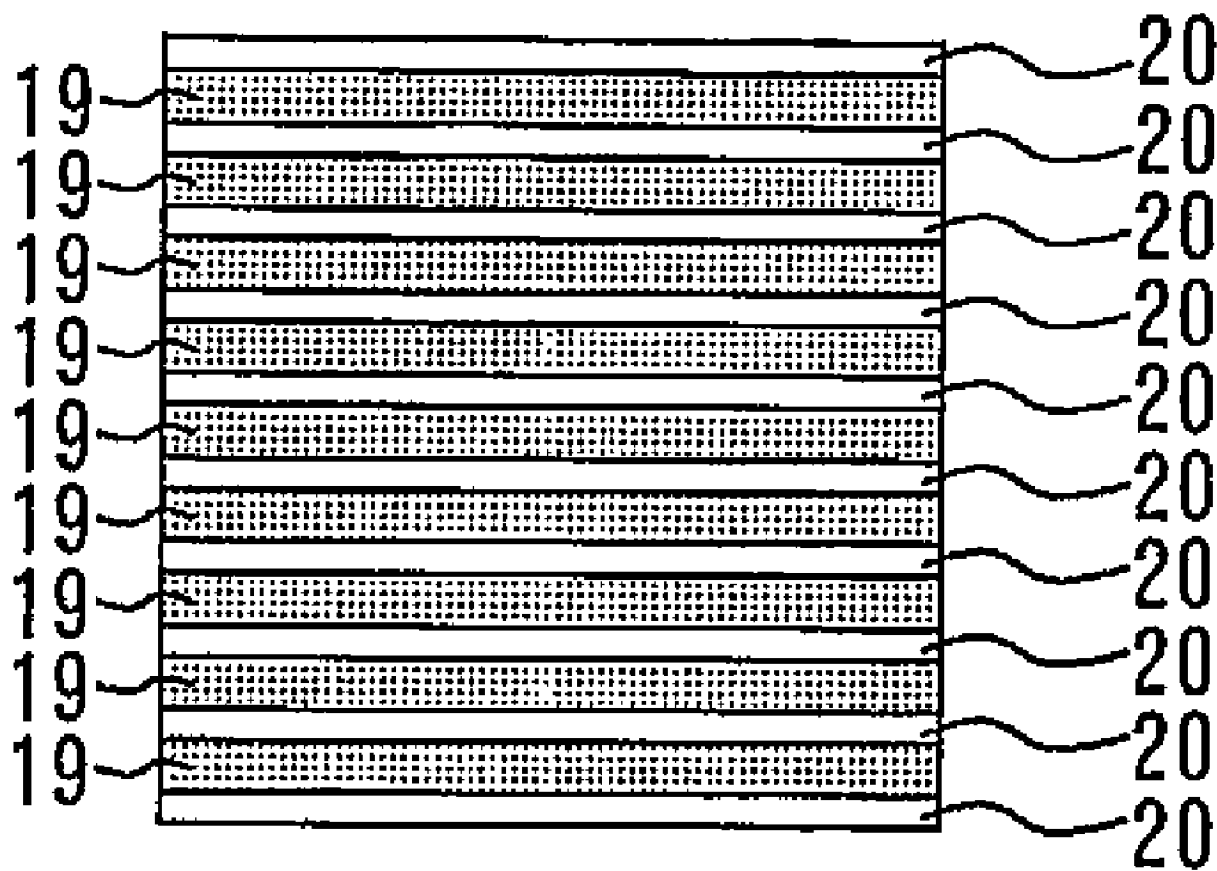


图 12

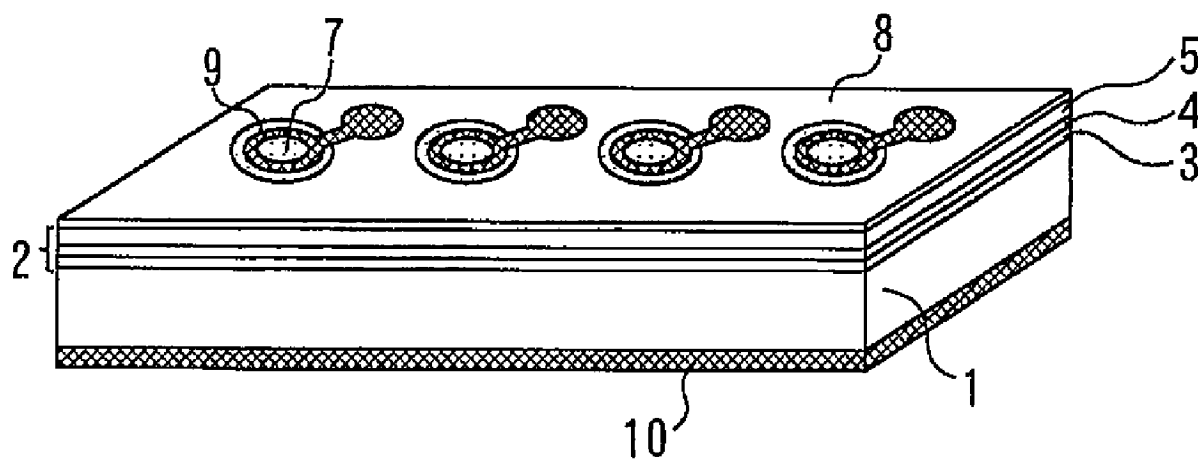


图 13