



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/304 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월13일 10-0727418 2007년06월05일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2001-0013165 2001년03월14일 2006년01월13일	(65) 공개번호 (43) 공개일자	10-2002-0061452 2002년07월24일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 2001-007156 2001년01월16일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 요코가와켄에츠
일본국도쿄도치요다쿠마루노우치1초메5반1고신마루비루가부시킴가이
샤히타치세이사쿠쇼치테키쇼유켄혼부나이

모모노이요시노리
일본국도쿄도치요다쿠마루노우치1초메5반1고신마루비루가부시킴가이
샤히타치세이사쿠쇼치테키쇼유켄혼부나이

이자와마사루
일본국도쿄도치요다쿠마루노우치1초메5반1고신마루비루가부시킴가이
샤히타치세이사쿠쇼치테키쇼유켄혼부나이

타치신이치
일본국도쿄도치요다쿠마루노우치1초메5반1고신마루비루가부시킴가이
샤히타치세이사쿠쇼치테키쇼유켄혼부나이

(74) 대리인 특허법인 원전

(56) 선행기술조사문헌 JP08085887 A JP10012581	JP06224787B 9 JP08085887
---	-----------------------------

심사관 : 이창희

전체 청구항 수 : 총 8 항

(54) 드라이 세정방법

(57) 요약

본 발명은 반도체 장치 등의 초미세 구조물의 표면에 잔류하는 이물질을, 대기 중에서의 웨트 세정법(wet cleaning method)에 의하지 않고, 진공 중에서 일관하여 세정·제거할 수 있는 드라이 세정방법에 관한 것이다.

본 발명의 드라이 세정방법에서는, 반도체 웨이퍼(wafer) 등의 피(被)처리체의 표면 및 뒷면에 각각 패드형 구조체를 근접시켜, 양자 사이에 형성되는 미소 틈새 내에 세정용의 가스를 분출시켜서 피처리체 표면에 따라 고속의 가스 흐름을 발생시키고, 상기 고속 가스흐름에 따라 피처리체 표면에 있는 이물질들을 물리적으로 세정·제거한다. 또한 이 물리적 세정작용을 돕기 위하여, 플라즈마 등에 의한 화학적 또는 전기적인 세정방법을 함께 사용하는 것도 가능하다. 본 발명의 드라이 세정방법에 의하면, 피처리체를 대기 중에 노출시키지 않고, 종래의 웨트 세정법에 의한 세정처리에 필적하는 양호한 세정효과를 얻을 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

진공 배기수단에 의해 배기된 진공용기 내에서, 가스분출부와 패드면을 갖춘 패드형 구성체를 피처리 웨이퍼의 표면 및 뒷면에 근접시키고, 피처리 웨이퍼의 표면 및 뒷면에 각각 상기 패드면을 대향시켜서 배치하며, 상기 패드형 구조체와 상기 피처리 웨이퍼의 사이에 상기 가스분출부를 통하여 가스를 제공하는 것에 의해, 상기 패드면과 상기 피처리 웨이퍼와의 사이에 상기 피처리 웨이퍼면에 따른 방향에 가스류를 생성하여 상기 가스류의 마찰응력을 상기 피처리 웨이퍼 표면 및 뒷면에 작용시켜, 상기 패드형 구조체를 상기 피처리 웨이퍼에 대하여 상대적으로 이동시킴으로써 피처리 웨이퍼 표면 및 뒷면을 세정하는 것을 특징으로 하는 드라이 세정방법.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

제 1 항에 있어서,

상기 피처리 웨이퍼의 표면 및 뒷면에 배치한 상기 패드형 구조체에 작용하는 압력을 감지하여, 상기 압력이 일정하게 되도록 상기 패드형 구조체의 피처리 웨이퍼의 누르는 힘 또는 상기 가스의 유량을 제어하는 것으로 상기 피처리 웨이퍼와 상기 패드형 구조체의 간격을 제어하는 것을 특징으로 하는 드라이 세정방법.

청구항 25.

제 24 항에 있어서,

상기 처리웨이퍼의 표면 및 뒷면과 상기 패드면의 극간에 유량이 0.5 리터/분 이상에서 500리터/분 이하인 가스를 공급하여 상기 극간을 1~100 μ m로 제어하는 것을 특징으로 하는 드라이 세정방법.

청구항 26.

제1항, 제24항 또는 제25항중 어느 한 항에 있어서,

상기 패드형 구조체의 크기가 상기 피처리 웨이퍼의 직경보다 작은 것을 특징으로 하는 드라이 세정방법.

청구항 27.

제1항, 제24항 내지 제26항중 어느 한 항에 있어서,

상기 진공용기 내에 플라즈마를 형성하는 수단을 부가하여, 상기 플라즈마에 피처리 웨이퍼를 쏘이는 것에 의해, 상기 피처리 웨이퍼면상의 이물(異物)의 상기 웨이퍼에 대한 흡착력을 완화시키는 공정을 갖는 것을 특징으로 하는 드라이 세정방법

청구항 28.

제1항, 제24항 내지 제27항중 어느 한 항에 있어서,

상기 패드형 구조체에 있어서 상기 가스분출부는, 상기 패드형 구조체의 상기 패드면의 중앙부에 형성된 가스분출공에서 상기 피처리 웨이퍼면을 향하여 분출하는 구조인 것을 특징으로 하는 드라이세정방법.

청구항 29.

제1항, 제24항 내지 제28항중 어느 한 항에 있어서,

상기 피처리 웨이퍼의 뒷면에 대향하여 배치한 상기 패드형 구조체의 상기 패드면을, 상기 피처리 웨이퍼의 뒷면에 접촉시켜서 상기 피처리 웨이퍼의 뒷면을 세정하는 것을 특징으로 하는 드라이 세정방법.

청구항 30.

제29항에 있어서,

상기 피처리 웨이퍼의 뒷면을 세정하는 상기 패드형 구조체의 상기 패드면의 뒷면은 복수의 요철(凹凸)상 또는 모상(毛狀)으로 되어 있고, 상기 요철(凹凸) 또는 모의 선단을 상기 피처리 웨이퍼의 뒷면에 접촉시켜서 세정하는 것을 특징으로 하는 드라이 세정방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 디바이스의 제조공정에 있어서 웨이퍼(wafer)의 세정방법에 관한 것으로서, 특히 반도체 디바이스 제조의 전(前) 공정에 있어서 플라즈마 처리나 평탄화 처리를 거친 후에, 웨이퍼 표면에 잔존하는 이물질(particles) 등을 진공중에 제거하는 기술에 관한 것이다.

종래, 반도체 웨이퍼(이하, 단순히 웨이퍼라 한다)의 세정은, 순수(純水) 또는 순수에 각종 산이나 알칼리 용액을 희석한 용액을 사용하여, 상기 용액중에 웨이퍼를 담그든가 또는 상기 용액을 웨이퍼에 세차게 뿜는 방법으로, 웨이퍼 표면의 이물질을 씻어 내는 것으로 실시되고 있다. 또한 웨이퍼를 용액에 담금과 동시에, 브러시로 웨이퍼 표면을 기계적으로 세정하는 방법 등도 사용되고 있다.

이러한 종래의 세정방법은, 기본적으로 물을 사용하는 소위 웨트 세정법(wet cleaning method)이기 때문에, 다음과 같은 과제를 가진다.

- 1) 드라이 에칭(dry etching)이나 플라즈마 CVD와 같이 진공 중에서 일관 처리를 하면, 가공 정밀도 및 제조효율을 높일 수는 있으나, 각 처리 후에 필요한 세정이 웨트처리이기 때문에, 일단 웨이퍼를 대기중으로 꺼낼 필요성이 발생하여 전술한 효과를 얻을 수 없다.
- 2) 웨트 세정에서는, 세정 외에 린스(rinse), 건조의 공정이 필요하게 되어 제조공정의 증가를 초래한다.
- 3) 웨트 세정에서는, 반도체 재료의 극(極)표면을 개질(改質)하게 되어, 반도체 장치의 미세화에 따라 그 표면 개질에 의한 수율의 저하가 생긴다.
- 4) 웨트 세정에서는, 액체의 표면장력에 의해 반도체 장치의 미세 구조부에 충분히 액체가 침투하지 않는 경우가 있어, 이 미세 구조부에서의 세정력이 부족하다.
- 5) 고성능 디바이스에서는 반도체 장치의 신재료, 특히 절연막 재료에 유기막(organic film)이나 다공질(porous) 유기막 등의 흡습성 높은 재료가 필요하게 되고 있으며, 그들의 재료를 사용한 반도체 장치의 제조에서는 웨트 세정 또는 경우에 따라서는 대기에 노출 시키는 것만으로 장치의 특성 열화가 초래되어 버린다.
- 6) 통상 웨트 세정은 배치처리(batch processing)로 이루어진다. 웨이퍼는 300mmΦ(직경) 또는 그 이상인 경우, 상기 웨이퍼의 세정 및 세정 전후에 있어서 웨이퍼의 처리에 많은 시간을 요한다.

한편, 상기의 웨트 세정법에 치환되는 세정방법으로서, 드라이 세정법(dry method)이 있다. 이 드라이 세정법에 대해서는, 예컨대 일본 특개평 8-131981호 공보, 특개평 8-85887호 공보 또는 특개평 9-17776호 공보에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 전술한 웨트 세정에 따른 과제를 해결하기 위하여, 진공중에서의 세정으로도 전술한 웨트 처리에 필적하는 세정력을 얻을 수 있는 드라이 세정방법을 제공하는 것이다.

발명의 구성

본 발명에서 개시되는 발명 중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명에 의한 드라이 세정방법은, 진공 배기수단에 의해 진공 배기된 처리용기 내에서, 피처리 웨이퍼의 표면 및 뒷면에 근접 또는 접하여 패드형 구조체를 각각 배치하고, 상기 패드형 구조체와 상기 피처리 웨이퍼 사이에 가스흐름을 공급하면서, 상기 패드형 구조체를 상기 피처리 웨이퍼의 표면 및/또는 뒷면을 세정처리하는 것을 특징으로 하고 있다.

이하, 본 발명의 실시예에 대하여, 도면을 참조하여 상세히 설명한다.

(실시예 1)

본 발명에 관한 드라이 세정방법의 실시예 1 및 그 동작을 설명한다. 또한, 세정될 피처리체는, 예를 들면 300mmΦ(직경)의 원형 반도체 웨이퍼이다.

도 1에 본 발명의 실시예 1에 관한 드라이 세정방법을 실시하기 위하여 이용한 드라이 세정장치의 기본적 구성을 나타낸다. 진공 배기수단(진공 펌프/도시않

음)을 가지는 진공용기(1) 내에, 피처리 웨이퍼(2) 및 상기 피처리 웨이퍼(2)를 탑재하기 위한 피처리 웨이퍼 설치수단(3)이 설치되어 있다. 피처리 웨이퍼 설치수단

(3)은, 피처리 웨이퍼(2)를 그 주변부의 4 점으로 지지하는 구성으로 되어 있고, 동시에 이 지지부를 회전시키는 것에 의해 피처리 웨이퍼(2)를 원주방향으로 회전시키는 기능을 가진다. 피처리 웨이퍼(2)의 표면 쪽 및 뒷면 쪽에는 패드형 구조체

(4)(5)가 근접하여 배치된다. 패드형 구조체(4)(5)에는 피처리 웨이퍼(2) 상에서의 수평방향의 이동을 가능하게 하는 주사(走査)기구(6)와 피처리 웨이퍼(2)에 근접 배치하기 위한 상하 이동기구(7)가 설치되어 있다. 패드형 구조체(4)(5)에는, 패드형 구조체(4)(5)와 피처리 웨이퍼(2) 사이에 작용하는 가중(加重)을 검출하는 가중 검출수단(8)이 설치되어 있고, 패드형 구조체(4)(5)와 피처리 웨이퍼(2)사이에 작

용하는 가중에 의해 상하 이동기구(7)에 의한 이동량을 제어하므로써, 패드형 구조체(4)(5)와 피처리 웨이퍼(2) 사이의 간격을 제어하고 있다. 또한, 진공용기(1)의

상부에는 플라즈마 생성수단(9)이 설치되어 있다. 본 실시예에서는 마이크로파 대(band)의 전자파를 이용한 플라즈마 생성수단을 사용하였다. 즉, 플라즈마 생성수단(9)은 마이크로파 발진부(23), 도파관(導波管)(24) 및 유전체 창(dielectric material window)(25)으로 구성되어 있다. 가스 도입부(21)에서 플라즈마 생성부

(9a)에 CF4 가스가 공급된다.

본 실시예에서는, 플라즈마 생성수단(9)에 마이크로파 대(구체적으로는 2.

45GHz)의 전자파를 사용했으나, 그 외에 UHF 대 전자파나 라디오파 대 전자파를 사용해도 좋고, 더욱이는 그들 전자파에 자장을 중첩 인가하여 플라즈마를 생성시켜도 마찬가지로 효과를 얻을 수 있다. 주요한 것은 플라즈마를 생성할 수 있는 수단이라면, 어떠한 플라즈마 생성법에 의해서도 좋다.

또한, 본 실시예에서는, 플라즈마 생성수단(9)에 의해 생성되는 플라즈마

(22)의 확산영역 내에 피처리 웨이퍼를 배치하는 구조로 하였다. 확산영역 내에 피처리 웨이퍼를 배치하므로써 플라즈마(22)에 의한 피처리 웨이퍼(2)의 파인 손상 등을 방지할 수 있다.

피처리 웨이퍼(2)의 온도 제어수단(20)으로서 적외선 램프가 설치되어 있고, 그 것으로부터의 적외선(26)의 조사에 의해 피처리 웨이퍼(2)의 온도를 실온(약 25℃)에서 300℃의 범위로 제어할 수 있는 구조로 되어 있다. 패드형 구조체(4)(5)

로부터 분출되는 가스흐름에 의해 피처리 웨이퍼(2)의 냉각이 이루어지고, 적외선 램프에 의한 가열과 합쳐져 피처리 웨이퍼의 온도를 일정화하도록 온도 제어수단

(20)중의 적외선 램프의 출력을 제어하고 있다. 본 실시예에서는 상기한 피처리 웨이퍼의 온도 제어수단을 이용했으나, 특별히 피처리 웨이퍼의 온도를 높이지 않고서도 충분한 세정력을 얻을 수 있는 경우에는, 이와 같은 온도 제어수단이 반드시 필요하지 않음은 물론이다.

도 2는, 피처리 웨이퍼 설치수단(3)의 상세를 설명하기 위한 평면도이다. 본도는 피처리 웨이퍼(2)와 피처리 웨이퍼 설치수단(3)을 피처리 웨이퍼(2)의 위쪽에서 본 도이다. 피처리 웨이퍼(2)의 외주부가 4개의 피처리 웨이퍼 설치수단(3)에 접하여 유지되고 있다. 또한, 각 피처리 웨이퍼 설치수단(3)이 도시하는 바와 같이 회전하는 것에 의해 피처리 웨이퍼(2)를 회전시키고 있다. 도 1 및 도 2에 나타낸 피처리 웨이퍼(2) 설치수단(3)을 사용하므로써, 피처리 웨이퍼(2)의 양면을 개방시킬 수 있고, 후술하는 양면의 동시 세정을 실시할 수 있게 된다.

다음으로, 도 3에 피처리 웨이퍼(2)의 표면 쪽에 근접시키는 패드형 구조체

(4) 및 뒷면 쪽에 근접시키는 패드형 구조체(5) 부분의 상세 구성예를 나타낸다. 피처리 웨이퍼(2)에 근접 배치하는 패드형 구조체(4)(5)는 피처리 웨이퍼(2)에 근접하여 배치된 테플론(Teflon)재로 형성된 패드부(10), 가스 도입부(11), 지지부

(12), 가중 검출수단(8), 패드부(10)의 주사(走査)기구(6) 및 상하 이동기구(7)로의 접속기구(13) 등으로 이루어진다. 접속기구(13)는, 지점(14)을 중심으로 피처리 웨이퍼(2)의 양면과 패드부(10)면과의 평행도를 제어할 수 있는 관절 기능을 가진 구조로 되어 있다. 가스 도입부(11)에서 패드부 상부에 가스를 공급하여, 패드부

(10)와 피처리 웨이퍼(2) 사이에 이 가스를 분출하는 구조로 되어 있다.

도 3에 나타내는 것처럼, 본 실시예에서는 패드부(10)의 중앙부 1개소에 형성한 가스 분출부(15)에서 가스를 분출하는 형태 및 도 4에 나타내는 것처럼 패드부(10)의 면 내에 균등 배치한 복수개의 가스 분출공을 가지는 가스 분출부(16)로부터 가스를 분출하는 형태의 2 종류를 사용했다.

도 5, 도 6에, 피처리 웨이퍼(2)의 뒷면에 근접하는 패드형 구조체(5)의 다른 구성예를 나타낸다. 반도체 디바이스(예를 들면, MISFET 등)가 만들어 놓여져 있지 않은 피처리 웨이퍼의 뒷면은 그다지 기계적인 손상을 염려할 필요가 없다. 따라서, 도 5, 도 6에 나타내는 실시예에서는, 피처리 웨이퍼 뒷면의 세정력을 우선하게 하기 위하여, 앞의 도 3, 도 4에 나타낸 패드형 구조체와 같이 패드형 구조체와 피처리 웨이퍼 뒷면을 비접촉으로는 하지 않고, 패드형 구조체가 직접 피처리 웨이퍼 뒷면에 접하는 구조로 하였다. 도 5, 도 6에 나타내는 것처럼, 피처리 웨이퍼에 접하는 패드부(17)의 표면은 요철(凹凸)상 또는 브러시 형상의 구조로 하였

다. 도 5, 도 6에 나타내는 실시예에 있어서도, 패드부(17)에 의한 이물질 제거 작용으로 일단 웨이퍼 표면에서 이탈한 이물질이 재부착하지 않도록 하기 위하여, 가스 분출부(18)로부터 가스를 분출하는 구조를 가졌다. 또한 마찬가지로, 패드부

(17)의 피처리 웨이퍼 뒷면과의 접촉압력을 제어할 목적으로 가중 검출수단(19)을 설치하였다.

본 실시예에서는, 패드형 구조체(4)(5)의 패드부에 테플론(Teflon)재를 사용했으나, 그 외에 폴리비닐알콜, 델린(Delrin), 베스펠(Bespel), 캡톤(Kapton), 폴리염화비닐(polyvinyl chloride), 폴리에스테르, 산화실리콘, 실리콘, 산화알루미늄 등을 사용해도 마찬가지로 효과가 있는 것은 말할 것도 없다. 기본적으로 패드부의 재질에는, 피처리 웨이퍼 면의 재질보다 부드러운 것을 사용하는 것이 바람직하다. 즉, 피처리 웨이퍼(2)의 표면 및 뒷면에 배치한 패드형 구조체(4)(5)의 피처리 웨이퍼 면에 근접하는 부분에는, 피처리 웨이퍼 면을 구성하는 재료보다 경도가 낮은 재료가 사용된다. 특히, 도 5, 도 6에 나타낸 패드부는 직접 피처리 웨이퍼의 뒷면에 접하기 때문에 테플론(Teflon)재 등의 피처리 웨이퍼(실리콘 기판)에 대하여 유연성을 나타내는 재료가 최적이다.

또한, 본 실시예에서는 패드형 구조체(4)(5)의 피처리 웨이퍼에 접하는 면의 크기를 직경 3cm로 했다. 이것은, 피처리 웨이퍼(2)에 플라즈마 생성수단(9)에 의해 생성된 활성종(活性種)의 도달효율을 양호하기 위함이다. 즉, 패드형 구조체(4)가 너무 크면, 상기 패드형 구조체(4)에 의해 피처리 웨이퍼 면이 덮여지고 말아, 플라즈마로부터의 활성종이 웨이퍼 면에 도달할 수 없게 되어 버리기 때문이다. 따

라서, 본 패드형 구조체(4)(5)의 크기는, 피처리 웨이퍼 면의 크기 보다도 작은 것이 필요하다.

(실시예 2)

도 7에 본 발명의 드라이 세정방법을 실시하기 위한 드라이 세정장치의 다른 구성예를 나타낸다. 도 7의 장치 구성과 도 1의 장치 구성과의 상위점은, 주로 플라즈마 생성수단(9)의 위치이다. 도 1의 실시예에서는, 플라즈마 생성수단(9)을 피처리 웨이퍼(2)의 표면 쪽에 배치하였다. 이것은, 주로 피처리 웨이퍼(2) 표면의 세정에 아래에서 설명하는 플라즈마의 세정 어시스트(assist) 효과를 반영시키기 위함이다.

도 7에 나타내는 세정장치는, 피처리 웨이퍼(2)의 표면 및 뒷면의 양쪽에 플라즈마의 어시스트(assist)효과를 반영시키기 위해서, 피처리 웨이퍼(2)의 측면 쪽에 플라즈마 생성수단을 배치했다. 이 플라즈마 생성수단(9)의 배치와 피처리 웨이퍼(2)의 회전 기능에 의해서 피처리 웨이퍼(2)의 양면에 플라즈마에 의한 동일한 세정 어시스트 효과를 줄 수 있다. 도 7에 도시한 실시예 외에 피처리 웨이퍼(2)의 양면에 플라즈마의 세정 어시스트 효과를 균등하게 반영시키기 위하여, 피처리 웨이퍼(2)의 양면에 대향하여 각각 플라즈마 생성수단을 배치하여도 마찬가지로의 효과가 있는 것은 물론이다. 마찬가지로, 도

7에 도시한 플라즈마 생성수단(9)과는 반대 쪽의 웨이퍼 측면에도 플라즈마 생성수단을 설치해도 좋다. 또한, 주로 웨이퍼 뒷면에만 플라즈마 세정 어시스트 효과를 반영시키고 싶은 경우에는, 도 1의 장치 구성에 있어서 플라즈마 생성수단(9)쪽에 피처리 웨이퍼의 뒷면을 배치하는 것도 가능하다고 하는 것도 필요도 없다.

다음, 본 실시예에 있어서 세정공정의 예를 설명한다.

우선, 세정의 대상으로 되는 피처리 웨이퍼(2)는 피처리 웨이퍼 설치수단(3)에 의해 지지된다. 피처리 웨이퍼 설치수단(3)은 도 1에서 그 개요를 나타낸 바와 같이 피처리 웨이퍼(2)의 엣지부를 복수점으로 유지하고, 피처리 웨이퍼(2)의 표면과 뒷면의 양면을 개방하여 양면의 동시 세정을 가능하게 하고 있다.

다음, 도 1에서도 설명한 바와 같이, 피처리 웨이퍼 설치부(3)의 지지부 회전에 의해, 피처리 웨이퍼(2)를 회전시킨다. 본 실시예의 경우에 있어서는, 피처리 웨이퍼(2)의 회전속도를 200회전/분으로 하였다. 또한, 온도 제어기구(20)를 구성하는 적외선 램프에 의해 피처리 웨이퍼(2)의 온도를 100℃로 설정하였다. 피처리 웨이퍼의 온도를 높이는 것으로, 피처리 웨이퍼 표면에서의 화학반응 효율을 높게할 수 있어 세정효율을 높일 수 있다.

이어서, 패드형 구조체 4 및 5의 가스 분출부(15)로부터 아르곤가스를 각각 분출시키면서 주사(走査)기구(6)에 의해 패드형 구조체(4)(5)로 피처리 웨이퍼(2)

상을 주사(走査)한다. 본 실시예에서는 패드형 구조체(4)(5)로부터 분출하는 아르곤가스의 유량을 각각 20리터/분으로 하였다. 분출한 아르곤가스는 진공용기(1)에 설치된 배기수단에 의해 외부로 배기된다.

다음, 플라즈마 생성수단(9)에 의해, 가스 도입부(21)로부터 도입한 CF₄ 가스와 패드형 구조체(4)(5)로부터 도입한 아르곤가스와의 혼합가스의 플라즈마를 생성시킨다. 플라즈마 생성 후, 패드형 구조체(4)(5)를 상하 이동기구(7)에 의해 피처리 웨이퍼(2) 면에 근접시킨다. 이 때, 가중 검출수단(19)에 의해 패드형 구조체(4)(5)와 피처리 웨이퍼(2) 사이에 작용하는 힘을 검출하는 것으로 패드부 표면과 피처리 웨이퍼(2)와의 간격을 제어한다. 구체적으로는, 패드형 구조체(4)(5)로

부터 공급한 아르곤 가스에 의해 패드 면과 피처리 웨이퍼(2) 면 사이는 고 가스압 상태로 되고, 패드부(17)가 피처리 웨이퍼에 접하지 않아도 패드부 및 피처리 웨이퍼(2) 사이에 가중(加重)이 발생하므로, 그 가중과 흐르는 가스의 유량을 관리하는 것에 의해 패드부 표면과 피처리 웨이퍼(2) 면 사이의 간격을 제어할 수 있다.

가중 검출수단(19)에는 압전소자(piezo electric element), 스트레인 게이지

(strain gauge), 스프링, 탄력재, 웨이트(weight), 또는 그들을 조합하여 사용할 수 있다. 본 실시예에서는, 패드부 표면과 피처리 웨이퍼(2) 면과의 간격이 5~20 μ m가 되도록 제어하였다. 단, 패드부 표면과 피처리 웨이퍼(2) 면 사이의 간격을 1~100 μ m의 범위로 하더라도 필요로 하는 동일한 효과를 얻을 수 있다. 패드형 구조체(4)의 패드부 표면과 피처리 웨이퍼(2) 면 사이의 간격을 1 μ m 이하로 하면 간격을 일정하게 유지하는 것이 곤란하게 됨과 동시에, 양자를 너무 근접시키면 접촉할 가능성이 높게 되고 피처리 웨이퍼(2) 표면에 손상을 유발하기 때문에, 실용상 1~100 μ m의 간격이 가장 효과적이다. 또한, 피처리 웨이퍼(2)의 뒷면 세정용의 패드형 구조체(5)와 피처리 웨이퍼 뒷면 사이의 간격은, 웨이퍼 표면만큼 손상을 염려할 필요가 없으므로, 직접 패드형 구조체(5)가 피처리 웨이퍼 뒷면에 접하도록 배치해도 특별히 문제는 없다. 그러나, 직접 접하는 경우에 있어서도 패드형 구조체(5)와 피처리 웨이퍼(2) 뒷면 사이의 가중을 관리하는 것은 필요하며, 일정 눌러붙이는 압력으로 뒷면도 세정된다. 또한, 패드형 구조체(5)를 피처리 웨이퍼 뒷면에 직접 접촉시키는 경우에는, 도 5, 6에 나타난 패드부 구조를 이용하므로써 세정력을 높일 수 있다.

본 실시예에서는 패드형 구조체(4)(5)로부터 공급하는 가스에 아르곤가스를 사용했으나, 그 외에 질소, He, Xe, Ne를 이용해도 마찬가지로 효과가 있다는 것은 말할 필요도 없다. 또한, 본 실시예에서는 패드형 구조체(4)(5)와 피처리 웨이퍼

(2) 사이에 흐르는 가스의 유량을 20리터/분으로 하였으나, 0.5~500리터/분의 범위 내의 가스 유량으로 마찬가지로의 효과를 얻을 수 있다. 세정력만으로 생각하면 당연히 가스 유량이 많을수록 세정력을 높일 수 있으나, 가스 소비량의 증대에 따른 코스트 상승의 문제 등으로 인하여, 0.5~500리터/분이 실용적인 범위로 된다. 피처리 웨이퍼(2)와의 간격이 제어된 패드형 구조체(4)(5)를 주사(走査)기구(6)에 의해 피처리 웨이퍼(2) 상에서 주사하므로써 피처리 웨이퍼(2)의 회전과 맞추어 피처리 웨이퍼(2) 전면(全面)을 패드형 구조체(2)로 주사하는 것이 가능한 구조로 되어 있다.

본 실시예에서는, 피처리 웨이퍼(2)를 회전시키는 회전기구를 사용했으나, 그 외에 패드형 구조체(4)(5) 자신을 회전시키는 기구 또는 피처리 웨이퍼를 회전시키는 기구와 패드형 구조체 자신을 회전시키는 기구를 함께 사용하는 경우에 있어서도 마찬가지로의 효과가 있다.

다음, 본 발명에 의한 드라이 세정방법에 의한 세정의 메커니즘을 설명한다.

우선, 패드형 구조체 4 및 5의 기능을 설명한다. 구조체 4 및 5는 주로 피처리 웨이퍼(2)의 표면 또는 뒷면에 흡착한 이물질에 대하여 물리적인 힘을 작용시켜서 세정·제거하는 기능을 수행한다. 그러나, 특히 극미세한 반도체 디바이스가 형성되는 피처리 웨이퍼 표면에서는, 직접 패드형 구조체(4)가 피처리 웨이퍼 표면에 접하면, 작용하는 물리적 힘이 너무 커서 피처리 웨이퍼 표면에 손상을 발생시키고 만다. 그 때문에 본 실시예에서는, 패드형 구조체(4)와 피처리 웨이퍼(2) 표면 사이에 가스를 흘리고, 그 가스를 통하여 피처리 웨이퍼 표면에 간접적으로 물리적인 힘을 작용시키는 구조로 하고 있다. 패드형 구조체(4)와 피처리 웨이퍼(2) 표면 사이에 가스 흐름을 생성하므로써, 상기 가스 흐름의 마찰응력을 피처리 웨이퍼(2) 표면에 작용시킬 수 있다. 이 때문에, 비접촉의 상태로 큰 물질 이동력을 생성시킬 수 있다. 또한, 패드형 구조체(4)와 피처리 웨이퍼(2) 표면을 근접시켜서 양자간의 미소 틈새 내에 가스를 도입하므로써 것에서 넓은 범위에 걸쳐서 유효한 세정력을 가지는 고속의 가스흐름을 생성하는 것이 가능하게 된다. 더욱이, 이 고 가스 유속에 의한 세정력은 틈새 간격과 가스 유량으로 정해지므로, 패드형 구조체(4)와 피처리 웨이퍼(2) 표면 사이에 작용하는 누름력과 흐르는 가스의 유량을 제어하는 것만으로 정밀하게 세정력을 제어할 수 있다. 이 정밀한 세정력 제어기능에 의해, 저 손상성과 고 세정력과의 양립을 얻을 수 있다. 또한, 고속의 가스흐름은 피처리 웨이퍼(2) 면에 형성된 미세구조의 모든 부분에 세정력을 작용시킬 수 있게 된다. 이때문에, 웨트 세정에서는 표면장력에 의해 세정작용이 미치지 않게 되는 극미세 반도체 구조부의 고효율의 물리적 세정력을 얻을 수 있다. 피처리 웨이퍼의 뒷면 세정용의 패드형 구조체(6)에 관해서는, 표면 세정용의 그것과 기본적으로는 마찬가지로이나, 손상을 그다지 염려할 필요가 없다는 점에서 도 5, 도 6에 나타난 바와 같이 패드형 구조체의 패드부를 피처리 웨이퍼 뒷면에 직접 접촉시켜서 세정하는 것에 의해 높은 이물질 제거능력을 발휘시킬 수 있다.

다음, 플라즈마 생성수단(9)의 기능을 도 8, 도 9, 도 10을 참조하여 설명한다.

도 8, 도 9, 도 10에 나타내는 플라즈마의 기능은, 전술한 패드형 구조체(4)에 의한 물리작용 만으로는 제거하기 곤란한 이물질의 흡착력을 완화하여 세정효율을 높이는데(세정작용을 도운다) 있다.

먼저, 도 8에 정전적(靜電的)으로 흡착한 이물질(30)의 플라즈마(27)에 의한 흡착력 완화의 메커니즘을 나타낸다. 플라즈마 에칭이나 스퍼터링과 같이 플라즈마를 이용한반도체 제조공정 후의 웨이퍼 표면(31)에는, 마이너스 대전(帶電)된 이물질(30)이 정전 흡착되어 있다. 그러나, 본 실시예에 의한 플라즈마 생성수단(9)에서 발생하는 희박 플라즈마 중의 플러스 전하에 의해 이온 시스(ion sheath)(28) 내에 이물질(30)에 대한 정전 흡인력(29)이 생기고, 패드형 구조체 4 또는 5에 의한 물리작용에서의 세정력을 높일(도와 줄)수 있다.

다음, 도 9에 이물질(30)이 피처리 웨이퍼 면(31)에 화학 흡착하고 있는 경우의 흡착력 완화의 메커니즘을 나타낸다. 통상, 이물질(30)이 피처리 웨이퍼 면

(31)에 화학 흡착하는 경우, 이물질(30)과 피처리 웨이퍼 면(31)과의 접촉면에서 산화반응이 일어난다. 즉, 이물질(30)과 피처리 웨이퍼(31) 면 사이에 전자 교환이 이루어지므로써 화학 흡착력이 발생하고 있다. 이 상태에서는, 화학반응론적으로, 이물질(30)과 웨이퍼 표면 사이에 화학 흡착층(33)을 통하여 전자의 교환이 행이루어지는 것에 의해 이물질(30)의 흡착력이 생기는 것으로 된다. 그래서, 산소가스를 공급하여 플라즈마를 생성하는 것으로, 오존 또는 산소 래디컬 등의 산화성이 강한 활성종(32)을 생성하여, 그 활성종(32)을 이물질(30)에 흡착시키므로써, 상기한 전자의 교환(교환작용)을 이물질(30)- 웨이퍼 표면(31) 사이에서, 이물질(30)

- 활성종(32) 사이로 이행(移行)시키는 것에 의해, 상기한 이물질의 화학 흡착력을 완화시킬 수 있다. 마찬가지로 효과는 플라즈마에 질소, 수소 또는 산소를 함유한 이들 산화 환원성가스의 혼합가스를 공급하는 것에 의해서도 얻을 수 있는 것은 말할 필요도 없다.

또한, 도 10에 나타내는 리프트 오프(lift-off)기능에 의한 세정 보조작용에 대하여 설명한다. 본 실시예에서는, 패드형 구조체(4)(5)에서 공급하는 아르곤 가스와는 별개로, 플라즈마 생성수단(9)부에 CF₄ 가스를 공급하고 있다. 이 CF₄ 가스는, 플라즈마 생성에 의해 F,CF₃과 같이 반응성이 높은 할로젠 래디컬(35)로 분해된다. 이들 할로젠 래디컬(35)이 피처리 웨이퍼 표면(31) 상의 실리콘 또는 실리콘 산화막을 극소량 에칭(리프트 오프)하므로써, 피처리 웨이퍼 표면(31)에 용해한

또는 파들어간 이물질(30)을 제거하기 쉽게 하고, 패드형 구조체(4)에 의한 물리적인 세정작용의 세정력을 높인다. 즉, 세정 전의 웨이퍼 표면(34)을 에칭하는 것에 의해 웨이퍼 표면(31)에 대한 이물질(30)의 접촉면적이 작아진다. 이 때문에, 이물질(30)은 용이하게 제거된다.

본 실시예에서는, CF₄ 가스의 해리중(dissociated component)을 사용했으나, C₂F₆, C₃F₈, C₁₂, F₂, NF₃, HF, 암모니아, 수소가스 등을 사용해도, 마찬가지로 리프트 오프 기능에 의한 세정 보조효과를 얻을 수 있는 것은 말할 필요도 없다. 또한, 피처리 웨이퍼면에 흡착한 이물질은 여러가지 형태로 흡착되어 있으므로, 도 8, 도 9, 도 10을 참조하여 설명한 세정 보조작용을 각각 독립적으로가 아니라, 혼합하여 작용시켜 이물질 제거를 할 수 있는 것은 말할 필요도 없다.

이상의 패드형 구조체에 의한 물리적인 작용과 플라즈마에 의한 화학적인 작용 및 전기적인 작용에 의해 진공 중 또는 감압 분위기 중에서 웨이퍼의 고효율의 세정이 이루어진다.

특히, 본 발명에 의한 드라이 세정방법을 내경 0.3 μ m 이하의 미세한 관통홀(hole) 구조부를 가지는 반도체 장치의 제조에 이용하므로써, 그 미세 구조부에 대해서도 충분한 세정효과를 발휘할 수 있다. 이 때문에, 저 코스트로 고 수율인 반도체 장치의 제조가 가능하게 된다.

상기 실시예에서는, 패드형 구조체(4)(5)에 의한 물리적인 세정작용을, 플라즈마의 반응성에 의해 돕는 실시예로 하였으나, 다른 실시예로서 플라즈마 생성수단(9) 대신에 자외선 광원을 이용하고, 그 자외선에 의해 진공 내에 도입한 반응가스를 여기(勵起)해도 마찬가지로의 화학적인 작용을 얻을 수 있고, 패드형 구조체(4)

(5)에 의한 물리적인 세정작용을 보조할 수 있다.

또한, 마찬가지로 다른 실시예로서 불소산(fluoric acid) 증기 또는 불소산과 수증기와의 혼합기체를 플라즈마 생성 대신에 이용하므로써, 앞의 실시예에 있어서 실리콘 또는 실리콘 산화막에 대한 리프트 오프 기능을 실현할 수 있고, 패드형 구조체(4)(5)에 의한 물리적인 세정작용을 보조할 수 있다.

더욱이, 상기의 실시예에 있어서와 같이 이물질 제거작용에 대한 어시스트 효과는, 상기한 패드형 구조체(4)(5)로부터의 고속 분사 가스흐름에 의한 이물질 제거수단과의 조합 이외에도 다른 임의의 이물질 제거수단과의 조합에서도 얻을 수 있다. 예를 들면, 진공용기(1)에 부설된 배기수단에 의한 고속배기(실효 배기속도

:800리터/sec 이상)로, 얻어지는 고속의 가스흐름을 이용한 이물질 제거수단과의 조합도 생각할 수 있다.

또한, 도 1에 나타난 드라이 세정장치를 이용한 반도체 장치의 제조공정에 있어서, 진공용기(1)(처리실) 내에서, 주 공정(산화막의 에칭처리)과 세정처리를 연속적으로 하여도 좋다. 패드형 구조체에 의해 덮여져 있지 않는 개소의 웨이퍼 주면(主面)에서는 에칭이 행해지고, 패드형 구조체에 의해 덮여진 개소의 웨이퍼 주면에서는 세정이 행해진다.

이와 같은 방법에서는, 에칭과 함께 그 에칭시에 발생한 이물질로 되는 반응 생성물의 세정도 효율 좋게 행할 수 있다.

(실시예 3)

다음, 본 발명을 이용한 반도체 장치의 제조방법에 대하여 설명한다.

도 11에, 드라이 에칭, 플라즈마 CVD 또는 스퍼터링 장치에 본 발명에 의한 세정기능을 부가한 경우의 반도체 제조장치의 구성예를 나타낸다. 도 11을 이용하여 본 실시예에 있어서 반도체 장치의 제조방법을 설명한다.

종래, 드라이 에칭 등의 처리 후에는, 웨이퍼를 일단 대기중에 내어서 웨트 세정을 실시하였다. 도 11에 나타내는 반도체 제조장치는, 에칭 챔버 등의 주 공정 챔버(36)(37) 외에, 예를 들면 도 1에 나타난 것과 마찬가지로의 세정챔버(38)(39)가 부가되어 있다. 처리 전의 웨이퍼는 웨이퍼 입구 카세트(42)에서 암(40)에 의해 웨이퍼 반송실(41) 내로 반송된다. 또한, 주 공정 및 세정처리가 실시된 처리 후의 웨이퍼는 암(40)에 의해 웨이퍼 출구 카세트(43) 내로 반송되어 수납된다.

본 실시예에 의하면, 웨이퍼에 대한 주 공정(예를 들면, 드라이 에칭과 같은 웨이퍼의 가공공정)이 종료한 후, 웨이퍼 반송실(41) 내에서 웨이퍼 반송암(40)에 의해 웨이퍼를 대기 중에 드러내는 일 없이, 세정챔버(38)(39) 내로 이송하여 세정처

리를 한다. 이에 따라, 전체로는 웨트 세정에 따른 여분의 공정을 삭감할 수 있고, 반도체 장치의 제조 코스트를 감소시킬 수 있다. 또한, 진공 중에서 일관처리되므로 공정처리 후의 웨이퍼에 표면 개질(改質)이 생길 확률이 저하하고, 디바이스 특성 및 수율이 향상됨과 동시에 처리능력(through put)도 높게 된다.

도 12에, 도 11에 나타난 실시예의 응용예를 나타낸다. 주 처리실(36)(37) 외에 후처리 챔버(44)(45)를 설치한 경우의 예이다. 구체적으로는, 주처리 공정을 에칭처리 공정으로 하고, 후처리 공정을 레지스트 마스크의 제거를 하는 엿싱

(ashing)처리로 한 경우이다.

즉, 주처리실(36)(37)에서의 에칭처리 후에 후처리 챔버(44)(45) 내에서의 엿싱 처리를 한다. 그리고, 다시 그 후에 세정 챔버(38)(39) 내에서의 세정처리를 한다. 이와 같이 본 실시예에서는, 주처리 공정 및 후처리 공정과 본 발명에 의한 세정 처리 공정을 진공 중에서 일관하여 실시한다. 이에 따라, 에칭처리 후의 대기중에서의 웨트 세정공정이 불필요하게 되고, 또한 전술한 대기 중에 있어서 웨이퍼 표면 개질의 문제를 회피할 수 있으며, 또한 미세 구조부에서의 이물질의 세정·제거도 효과적으로 할 수 있으므로, 그 후의 제조공정에 있어서 제조정밀도와 제조수율이 향상된다.

또한, 도 11 및 도 12에 나타내는 실시예에서는, 주공정 챔버 및 후처리 챔버를 각각 2개씩 가지는 장치 구성으로 설명했으나, 그러나 이것은 양산성을 높이기 위하여 2 챔버 구성으로 한 경우의 예이며, 당연히 주공정 챔버 또는 후처리 챔버를 각각 1개씩 한 장치 구성에 대하여, 더욱이 도 1에 나타난 것처럼 세정 챔버를 추가하여도 마찬가지로 효과를 얻을 수 있는 것은 말할 필요도 없다.

도 13에 나타내는 반도체 제조장치는, 전술한 것처럼 단일의 진공 내 처리 만은 아니고, 복수의 진공 내 처리를, 각 처리 간에 웨이퍼를 한번이라도 대기중으로 내는 일 없이, 일관하여 진공 중에서 실행하도록 구성되어 있다. 즉, 이 반도체 제조장치 소위 모듈에서는, 복수의 처리 챔버(47)가 멀티 챔버 반응실(46)에 접속 배치되어 있고, 이들 복수 처리 챔버 중의 적어도 1개 이상을 도 1에 나타난 것처럼 본 발명에 의한 세정 챔버(48)로 구성한다.

본 실시예에 의하면, 진공 내에서 고효율인 세정처리를 실현할 수 있고, 진공 중에서 일관처리할 수 있는 공정이 많게 된다. 이와 같이, 진공 내에서 일관하여 처리할 수 있는 공정이 증가하면 증가할수록, 반도체 장치의 제조 코스트 및 처리능력(through put)이 높아지고, 또한 가공 정밀도도 향상하므로, 저 코스트로 고성능인 반도체 장치를 제조하는 것이 가능하게 된다.

여기서, 도 13에 나타난 제조 모듈에 의한 반도체 장치 제조의 공정을, 도 14를 참조하여 이하에서 설명한다.

도 14는, 웨이퍼 상의 산화막에 0.3 μ m 이하의 홀 내경이고, 에스펙트

(aspect)비(막 두께/홀 내경)가 50 이상의 관통홀을 형성하기 위한 공정을 나타내는 공정도이다. 산화막(100)은, 예를 들면 상층 배선과 하층 배선 사이에 형성된 층간 절연막이다.

(a) 산화막(100) 위에 폴리실리콘 마스크(101)가 패터닝 형성된 반도체 기판(웨이퍼)이 준비된다. 이 폴리실리콘 마스크(101)는, 관통홀(hole) 형성용의 개구부(101a)가 통상의 포토리소그래피 기술에 의해 패터닝 형성된 것이다. 그리고

, 웨이퍼(2)는 도 13에 나타난 웨이퍼 입구 카세트(42) 내에 수납된다(도 13의 (a)).

(b) 이어서, 웨이퍼(2)는, 예비실 내를 통하여 도 13에 나타내는 멀티 챔버 반응실(46) 내로 반송된다. 그리고, 웨이퍼(2)는 먼저 웨이퍼 반송 압(40)에 의해 처리 챔버(A) 내로 반송된다. 이 처리 챔버(A) 내에서, 폴리실리콘 마스크(101)위에 다시 폴리실리콘 층(102)이 CVD 법에 의해 퇴적된다(도 13의 (b)).

(c) 상기의 CVD 처리 후, 웨이퍼(2)를 세정 챔버(A) 내로 이송하여 세정처리를 한다. 그 후, 웨이퍼(2)를 처리 챔버(B) 내로 이송하여, 폴리실리콘 층(102)의 드라이 에칭 (이방성 에칭)에 의해 마스크(101)의 개구부 측벽 위에만 폴리실리콘 층(102)을 남긴다. 이 방법에 의하면, 마스크(101)의 개구부(101a)에 대하여 자기 정합적(整合的)으로 개구부(101a)의 내경보다도 작은 내경의 개구부(101b)를 형성할 수 있다(도 13의 (c)).

(d) 이어서, 웨이퍼(2)를 도 13에 나타내는 세정 챔버(B) 내로 이송하고, 거기서 재차 세정처리를 한다. 이어서, 처리 챔버(C) 내에서 산화막(100)의 드라이 에칭을 해서, 산화막(100)에 관통홀(100a)을 형성한다. 또한, 이 처리 챔버(C)는 예를 들면 일본 특개평 9-321031호 공보에 개시한 플라즈마 처리장치로 구성되어 있다(도 13의 (d)).

(e) 상기의 산화막 에칭에 의한 관통홀 형성 처리 후, 이 산화막 에칭 중에 퇴적된 유기막을 처리 챔버(D)에서 엡싱처리하여 제거한다. 엡싱처리 후의 웨이퍼는, 웨이퍼 출구 카세트(43) 내로 반송된다(도 13의 (e)).

상기한 일련의 공정 (a)~(e)에 의해, 처음으로 폴리실리콘 마스크(101)에 패터닝 형성한 개구부(101a)의 내경 사이즈보다도 축소된 내경 사이즈의 관통홀

(100a)을 산화막(100) 내에 가공 형성할 수 있으며, 통상의 리소 그라피 기술의 한계이하의 가공 사이즈에서의 가공이 가능하게 된다.

더욱이, 본 실시예에 의하면, 상기한 일련의 공정을 도 13에 나타낸 것처럼 본 발명에 의한 제조 모듈을 이용하여 일관해서 진공 중에 실시하는 것에 의해, 종래와 같이 각 처리 공정간에 있어서 실시되는 세정처리를 대기 중에서의 웨트 세정처리에 의한 경우에 비해, 각별히 저 코스트로 반도체 장치 제조를 실현할 수가 있게 된다.

또한, 본 실시예에 의하면, CVD 공정, 폴리실리콘 에칭공정, 산화막 에칭공정 및 엡싱공정을 포함하는 연속처리 공정을 일관해서 진공 중에서 실시하기 때문에, 대기 폭로(暴露)에 의한 자연 산화막 형성 등의 수율 저하 요인이 없게 되고, 또한, 관통홀 형성의 가공치수 정밀도도 향상한다.

(실시예 4)

도 15에, 앞의 도 1 또는 도 7에 도시하여 설명한 실시예 1, 2와는 다른 드라이 세정장치의 구성예를 나타낸다. 도 15의 장치 구성에서는, 피처리 웨이퍼(2)의 뒷면 세정에 앞의 패드형 구조체에 대신하여 냉각가스 스프레이 수단(49)을 설치하고 있다. 탄산가스 또는 질소가스를 냉각하고, 그 냉각가스를 가스 도입기구

(51)를 통해 진공용기(1) 내로 도입하여, 그것을 미세한 노즐 등의 냉각가스 스프레이 수단(49)에 의해 진공용기(1) 내로 분출시키면, 극미세한 빙결 미립자(50)가 형성된다. 이 빙결 미립자(50)는 상기 가스 분출에 의해 비교적 높은 운동 에너지를 가지고 있고, 그 운동 에너지로 피처리 웨이퍼 뒷면 위의 이물질을 충돌 제거한다.

피처리 웨이퍼 위에 작성되는 반도체 장치의 기본 부분인 MISFET의 형성 공정에서, 본 발명의 세정방법을 적용한 경우의 일련의 처리공정을 도 16을 참조하여 이하에 설명한다.

MISFET의 형성은, 대략적으로는, 도 16에 나타내는 것처럼, (a)소자 분리형성 및 게이트용 폴리실리콘 퇴적, (b)게이트 전극형성(폴리실리콘 에칭), (c)이온

박아 넣음에 의한 익스텐션(N-영역) 형성, (d)질화막 퇴적, (e)게이트 전극측벽 보호막 형성(질화막 에칭), (f)실리사이드 층 형성의 순으로 행해진다. 상기 (a)~(f)의 각 공정간에서는, 앞의 실시예에 있어서 설명한 것과 동일한 드라이 세정처리가 행해진다.

상기 (a)~(f)의 각 공정을, 이하에서 간단히 설명한다.

(a) 우선, 실리콘 기판(52)에 소자간 분리를 위한 홈 분리 영역(54)이 형성된다. 또한, 실리콘 기판(52)은 P형 기판에 P 웰(well)이 형성된 것이다. 이어서, 게이트 산화막(도시 않음)을 개재하여 게이트용 폴리실리콘 층(53)이 퇴적된다. 이 게이트용 폴리실리콘 층(53)은 진공처리실 내에서 CVD법에 의해 형성된다[도 16의 (a)].

(b) 진공처리실 내에서 폴리실리콘 층(53)의 드라이 에칭가공이 행해지고, 게이트 전극(55)이 형성된다(도 16의 (b)).

(c) 이온 박아 넣음법에 의해, 게이트 전극(55)에 맞추어진 익스텐션(N-영역) (56)(57)이 형성된다. 이 익스텐션은, 핫อิเล็ก트론 대책으로서 형성된 비교적 저농도를 가지는 소스·드레인 영역이다(도 16의 (c)).

(d) 플라즈마 CVD 법에 의해, 질화막(58)이 게이트 전극(55)을 가지는 반도체 기판(52) 위에 퇴적된다(도 16(d)).

(e) 질화막(58)을 드라이 에칭(이방성 에칭) 하는 것에 의해, 게이트 전극

(55)의 측벽에 게이트 측벽 보호막(59)을 형성한다. 그 후에, 앞의 실시예에서 서술한 드라이 세정을 한다. 그런 후에, 이온 박아 넣음법에 의해, 게이트 측벽 보호막(59)에 맞추어진 비교적 고농도를 가지는 콘택트용의 N⁺ 영역(소스, 드레인영역)(56S)(57D)가 형성된다(도16의 (e)).

(f) 이어서, 저 저항화를 위하여 소스, 드레인 영역(56S)(57D) 표면 및 게이트 전극(55) 표면에 실리사이드층(60)이 각각 형성된다. 이 실리사이드층(60)은, 예를 들면 코발트층을 소스, 드레인 영역(56S)(57D) 표면 및 게이트 전극(55) 표면에 부착시켜, 이것을 열처리하는 것에 의해 형성된다(도 16 의(f)).

이상, 본 실시예에 의하면, MISFET 형성 공정에 있어서, 각 공정간의 세정처리를 드라이 세정으로 하고 있으므로, 제조 수율의 향상과 함께 저 코스트로 고성능인 반도체 장치를 제조하는 것이 가능하게 된다.

또한, 본 실시예에서는, 도 16에 나타난 하나의 MISFET의 형성을 예로 반도체 장치의 제조공정을 설명했다. 실제로는, 이와 같은 MISFET가 하나의 반도체 기판에 복수개 형성되고, LSI, VLSI 와 같이 반도체 집적회로장치가 구성된다. 따라서, 웨이퍼 주면에는, 도 17의 (a) 및 (b)에 나타내는 0.3 μ m 이하의 초미세 구조체가 도처에 존재한다. 이와 같은 초미세 구조체를 가지는 웨이퍼 면에서의 세정효과에 대해서 이하에 설명한다.

도 17의 (a)는 심공(深孔) 콘택트(64) 내부에 부착된 이물질(66)을 제거하는 기능의 설명도, 도 17의 (b) 는 배선(67)의 코너부(배선의 단차부)에 부착한 이물질(66)을 제거하는 기능의 설명도이다.

도 17의 (a) 및 17의 (b)에 나타난 바와 같이, 패드형 구조체(61)와 웨이퍼의 표면부(2a)와의 틈새(62)에 있어서, 이물질(66)을 제거하기 위한 물리적인 작용을 가스의 흐름(63)에 의한 점성마찰로 발생시키고 있기 때문에, 가스흐름이 미치는 범위 내라면 충분한 세정효과를 발휘할 수 있다.

종래의 웨트 세정법에서는, 액체의 표면 장력에 의해 미세 구조부 내에 액체가 침입하기 어려우므로, 0.3 μ m 이하의 미세 구조부에서는 충분한 세정효과를 얻을 수 없는 경우가 상정(想定)된다. 그러나, 본 실시예의 드라이 세정법에서는, 전술한 것처럼 표면장력을 가지지 않는 가스흐름을 이용하고 있으므로, 상기한 표면장력에 의한 세정력 저하의 문제를 회피할 수 있다. 따라서, 앞으로 점점 미세화 하는 반도체 장치의 세정처리에 큰 효과를 발휘할 수 있다.

본 발명의 세정방법은, 단(短) TAT가 요구되는 시스템 LSI, 예를 들면 메모리 LSI와 로직 LSI가 칩 상에 혼재한 LSI의 제조에 있어서 특히 유효하며, 세정처리를 효율 좋게 하는 것에 의해, 단시간에 저 코스트, 고수율로 시스템 LSI를 제조할 수 있다.

이상, 본 발명의 드라이 세정방법 및 동 방법을 실시하기 위하여 가장 적합한 장치 구성에 대해서, 여러가지 실시예를 들어 구체적으로 설명했으나, 본 발명은 이들의 실시예에 한정하지 않고, 그 요지를 이탈하지 않는 범위 내에서 여러가지 변경 가능한 것은 말할 필요도 없다.

발명의 효과

본 출원에 있어서 개시되는 발명중, 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 이하와 같다.

본 발명에 의하면, 진공실 내에서 일관하여 피처리 웨이퍼의 세정을 할 수 있고, 더욱이 피처리 웨이퍼의 표면과 뒷면을 동시에 세정하는 것이 가능하게 되며

, 세세정처리의 적용범위를 확대할 수 있음과 동시에, 반도체 장치의 제조에 있어서 제조 수율의 향상과 저 코스트화가 가능하게 된다.

도면의 간단한 설명

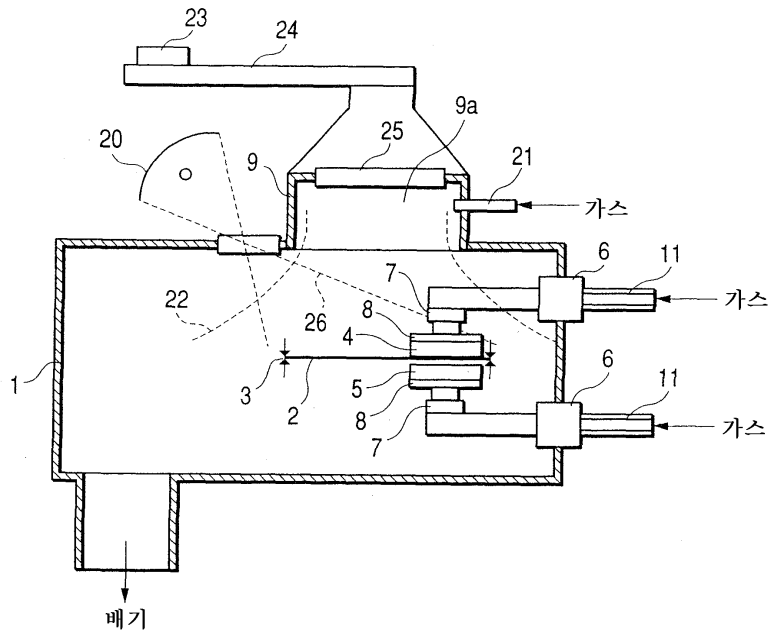
도 1은 실시예 1에 있어서 드라이 세정장치의 기본적 구성을 나타내는 도이고,

도 2는 실시예 1에 있어서 피처리 웨이퍼 설치수단의 일 구성예를 나타내는 도이고,

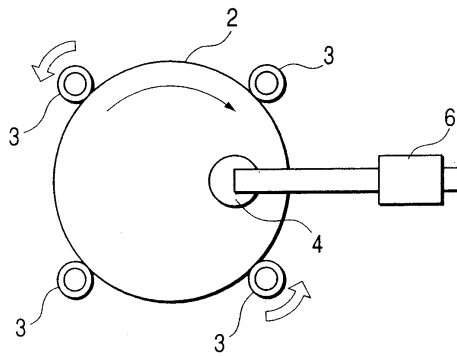
도 3은 실시예 1에 있어서 패드형 구조체의 일 구성예를 나타내는 도이고,
 도 4는 실시예 1에 있어서 패드형 구조체의 다른 일 구성예를 나타내는 도 이고,
 도 5는 실시예 1에 있어서 표면 세정용 패드형 구조체의 일 구성예를 나타내는 도이고,
 도 6은 실시예 1에 있어서 뒷면 세정용 패드형 구조체의 다른 일 구성예를 나타내는 도이고,
 도 7은 실시예 2에 있어서 드라이 세정장치의 기본적 구성을 나타내는 도이고,
 도 8은 플라즈마에 의한 세정작용의 일례의 설명도이고,
 도 9는 플라즈마에 의한 세정작용의 다른 일례의 설명도이고,
 도 10은 플라즈마에 의한 세정작용의 또 다른 일례의 설명도이고,
 도 11은 실시예 3에 있어서 반도체 제조장치의 일 구성예를 나타내는 도
 이고,
 도 12는 실시예 3에 있어서 반도체 제조장치의 다른 구성예를 나타내는 도 이고,
 도 13은 실시예 3에 있어서 반도체 제조장치의 또 다른 일 구성예를 나타내는 도이고,
 도 14는 도 12에 나타난 반도체 제조장치에 의한 반도체 장치의 제조 공정을 나타내는 도이고,
 도 15는 실시예 4에 있어서 드라이 세정장치의 기본적 구성을 나타내는 도 이고,
 도 16은 실시예 4에 있어서 반도체 장치의 제조 공정을 나타내는 도이고,
 도 17은 본 발명의 드라이 세정방법에 의한 미세 구조부에서의 세정효과를 설명하는 도이다.

도면

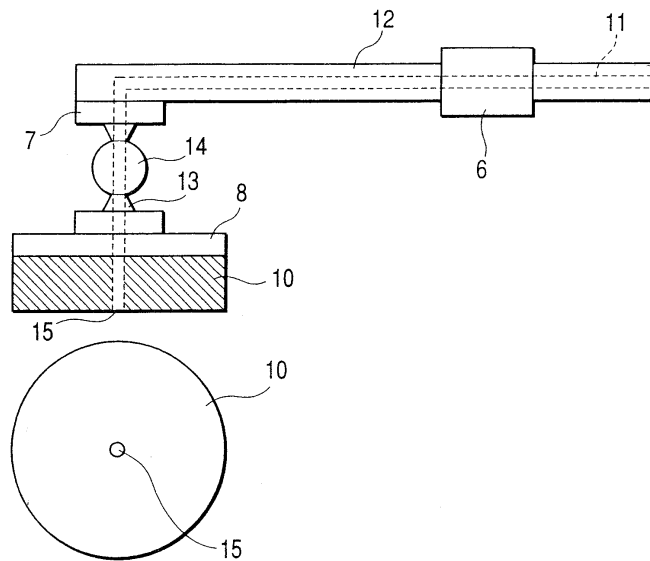
도면1



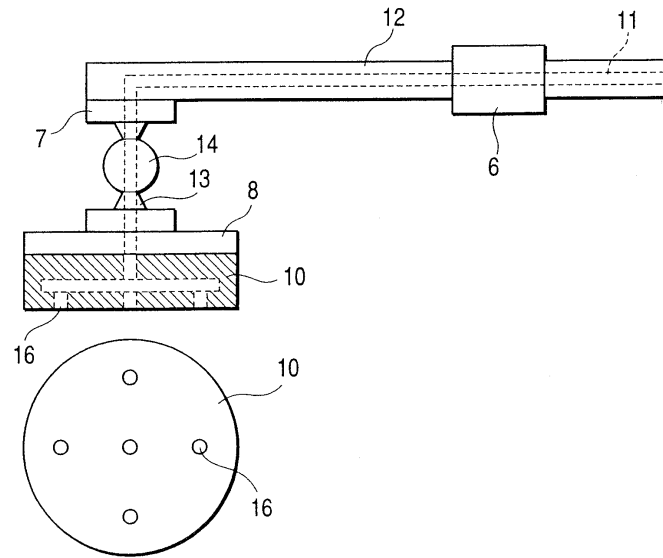
도면2



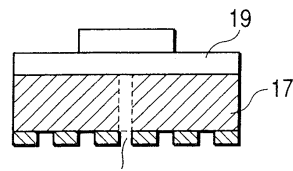
도면3



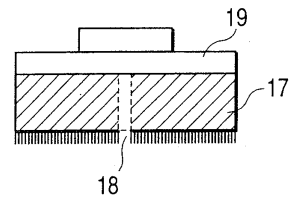
도면4



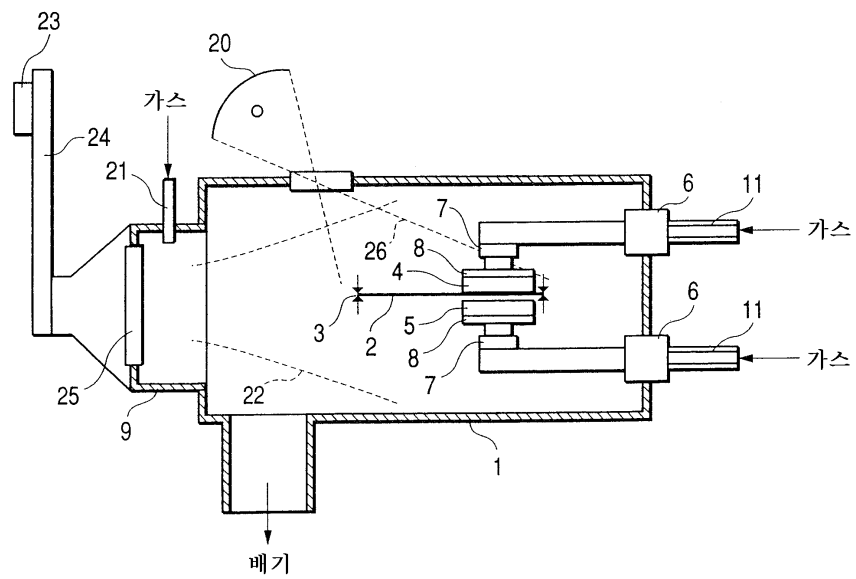
도면5



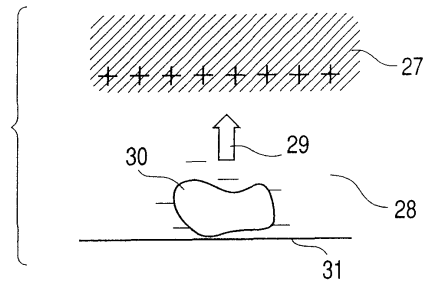
도면6



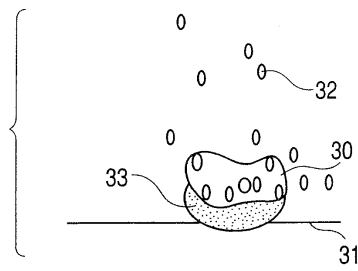
도면7



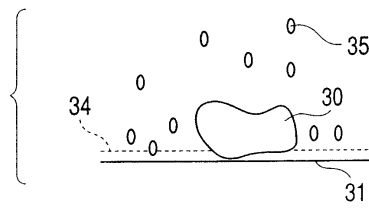
도면8



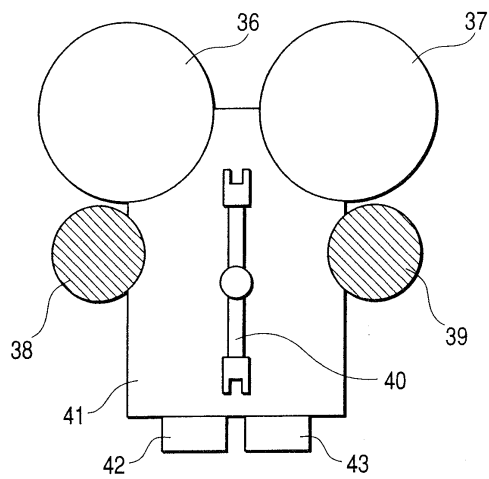
도면9



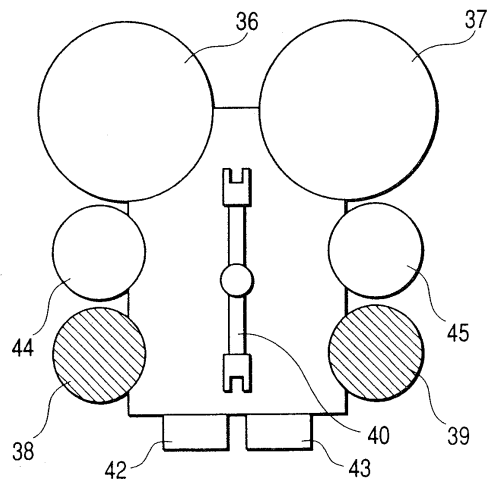
도면10



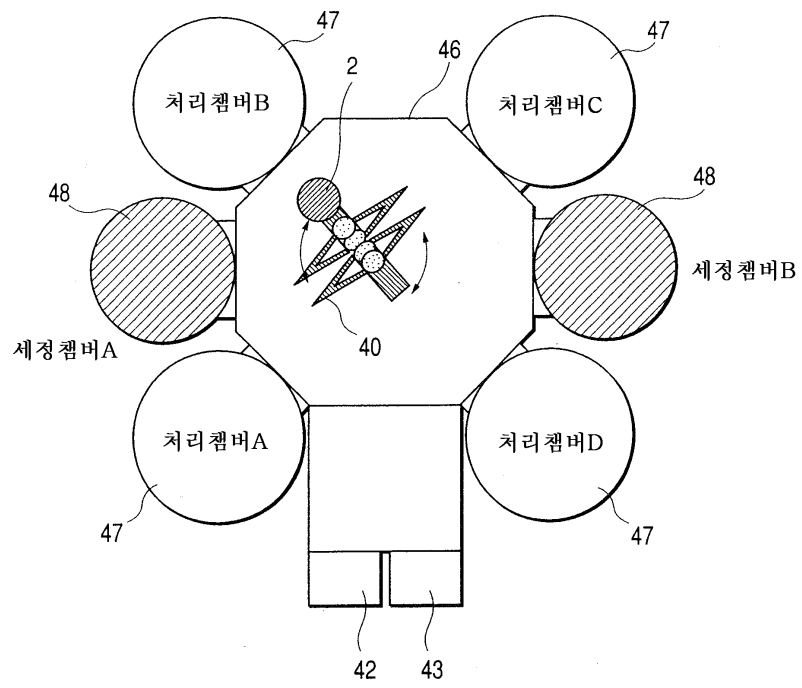
도면11



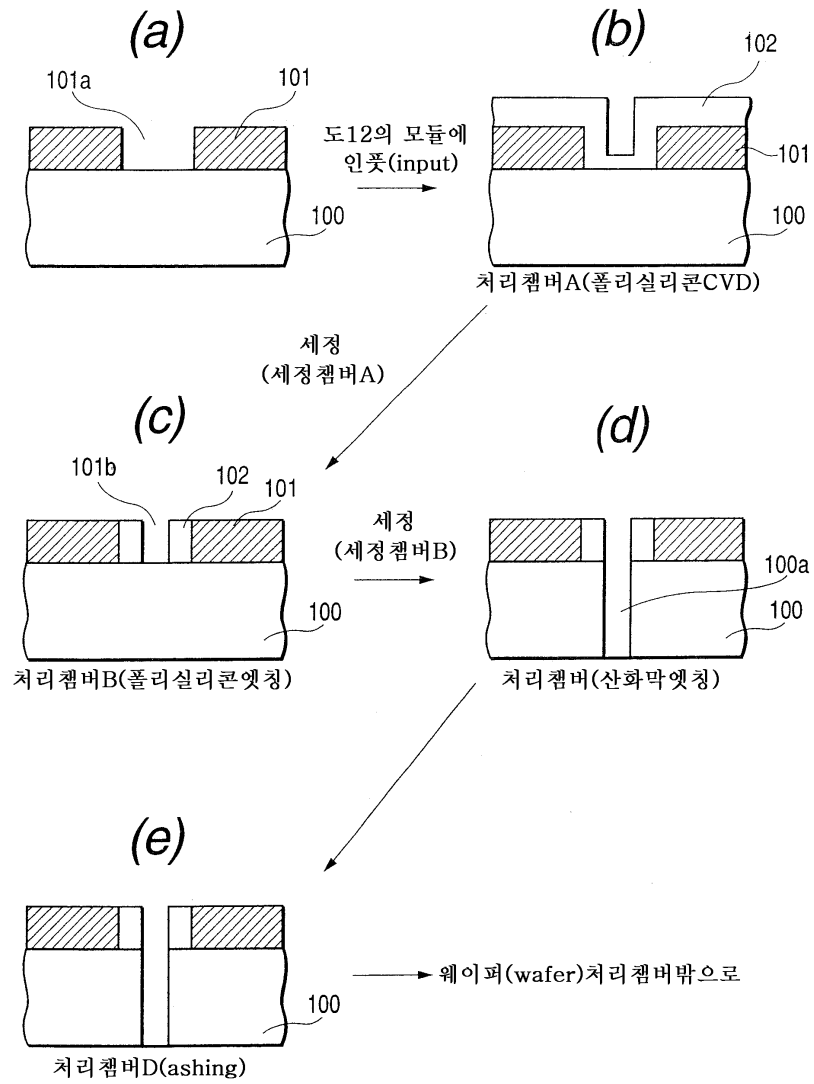
도면12



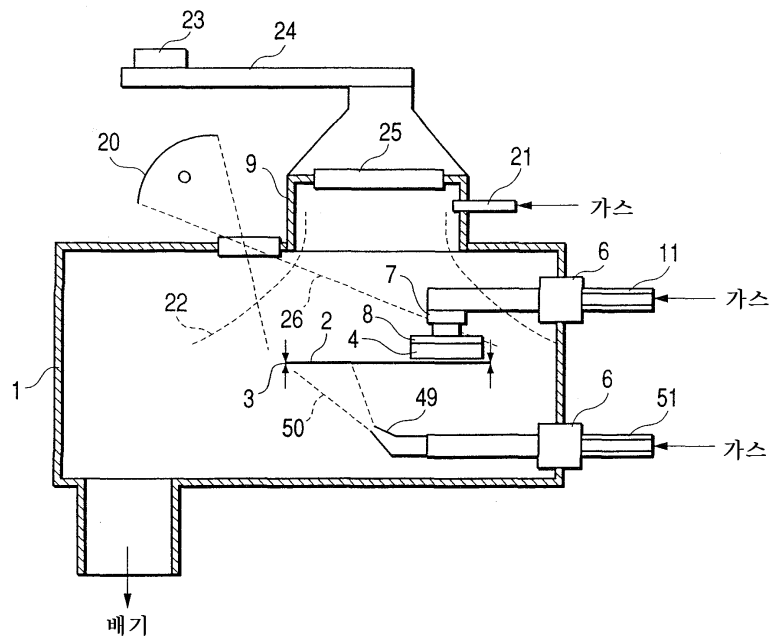
도면13



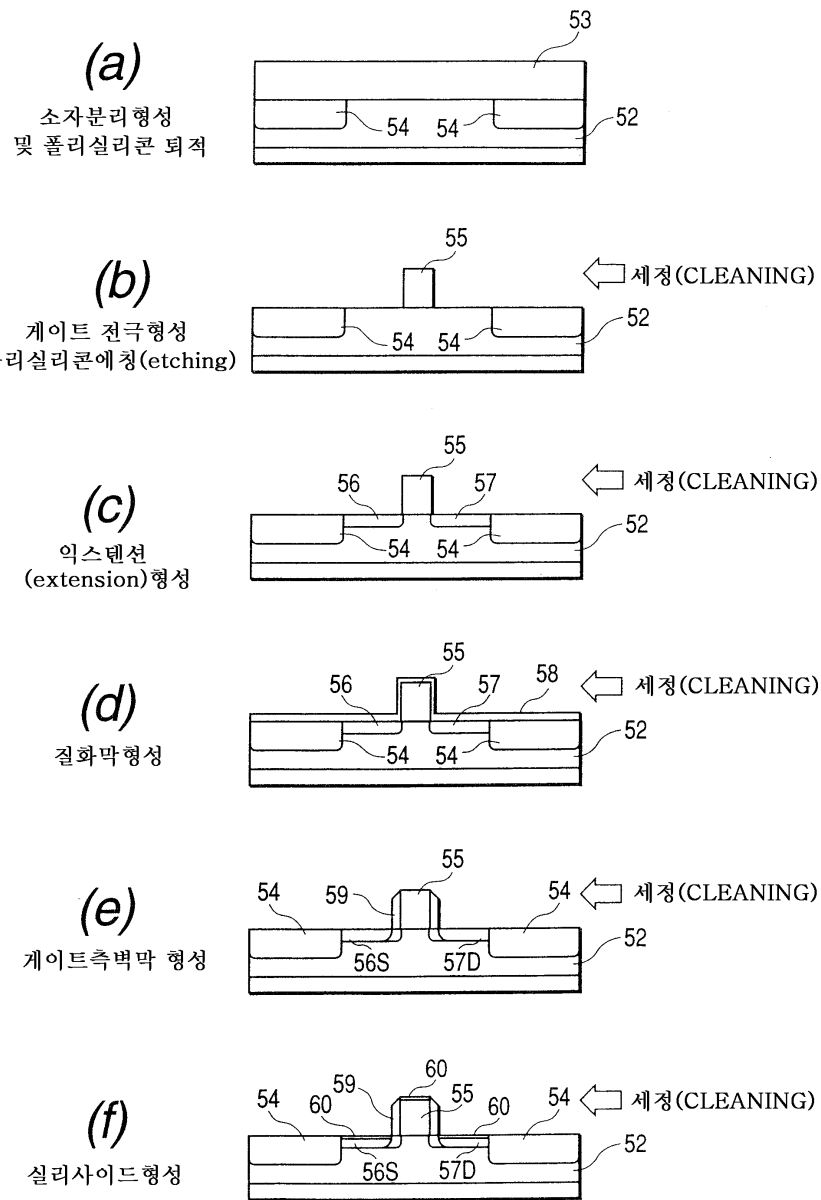
도면14



도면15



도면16



도면17

