

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA,
PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明，要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

多面栅碳化硅 MOSFET 晶体管及其制备方法、芯片

技术领域

本发明涉及半导体方法，具体涉及一种多面栅碳化硅 MOSFET 晶体管及其制备方法、芯片。

背景技术

碳化硅功率器件正在越来越多的被使用在新能源领域，如充电桩、电动汽车、光伏逆变器、储能等领域。现有的碳化硅 MOSFET 晶体管结构主要包含平面栅结构和沟槽栅结构。

现有碳化硅 MOSFET 晶体管不论是平面栅结构还是沟槽栅结构都有各自的缺点。例如，平面栅结构的碳化硅 MOSFET 晶体管虽然可靠性非常优秀，但是其沟道所在平面垂直于 4H-SiC 的 c 轴，该平面的沟道迁移率较低（一般小于 $30\text{cm}^2/\text{V}\cdot\text{s}$ ）带来了额外的导通损耗。而沟槽栅结构的碳化硅 MOSFET 晶体管的沟道所在平面平行于 c 轴，其沟道迁移率较高（可达 $120\text{cm}^2/\text{V}\cdot\text{s}$ ），但是由于碳化硅材料的刻蚀非常困难，一般很难刻蚀超过 $1.5\mu\text{m}$ 深度的沟槽，导致该工艺步骤的良率成为器件大规模生产中极大的挑战，同时由于碳化硅较高的击穿电场（ $>2.5\text{MV}/\text{cm}$ ）也使得沟槽底部的栅极氧化物的保护成为了结构设计和工艺实现的主要难点。

发明内容

为解决背景技术中提到的问题，本发明实施例提供了一种多面栅碳化硅 MOSFET 晶体管及其制备方法、芯片，既兼容现有的平面栅碳化硅 MOSFET 工艺，有利于在大规模量产的时候保持较高的良率和应用端的可靠性，也具有较高的沟道迁移率。

一种多面栅碳化硅 MOSFET 晶体管，包括：

半导体衬底、位于所述半导体衬底第一表面的碳化硅漂移区、位于所述半导体衬底第二表面的漏电极；

位于所述碳化硅漂移区内的阱区，位于所述阱区内的源区，所述半导体衬底、碳化硅漂移区和源区为第一掺杂类型，所述阱区为第二掺杂类型；

位于所述源区表面的源电极；

位于所述源区、阱区和碳化硅漂移区表面的栅极机构，所述栅极结构相接触的部分阱区作为沟道区；

所述栅极结构包括梳齿状第一栅结构，所述梳齿状第一栅结构位于所述源区、对应的阱区和碳化硅漂移区内，所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致，且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道的沟道迁移率。

可选的，所述梳齿的侧壁面与衬底平面垂直，或者所述梳齿的侧壁面与衬底平面倾斜呈一个夹角。

可选的，所述梳齿侧壁面为碳化硅 m-face、a-face 或者 $(0\bar{3}3\bar{8})$ 斜面。

可选的，当所述梳齿的侧壁面为 $(0\bar{3}3\bar{8})$ 斜面时，所述梳齿的剖面形状为倒三角形或倒梯形。

可选的，所述梳齿的数量为一个或多个。

可选的，所述梳齿的深度范围为 0.1 微米~1.5 微米，且所述梳齿的深度小于所述阱区的深度。

可选的，还包括位于碳化硅漂移区内且与阱区相邻的 JFET 电流增强层，所述 JFET 电流增强层具有第一掺杂类型且掺杂浓度大于碳化硅漂移区。

可选的，还包括位于沟道区的第一掺杂类型轻掺杂沟道。

本发明实施例还提供了一种多面栅碳化硅 MOSFET 晶体管的制备方法，包括：

提供半导体衬底，在所述半导体衬底的第一表面形成碳化硅漂移区，所述半导体衬底和碳化硅漂移区具有第一掺杂浓度；

在所述半导体衬底的第二表面形成漏电极；

在所述碳化硅漂移区内形成阱区和源区，其中，所述阱区位于所述碳化硅漂移区内，所述源区位于所述阱区内，所述源区为第一掺杂类型，所述阱区为第二掺杂类型；

对所述源区、阱区和碳化硅漂移区进行刻蚀，形成梳齿状沟槽；

在所述梳齿状沟槽表面形成栅极结构，所述栅极结构相接触的部分阱区作为沟道区，所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构，所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致，且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率；

在所述源区表面形成源电极。

本发明实施例还提供了一种具有所述多面栅碳化硅 MOSFET 晶体管的芯片。

综上所述，本申请具有如下优点：

所述多面栅碳化硅 MOSFET 晶体管的所述源区、对应的阱区和碳化硅漂移区内形成有梳齿状沟槽，并对应形成梳齿状第一栅结构，所述梳齿状第一栅结构具有梳齿侧壁面、梳齿顶面、梳齿底面三个面与沟道区接触，增加了沟道区的宽度，且所述梳齿侧壁面与现有的衬底平面垂直或形成一定倾斜角度，通过合理调整所述梳齿侧壁面的晶面，使得所述梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率，提高了整体的综合迁移率。

且所述多面栅碳化硅 MOSFET 晶体管与现有的平面栅碳化硅 MOSFET 晶体管的工艺兼容，成本较低。

附图说明

图 1 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 AA' 面剖面结构示意图；

图 2 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 BB' 面剖面结构示意图；

图 3 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的立体结构图（去除栅极结构）；

图 4 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 CC' 面剖面结构示意图；

图 5 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 DD' 面剖面结构示意图；

图 6 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 EE' 面剖面结构示意图；

图 7 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 FF' 面剖面结构示意图；

图 8 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 GG' 面剖面结构示意图；

图 9 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 HH' 面剖面结构示意图；

图 10 是本发明又一实施例的多面栅碳化硅 MOSFET 晶体管的剖面结构示意图；

图 11 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 II' 面剖面结构示意图；

图 12 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 JJ' 面剖面结构示意图；

图 13 是本发明另一实施例的多面栅碳化硅 MOSFET 晶体管的沿 KK' 面

剖面结构示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

请参考图 1~图 6，为本发明一实施例的多面栅碳化硅 MOSFET 晶体管的结构示意图，其中图 1 是本发明实施例的多面栅碳化硅 MOSFET 晶体管的沿 AA' 面剖面结构示意图，图 2 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 BB' 面剖面结构示意图，图 3 是本发明实施例的多面栅碳化硅 MOSFET 晶体管的立体结构图（去除栅极结构），图 4 是本发明实施例的多面栅碳化硅 MOSFET 晶体管的沿 CC' 面剖面结构示意图，图 5 是本发明实施例的多面栅碳化硅 MOSFET 晶体管的沿 DD' 面剖面结构示意图，图 6 是本发明一实施例的多面栅碳化硅 MOSFET 晶体管的沿 EE' 面剖面结构示意图。

本发明实施例的所述多面栅碳化硅 MOSFET 晶体管包括：

半导体衬底 10、位于所述半导体衬底 10 第一表面的碳化硅漂移区 20、位于所述半导体衬底 10 第二表面的漏电极 30；

位于所述碳化硅漂移区 20 内的阱区 40，位于所述阱区 40 内的源区 50，所述半导体衬底 10、碳化硅漂移区 20 和源区 50 为第一掺杂类型，所述阱区 40 为第二掺杂类型；

位于所述源区 50 表面的源电极 70；

位于所述源区 50、阱区 40 和碳化硅漂移区 20 表面的栅极机构 60，所述栅极结构 60 相接触的部分阱区作为沟道区 55；

所述栅极结构 60 包括梳齿状第一栅结构 65, 所述梳齿状第一栅结构 65 位于所述源区 50、对应的阱区 40 和碳化硅漂移区 20 内, 所述梳齿状第一栅结构 65 的梳齿长度方向与沟道区电流方向一致, 且所述梳齿状第一栅结构 65 的梳齿侧壁面 61 对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面 63、梳齿底面 62 对应的沟道区的沟道迁移率, 其中的梳齿长度方向即为方向 aa'。

由于碳化硅材料在不同的晶面上对应的沟道迁移率差异很大, 现有的平面栅碳化硅 MOSFET 晶体管其沟道所在平面垂直于 4H-SiC 的 c 轴, 该平面的沟道迁移率较低 (一般小于 $30\text{cm}^2/\text{V}\cdot\text{s}$), 会带来了额外的导通损耗。而采用沟槽栅结构的碳化硅 MOSFET 晶体管的沟道由于平行于 c 轴, 其迁移率较高, 可达 $120\text{cm}^2/\text{V}\cdot\text{s}$, 但是由于沟槽栅结构的沟槽深度较大, 碳化硅材料的刻蚀非常困难, 一般很难刻蚀超过 $1.5\mu\text{m}$ 深度的沟槽, 导致该工艺步骤的良率成为器件大规模生产中极大的挑战。

而在本发明实施例, 在所述源区 50、对应的阱区 40 和碳化硅漂移区 20 内形成梳齿状沟槽 21, 并对应形成梳齿状第一栅结构 65, 所述梳齿状第一栅结构具有梳齿侧壁面 61、梳齿顶面 63、梳齿底面 62 三个面与沟道区接触, 其中梳齿顶面 63、梳齿底面 62 与现有的衬底平面平行, 所述梳齿侧壁面 61 与现有的衬底平面垂直或形成一定倾斜角度, 通过合理调整所述梳齿侧壁面 61 的晶向, 使得所述梳齿侧壁面 61 对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面 63、梳齿底面 62 对应的沟道区的沟道迁移率。

在本实施例中, 所述多面栅碳化硅 MOSFET 晶体管的梳齿顶面 63、梳齿底面 62 所在平面垂直于 4H-SiC 的 c 轴, 梳齿侧壁面 61 所在平面平行于 4H-SiC 的 c 轴。

由于碳化硅在衬底平面上的沟道迁移率低 ($\sim 25\text{cm}^2/\text{V}\cdot\text{s}$), 而在平行于 4H-SiC 的 c 轴的竖直方向上的 a-face 和 m-face 的沟道迁移率较高

($50\sim120\text{cm}^2/\text{V}\cdot\text{s}$)，本发明实施例的多面栅碳化硅 MOSFET 晶体管的多面沟道所得到的综合迁移率较传统平面栅结构更高。

且由于本发明的梳齿状第一栅结构 65 具有梳齿侧壁面 61、梳齿顶面 63、梳齿底面 62 三个面，相较引入现有技术引入了侧面 MOS 界面，本发明实施例的多面栅碳化硅 MOSFET 晶体管有效的沟道宽长比 ($W_{\text{ch}}/L_{\text{ch}}$) 比传统平面栅的沟道宽长比更高 (若沟槽 21 深宽比为 1，则本发明的 $W_{\text{ch}}/L_{\text{ch}}$ 的比值是传统平面栅的 2 倍)，这使得沟道电阻 (其倒数 $1/R_{\text{ch}}=\mu_n*W_{\text{ch}}/L_{\text{ch}}*C_{\text{ox}}*(V_{\text{G}}-V_{\text{TH}})$) 可以大幅降低。

本发明实施例可以通过调整沟槽的深宽比调整梳齿侧壁面 61 与梳齿顶面 63、梳齿底面 62 的比例，改善沟道电阻，同时通过调整梳齿侧壁面 61 相应的晶面，改善本发明的多面栅碳化硅 MOSFET 晶体管的综合沟道迁移率。

且由于本发明沟道区的电流方向总体是在与衬底平面平行的水平方向内，依然可以算是平面结构，且与传统平面栅工艺兼容 (仅仅在形成栅极结构之前在碳化硅内部刻蚀垂直于栅极布局方向的条形沟槽)，成本较低。

在本发明实施例中，所述梳齿状第一栅结构 65 的梳齿的高度 (即梳齿侧壁面的高度) 小于阱区 40 的深度但大于源区 50 的深度，作为一个实施例，所述梳齿的高度为 0.2 微米，阱区深度为 0.8 微米，源区的深度为 0.3 微米或者 0.15 微米。

在其他实施例中，所述梳齿的高度范围为 0.1 微米~1.5 微米，优选为 0.1 微米~0.5 微米。

相较于传统沟槽栅结构，本发明的阱区深度较梳齿沟槽底部更深，阱区底部位置与碳化硅漂移区形成的较深的 PN 结能有效的保护栅氧，降低栅氧在漏极高压偏置下所形成的高电场，提高栅氧寿命。从工艺实现角度，传统沟槽栅的沟槽刻蚀深度需要严格控制，一般在 $1\sim1.5\mu\text{m}$ 左右，且沟道刻蚀的深度需要比沟道电流在阱区的出口处深，但又要比用于雪崩钳位的深 PN 结要浅。这里面临的工艺难度包括：沟槽栅刻蚀工艺难度较大，做钳位保护的深结的

工艺难度也很大。由于本发明的沟槽深度可以控制在 0.5 微米以内，只要控制好沟槽结构的深宽比以保证足够的侧面栅宽度，本发明甚至能在仅 0.1 微米的深度下也可以工作。对碳化硅刻蚀工艺的要求较低，且较浅的沟槽内形成高质量的栅氧化层的工艺难度也较小，这大大降低了工艺难度，有利于形成高质量的栅极结构，保证了产品在量产中有较高的良率。

在高压应用方面，传统的沟槽栅 MOSFET 结构的沟道电流方向是垂直于衬底平面的，平行于漂移区的电场方向，导致在关断情况下，沟道区受到漏端引入的势垒降低（DIBL，Drain Induced Barrier Lowering）效应的影响，导致在漏极高压偏置下，沟道漏电流较高。本发明的沟道电流方向仍然平行与衬底平面，与漂移区电场垂直，导致沟道不易受到 DIBL 效应影响，可以大大减小高压应用下的漏电流。

在其他实施例中，请参考图 7~图 9，所述梳齿状第一栅结构 65 的梳齿的高度小于阱区 40 的深度且小于源区 50 的深度。由于沟槽深度是否比源区深并不关键，本发明对于沟槽刻蚀的深度有较高的工艺冗余。

在本实施例中，所述梳齿的数量为一个或多个，可以根据沟道的宽度合理设置合适的梳齿数量。

在本实施例中，所述栅极结构 60 包括位于所述源区、对应的阱区和碳化硅漂移区内的梳齿状第一栅结构 65 和位于所述梳齿状第一栅结构表面的第二栅结构。

请参考图 1 和图 2，在本实施例中，一个元胞结构包括两个多面栅碳化硅 MOSFET 晶体管，其中载流子从沟道出来后，需要经过两个邻近阱区形成的 JFET 区域才能到达碳化硅漂移区。

在其他实施例中，一个元胞结构也可以仅包括例如图 3 所示的一个多面栅碳化硅 MOSFET 晶体管。

在本实施例中，所述半导体衬底为重掺杂的碳化硅衬底，在其他实施例中，所述半导体衬底也可以为其他合适的衬底，例如硅衬底、金刚石衬底、

氮化铝衬底、氮化镓衬底等。

在本实施例中,所述多面栅碳化硅 MOSFET 晶体管为 N 型沟道 MOSFET 晶体管,所述第一掺杂类型为 N 型,所述第二掺杂类型为 P 型,其中半导体衬底 10 为 N 型重掺杂衬底,所述碳化硅漂移区 20 为 N 型轻掺杂漂移区,所述阱区 40 为 P 型轻掺杂阱区,所述源区 50 为 N 型重掺杂源区。

在其他实施例中,所述多面栅碳化硅 MOSFET 晶体管也可以为 P 型沟道 MOSFET 晶体管,所述第一掺杂类型为 P 型,所述第二掺杂类型为 N 型,其中半导体衬底 10 为 P 型重掺杂衬底,所述碳化硅漂移区 20 为 P 型轻掺杂漂移区,所述阱区 40 为 N 型轻掺杂阱区,所述源区 50 为 P 型重掺杂源区。

请参考图 10,与传统平面栅结构类似的,载流子从沟道区出来后,需要经过两个邻近阱区形成的 JFET 区域才能到达漂移区。为了降低 JFET 区域的电阻,碳化硅 MOSFET 可以进一步在 JFET 区域引入较漂移区高的第一掺杂类型掺杂,形成 JFET 电流增强层 25。

进一步的,所述 JFET 电流增强层 25 的 N 型掺杂的深度大于阱区的深度,有利于电流在漂移区内横向扩散。

请参考图 11,所述多面栅碳化硅 MOSFET 晶体管的沟道区也可以为第一掺杂类型的轻掺杂沟道 45。由于梳齿状第一栅结构使得碳化硅沟道体形成一个三面环栅的结构,使得栅极控制能力增强,以至于轻掺杂的第一掺杂类型沟道掺杂依然可以让器件工作在增强型模式(即,若器件为 N 沟道增强型 MOSFET,其阈值电压 $V_{th} > 0$)。可以通过选用不同功函数的栅极材料和调节沟道内 N 型掺杂的浓度来实现对阈值电压的调节。

请参考图 12 和图 13,为本发明的另外两种实施例的多面栅碳化硅 MOSFET 晶体管的结构示意图,其中所述梳齿侧壁面 61 所在的平面为 $(0\bar{3}3\bar{8})$ 斜面,与衬底平面倾斜形成 54.7° 夹角,由于 $(0\bar{3}3\bar{8})$ 斜面对应的沟道迁移率较高,因此多面栅碳化硅 MOSFET 晶体管的综合迁移率较高。

请参考图 12, 所述梳齿的剖面形状为倒三角形, 倒三角形的两个侧壁为(0338)斜面, 且所述梳齿没有底面。

请参考图 13, 所述梳齿的剖面形状为倒梯形, 倒梯形的两个侧壁为(0338)斜面, 且所述梳齿有底面 62。

本发明实施例还提供了一种具有上述多面栅碳化硅 MOSFET 晶体管的芯片。

本发明实施例还提供了一种多面栅碳化硅 MOSFET 晶体管的制备方法, 包括:

提供半导体衬底, 在所述半导体衬底的第一表面形成碳化硅漂移区, 所述半导体衬底和碳化硅漂移区具有第一掺杂浓度;

在所述碳化硅漂移区内形成阱区和源区, 其中, 所述阱区位于所述碳化硅漂移区内, 所述源区位于所述阱区内, 所述源区为第一掺杂类型, 所述阱区为第二掺杂类型;

对所述源区、阱区和碳化硅漂移区进行刻蚀, 形成梳齿状沟槽;

在所述梳齿状沟槽表面形成栅极结构, 所述栅极结构相接触的部分阱区作为沟道区, 所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构, 所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致, 且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率;

在所述源区表面形成源电极;

在所述半导体衬底的第二表面形成漏电极。

本发明实施例的多面栅碳化硅 MOSFET 晶体管与传统平面栅工艺兼容, 仅仅在形成栅极结构之前在碳化硅内部刻蚀形成栅极布局方向的梳齿状沟槽, 并填充形成栅极结构, 工艺成本较低。

其中形成梳齿状沟槽的刻蚀工艺可以采用现有的碳化硅刻蚀工艺制备, 在此不做赘述。

最后说明，任何依靠本发明装置结构以及所述实施例的技术方案，进行的部分或者全部技术特征的修改或者等同替换，所得到的本质不脱离本发明的相应技术方案，都属于本发明装置结构以及所述实施方案的专利范围。

权 利 要 求 书

1. 一种多面栅碳化硅 MOSFET 晶体管，其特征在于，包括：

半导体衬底、位于所述半导体衬底第一表面的碳化硅漂移区、位于所述半导体衬底第二表面的漏电极；

位于所述碳化硅漂移区内的阱区，位于所述阱区内的源区，所述半导体衬底、碳化硅漂移区和源区为第一掺杂类型，所述阱区为第二掺杂类型；

位于所述源区表面的源电极；

位于所述源区、阱区和碳化硅漂移区表面的栅极机构，所述栅极结构相接触的部分阱区作为沟道区；

所述栅极结构包括梳齿状第一栅结构，所述梳齿状第一栅结构位于所述源区、对应的阱区和碳化硅漂移区内，所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致，且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道的沟道迁移率。

2. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，所述梳齿的侧壁面与衬底平面垂直，或者所述梳齿的侧壁面与衬底平面倾斜呈一个夹角。

3. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，所述梳齿侧壁面为碳化硅 m-face、a-face 或者 $(0\bar{3}3\bar{8})$ 斜面。

4. 如权利要求 4 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，当所述梳齿的侧壁面为 $(0\bar{3}3\bar{8})$ 斜面时，所述梳齿的剖面形状为倒三角形或倒梯形。

5. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，所述梳齿的数量为一个或多个。

6. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，所述梳齿的深度范围为 0.1 微米~1.5 微米，且所述梳齿的深度小于所述阱区的深度。

7. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，还包括位于碳化硅漂移区内且与阱区相邻的 JFET 电流增强层，所述 JFET 电流增强层具有第一掺杂类型且掺杂浓度大于碳化硅漂移区。

8. 如权利要求 1 所述的多面栅碳化硅 MOSFET 晶体管，其特征在于，还包括位于沟道区的第一掺杂类型轻掺杂沟道。

9. 一种多面栅碳化硅 MOSFET 晶体管的制备方法，其特征在于，包括：
提供半导体衬底，在所述半导体衬底的第一表面形成碳化硅漂移区，所述半导体衬底和碳化硅漂移区具有第一掺杂浓度；

在所述碳化硅漂移区内形成阱区和源区，其中，所述阱区位于所述碳化硅漂移区内，所述源区位于所述阱区内，所述源区为第一掺杂类型，所述阱区为第二掺杂类型；

对所述源区、阱区和碳化硅漂移区进行刻蚀，形成梳齿状沟槽；

在所述梳齿状沟槽表面形成栅极结构，所述栅极结构相接触的部分阱区作为沟道区，所述栅极结构包括位于所述梳齿状沟槽内的梳齿状第一栅结构，所述梳齿状第一栅结构的梳齿长度方向与沟道区电流方向一致，且所述梳齿状第一栅结构的梳齿侧壁面对应的沟道区的沟道迁移率大于所述梳齿状第一栅结构的梳齿顶面、梳齿底面对应的沟道区的沟道迁移率；

在所述源区表面形成源电极；

在所述半导体衬底的第二表面形成漏电极。

10. 一种具有如权利要求 1~8 任意一项所述的多面栅碳化硅 MOSFET 晶体管的芯片。

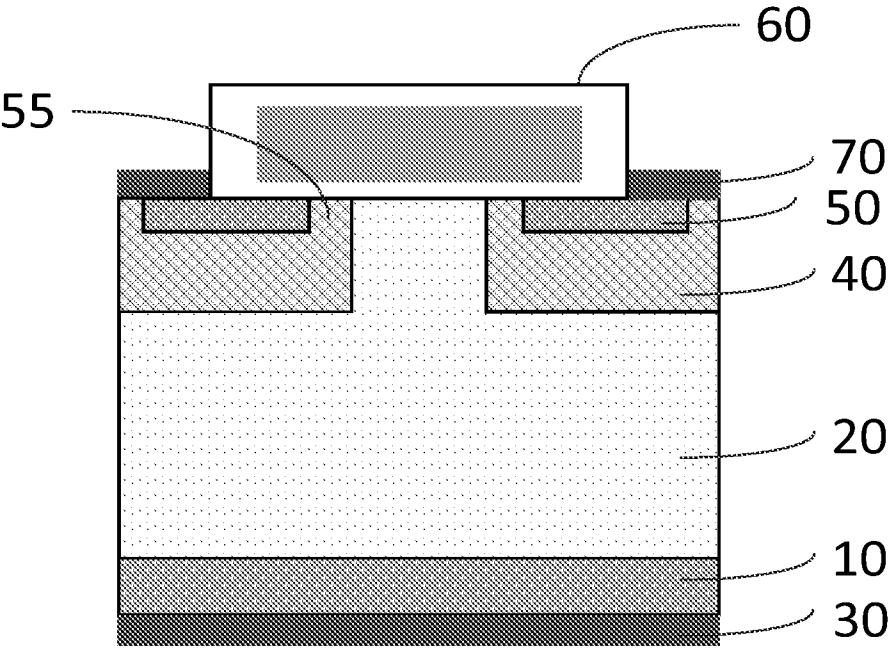


图 1

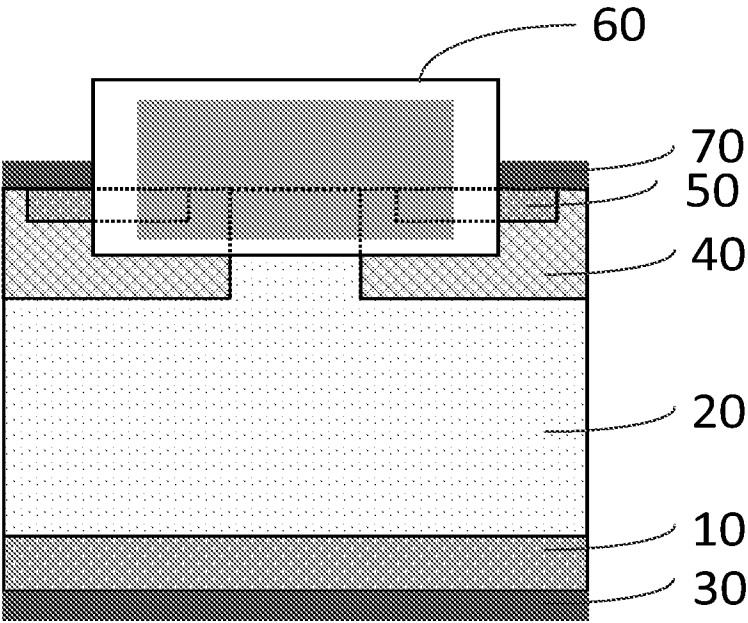


图 2

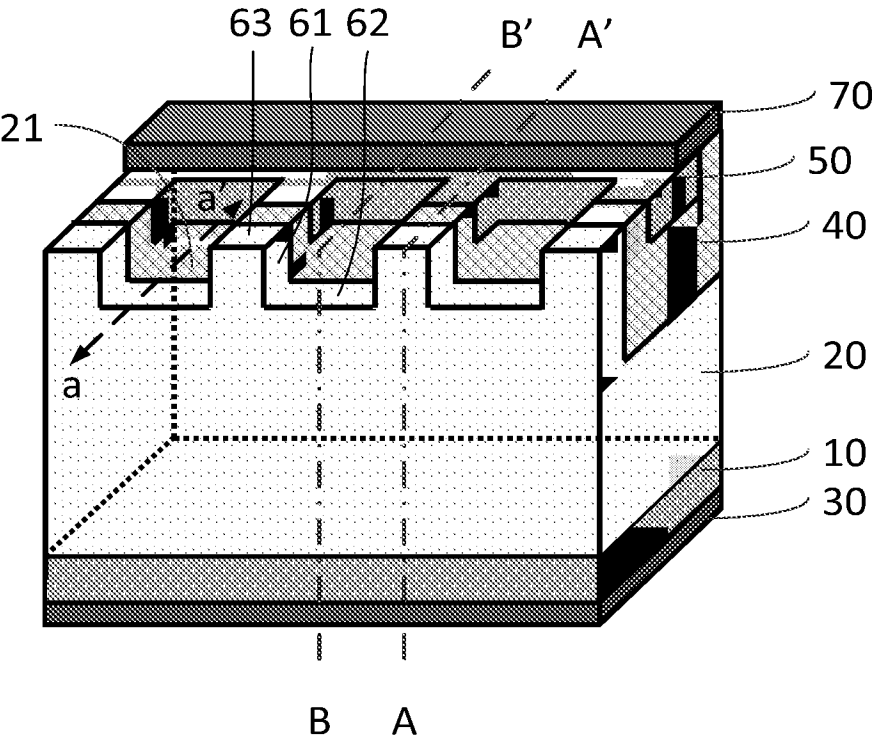


图 3

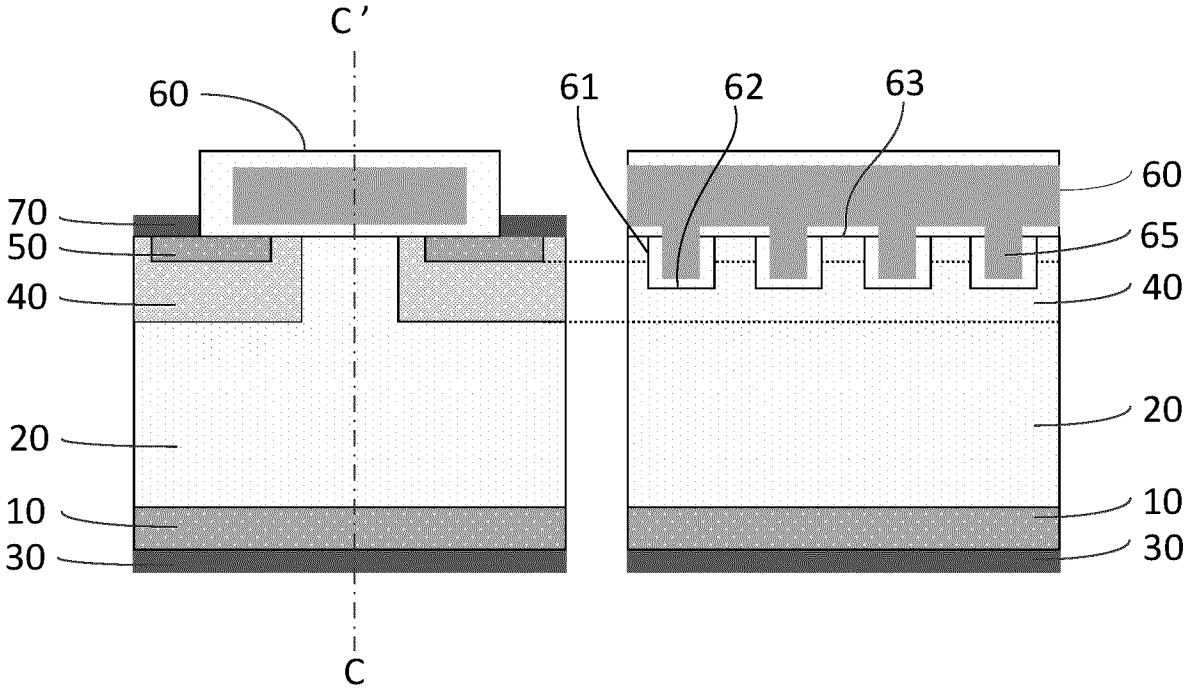


图 4

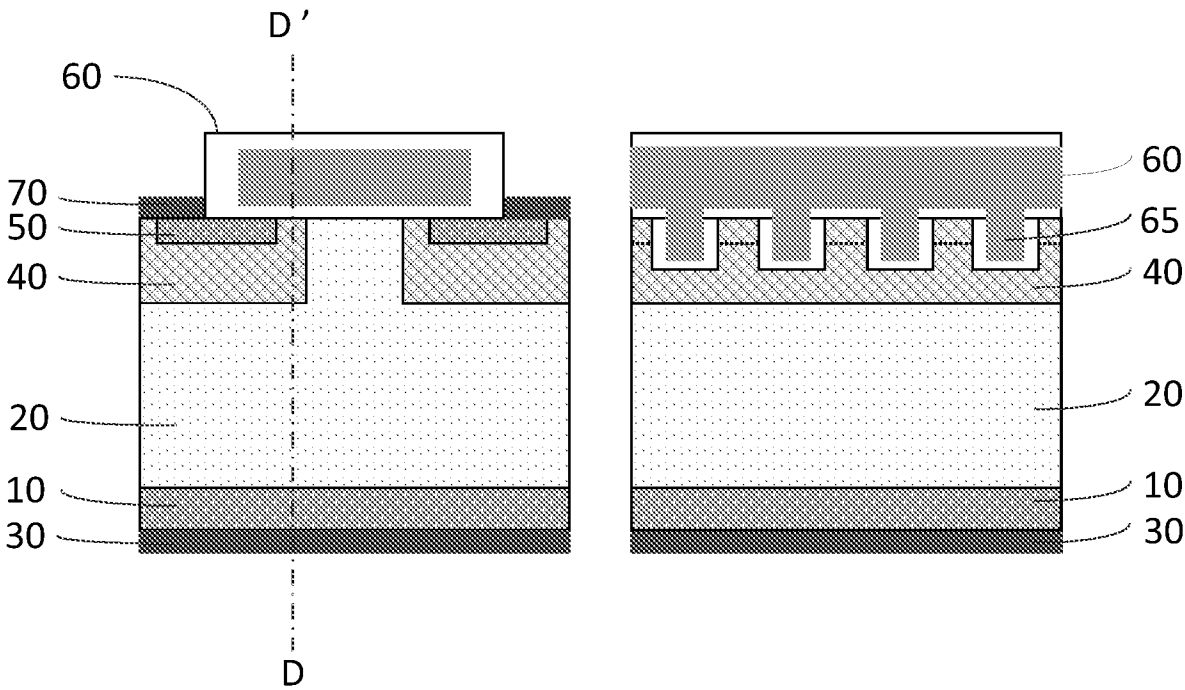


图 5

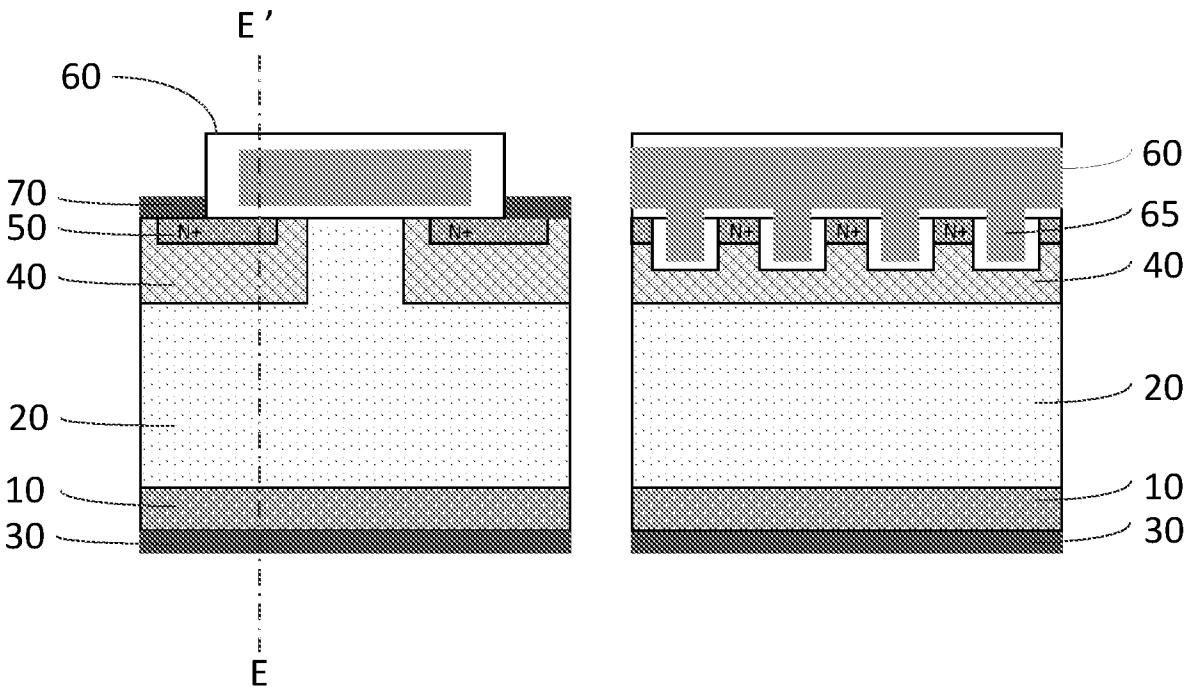


图 6

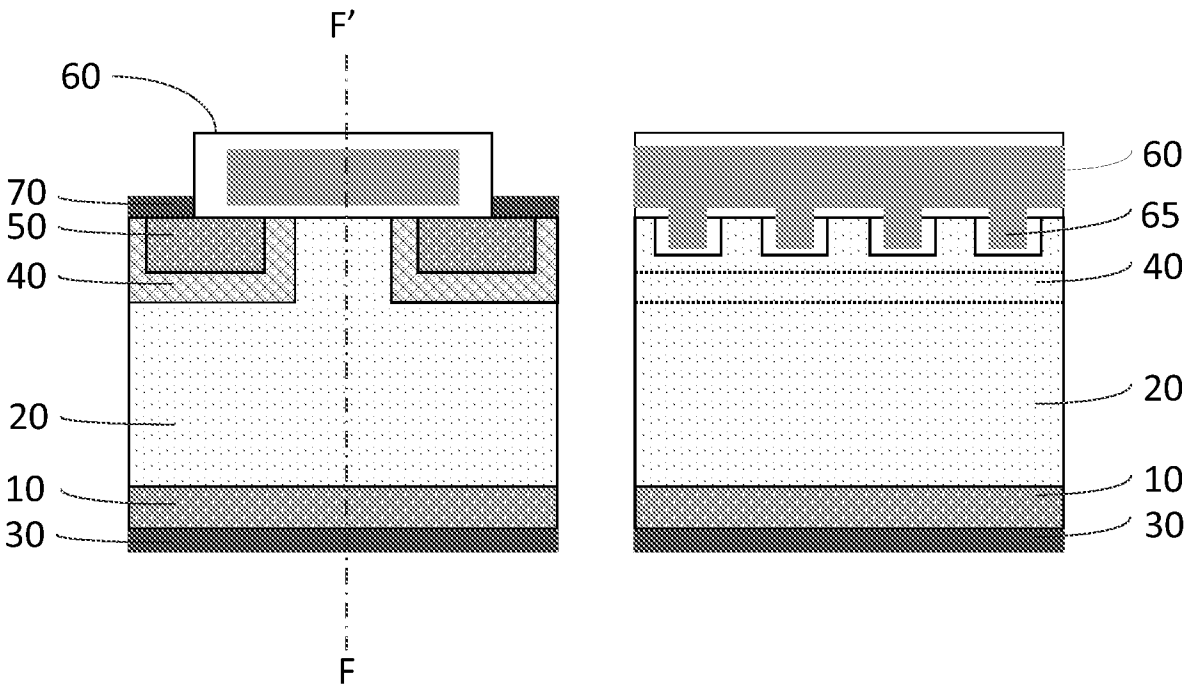


图 7

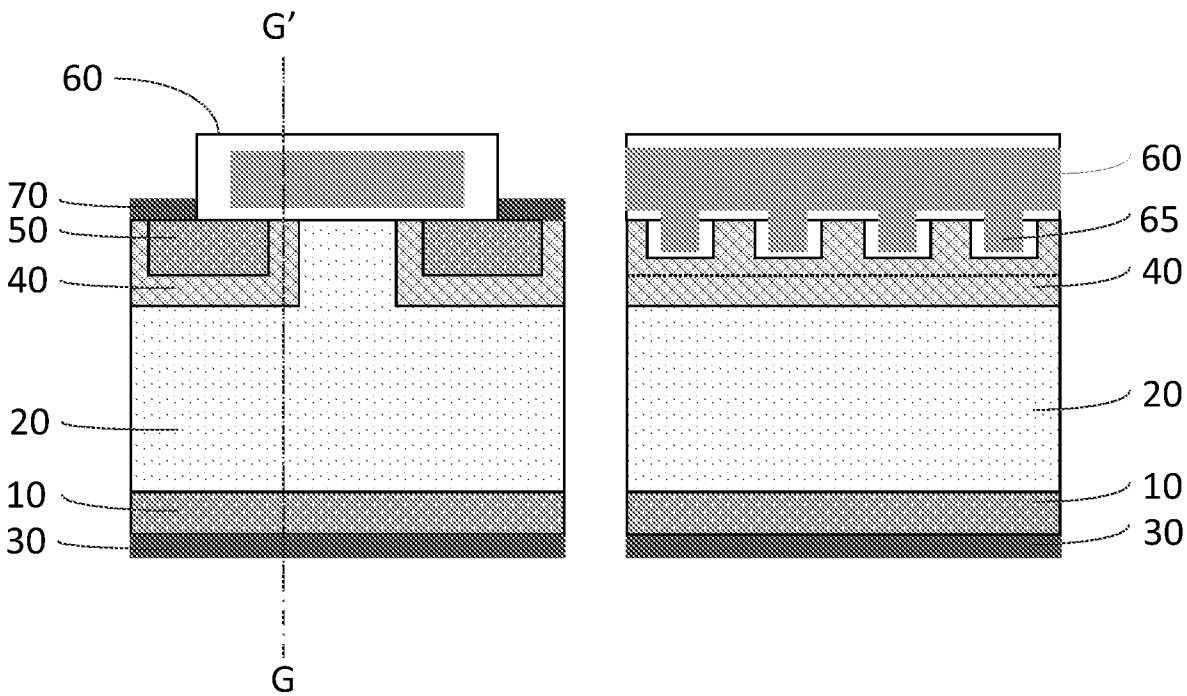


图 8

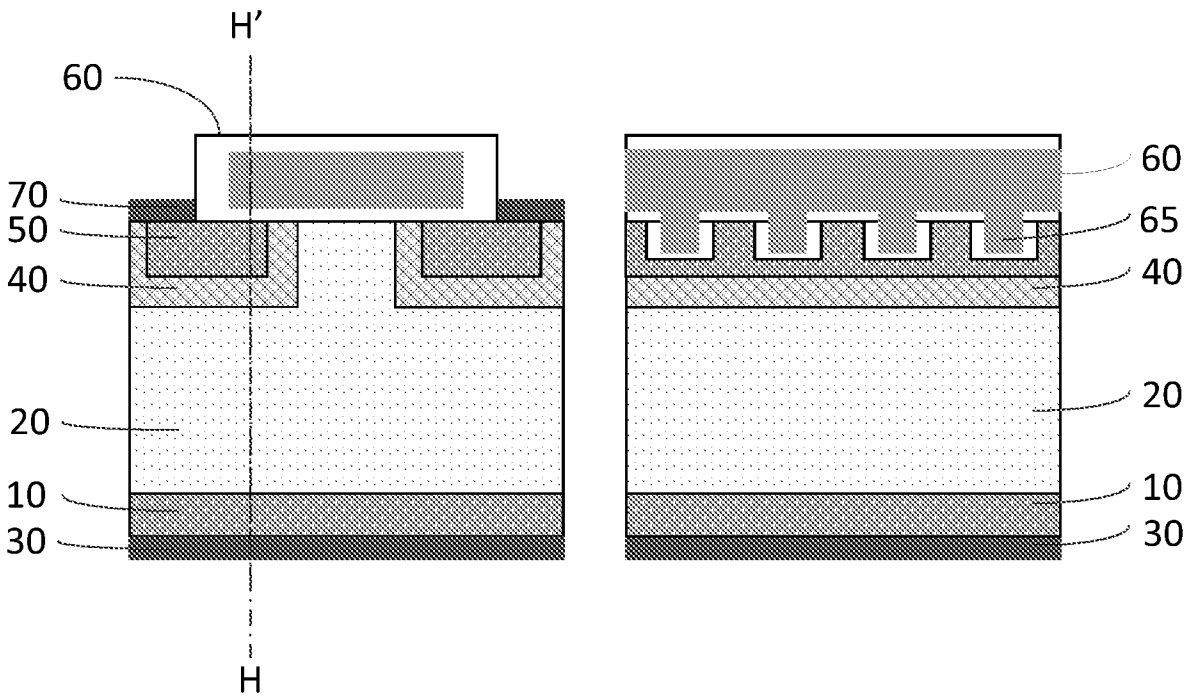


图 9

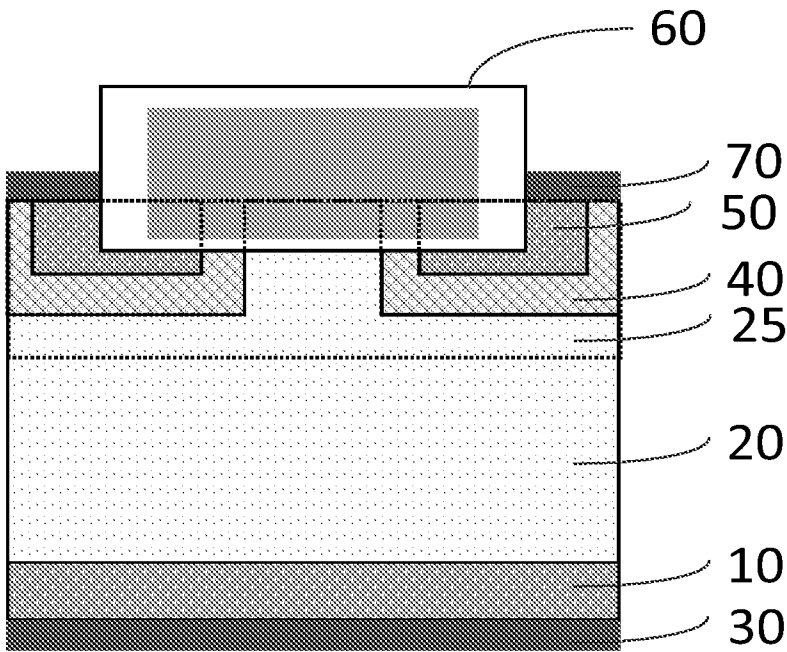


图 10

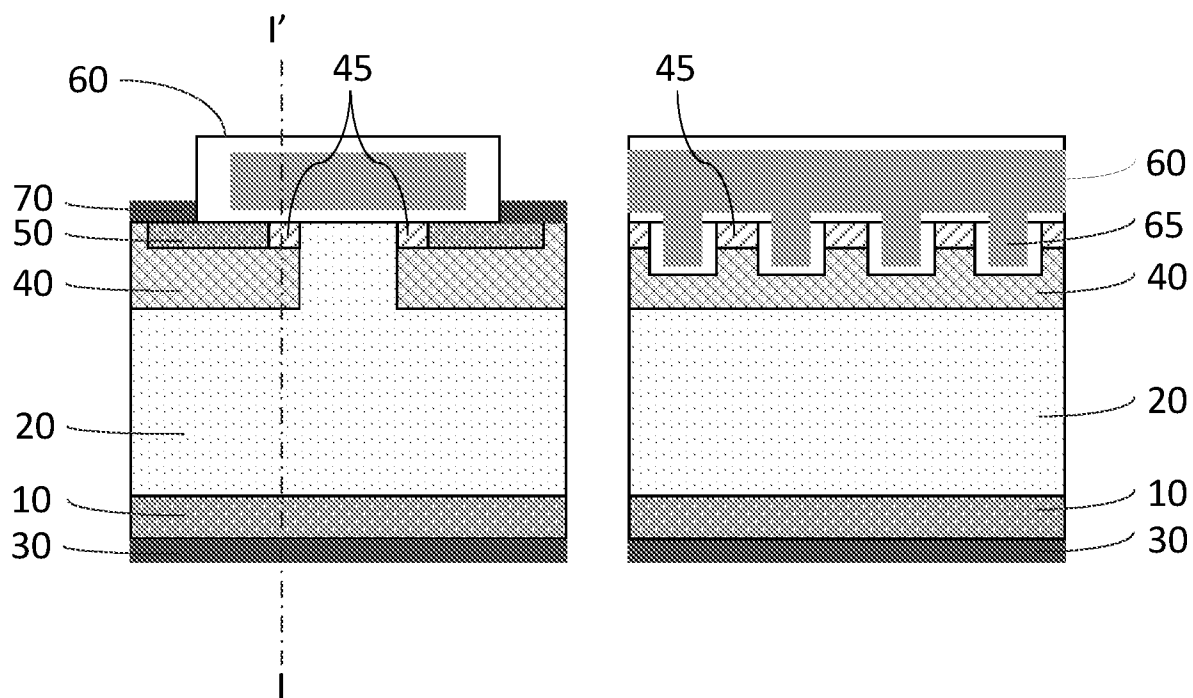


图 11

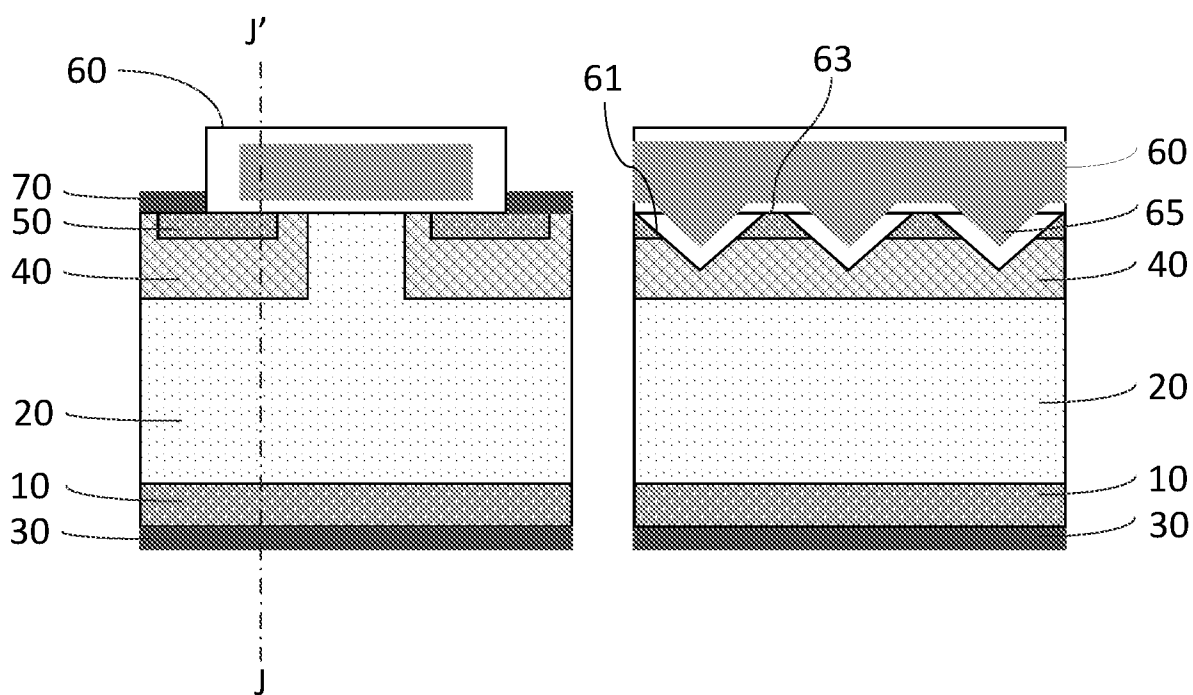


图 12

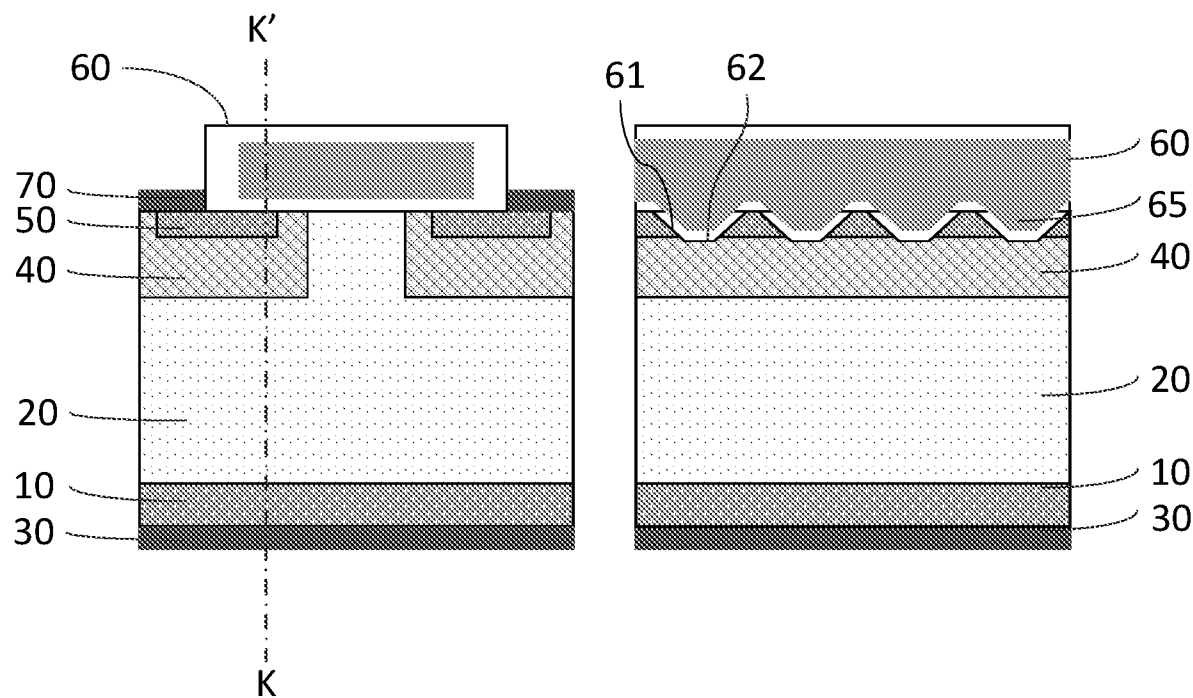


图 13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2024/112951

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i; H01L21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: 碳化硅, 晶面, 沟道, 迁移率, 栅, 多面, 槽, 梳, 齿, SiC, crystal, face, channel, mobility, multi+, gate, trench, comb, tooth

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 117712173 A (PN JUNCTION SEMICONDUCTOR (HANGZHOU) CO., LTD.) 15 March 2024 (2024-03-15) claims 1-10	1-10
X	CN 115513297 A (ZHONGXIN YUEZHOU INTEGRATED CIRCUIT MANUFACTURING (SHAOXING) CO., LTD.) 23 December 2022 (2022-12-23) description, paragraphs 4-82, and figures 5-15	1-10
X	CN 112531017 A (MACMIC SCIENCE & TECHNOLOGY CO., LTD.) 19 March 2021 (2021-03-19) description, paragraphs 23-46, and figures 1-12	1-10
X	US 2020303494 A1 (TOSHIBA K.K.) 24 September 2020 (2020-09-24) description, paragraphs 124-174, and figures 1-12	1-10
A	CN 103762241 A (HANGZHOU DIANZI UNIVERSITY) 30 April 2014 (2014-04-30) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

20 November 2024

Date of mailing of the international search report

26 November 2024

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2024/112951

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	117712173	A	15 March 2024	None			
CN	115513297	A	23 December 2022	CN	115513297	B	22 September 2023
				WO	2024098637	A1	16 May 2024
CN	112531017	A	19 March 2021	CN	215069992	U	07 December 2021
US	2020303494	A1	24 September 2020	US	10998400	B2	04 May 2021
				JP	2020155486	A	24 September 2020
				JP	6992021	B2	13 January 2022
CN	103762241	A	30 April 2014	CN	103762241	B	24 August 2016

A. 主题的分类

H01L29/78(2006.01)i; H01L21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

VEN, ENTXT, IEEE, CNABS, CNTXT, CNKI: 碳化硅,晶面,沟道,迁移率,栅,多面,槽,梳,齿, SiC, crystal, face, channel, mobility, multi+, gate, trench, comb, tooth

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 117712173 A (派恩杰半导体(杭州)有限公司) 2024年3月15日 (2024 - 03 - 15) 权利要求1-10	1-10
X	CN 115513297 A (中芯越州集成电路制造(绍兴)有限公司) 2022年12月23日 (2022 - 12 - 23) 说明书4-82段, 附图5-15	1-10
X	CN 112531017 A (江苏宏微科技股份有限公司) 2021年3月19日 (2021 - 03 - 19) 说明书23-46段, 附图1-12	1-10
X	US 2020303494 A1 (TOSHIBA K.K.) 2020年9月24日 (2020 - 09 - 24) 说明书124-174段, 附图1-12	1-10
A	CN 103762241 A (杭州电子科技大学) 2014年4月30日 (2014 - 04 - 30) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2024年11月20日

国际检索报告邮寄日期

2024年11月26日

ISA/CN的名称和邮寄地址

中国国家知识产权局
中国北京市海淀区蓟门桥西土城路6号 100088

授权官员

刘宁

电话号码 (+86) 010-53961209

PCT/ISA/210 表(第2页) (2022年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/112951

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	117712173	A	2024年3月15日	无	
CN	115513297	A	2022年12月23日	CN	115513297 B 2023年9月22日
				WO	2024098637 A1 2024年5月16日
CN	112531017	A	2021年3月19日	CN	215069992 U 2021年12月7日
US	2020303494	A1	2020年9月24日	US	10998400 B2 2021年5月4日
				JP	2020155486 A 2020年9月24日
				JP	6992021 B2 2022年1月13日
CN	103762241	A	2014年4月30日	CN	103762241 B 2016年8月24日