

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5604130号
(P5604130)

(45) 発行日 平成26年10月8日(2014.10.8)

(24) 登録日 平成26年8月29日(2014.8.29)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	619A
HO1L 21/336	(2006.01)	HO1L 29/78	618B
HO1L 21/28	(2006.01)	HO1L 29/78	616U
HO1L 29/417	(2006.01)	HO1L 29/78	616V
GO2F 1/1368	(2006.01)	HO1L 29/78	618E

請求項の数 2 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2010-28283 (P2010-28283)
 (22) 出願日 平成22年2月11日 (2010.2.11)
 (65) 公開番号 特開2010-219506 (P2010-219506A)
 (43) 公開日 平成22年9月30日 (2010.9.30)
 審査請求日 平成25年1月28日 (2013.1.28)
 (31) 優先権主張番号 特願2009-37912 (P2009-37912)
 (32) 優先日 平成21年2月20日 (2009.2.20)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 今藤 敏和
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 岸田 英幸
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

前置審査

審査官 大橋 達也

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極層と、
 前記ゲート電極層上のゲート絶縁層と、
 前記ゲート絶縁層上の酸化物半導体層と、
 前記酸化物半導体層上のソース電極と、
 前記酸化物半導体層上のドレイン電極と、
 前記ソース電極と、前記酸化物半導体層との間の第1のバッファ層と、
 前記ドレイン電極と、前記酸化物半導体層との間の第2のバッファ層と、
 前記酸化物半導体層上の第3のバッファ層と、を有し、
 前記第3のバッファ層は、前記第1のバッファ層よりも酸素濃度が高い領域を有し、
 前記第3のバッファ層は、前記第2のバッファ層よりも酸素濃度が高い領域を有し、
 前記酸化物半導体層は、前記第1のバッファ層と接する領域を有し、
 前記酸化物半導体層は、前記第2のバッファ層と接する領域を有し、
 前記酸化物半導体層は、前記第3のバッファ層と接する領域を有し、
 前記第1のバッファ層は、チタンを有し、
 前記第2のバッファ層は、チタンを有し、
 前記第3のバッファ層は、チタンを有することを特徴とする半導体装置。

【請求項 2】

請求項1において、

10

20

前記ソース電極は、アルミニウム、銅、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、又はスカンジウムを有し、

前記ドレン電極は、アルミニウム、銅、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、又はスカンジウムを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体層を用いて形成される薄膜トランジスタ及びその作製方法に関する。また、当該薄膜トランジスタを用いて作製される半導体装置に関する。

【0002】

10

なお、本明細書において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電気機器は全て半導体装置である。

【背景技術】

【0003】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1乃至4、非特許文献1）。

20

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3 (ZnO)_m$ （m：自然数）は、In、Ga及びZnを有する多元系酸化物半導体として知られている（非特許文献2乃至4）。

【0006】

そして、上記のようなIn-Ga-Zn系酸化物で構成される酸化物半導体を薄膜トランジスタのチャネル層として適用可能であることが確認されている（特許文献5、非特許文献5及び6）。

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【非特許文献】

【0008】

40

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillissen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

50

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ ($m = 3, 4$, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - $ZnGa_2O_4$ - ZnO System」、J. Solid State Chem., 1995、Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $InFeO_3(ZnO)_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

10

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

20

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明の一態様は、薄膜トランジスタのオフ電流の増加、又はしきい値電圧のマイナスシフトを予防することを課題の一とする。

【0010】

また、本発明の一態様は、薄膜トランジスタのソース電極層及びドレイン電極層と、酸化物半導体層との接合をオーミック接合にすることを課題の一とする。

30

【0011】

また、本発明の一態様は、薄膜トランジスタのオフ電流の増加、又はしきい値電圧のマイナスシフトが予防された高性能な薄膜トランジスタを効率よく作製することを課題の一とする。

【0012】

また、本発明の一態様は、薄膜トランジスタのオフ電流の増加、又はしきい値電圧のマイナスシフトが予防され、且つ薄膜トランジスタのソース電極層及びドレイン電極層と、酸化物半導体層との接合がオーミック接合である高性能な薄膜トランジスタを効率よく作製することを課題の一とする。

【0013】

また、本発明の一態様は、高品質、又は高信頼性の半導体装置を提供することを課題の一とする。

40

【課題を解決するための手段】

【0014】

本発明の一態様は、酸化物半導体層上にバッファ層が設けられ、該バッファ層上にソース電極層及びドレイン電極層が設けられた逆スタガ型の薄膜トランジスタである。なお、当該バッファ層は、酸化物半導体層の両端部上に設けられた一対の導電層と、酸化物半導体層の中央部上に設けられ、一対の導電層と同じ金属元素を有し、且つ一対の導電層よりも酸素濃度が高い、前記一対の導電層に挟まれた絶縁体又は半導体である金属酸化物層と、を有する。

【0015】

50

また、上記構成に加え、当該バッファ層が、酸化物半導体層の両端部上に設けられた一対の酸素濃度が低下した酸化物半導体層と、該一対の酸素濃度が低下した酸化物半導体層上に設けられた一対の高濃度に酸素を含有する導電層と、を有する薄膜トランジスタも本発明の一態様である。

【0016】

なお、本明細書において、絶縁体とはその電気抵抗率が 10^6 ($\Omega \cdot m$) 以上である物質を指し、半導体とはその電気抵抗率が 10^{-3} ($\Omega \cdot m$) 以上、 10^6 ($\Omega \cdot m$) 未満である物質を指し、導電体とはその電気抵抗率が 10^{-3} ($\Omega \cdot m$) 未満である物質を指すこととする。

【0017】

また、本発明の一態様は、金属酸化物層が、酸化物半導体層と同一工程において形成された導電層に対し、酸化処理を行うことによって形成される薄膜トランジスタの作製方法である。なお、当該酸化処理は、ソース電極層及びドレイン電極層の形成に用いられるレジストをマスクとして転用している。そのため、当該導電層の両端部は、当該酸化処理では酸化されず、残存する。その結果、当該酸化処理によって、一対の導電層と、該一対の導電層に挟まれた金属酸化物層とが形成される。

【0018】

また、本発明の一態様は、金属酸化物層が、酸化物半導体層と同一工程で形成された導電層に対し、酸化処理を行うことにより形成され、次いで、一対の高濃度に酸素を含有する導電層及び一対の酸素濃度が低下した酸化物半導体層が、熱処理によって酸素が拡散することにより形成される薄膜トランジスタの作製方法である。

【0019】

また、本発明の一態様は、金属酸化物層、一対の高濃度に酸素を含有する導電層、及び一対の酸素濃度が低下した酸化物半導体層が、熱酸化処理を行うことによって形成される薄膜トランジスタの作製方法である。

【0020】

また、本発明の一態様は、金属酸化物層、一対の高濃度に酸素を含有する導電層、及び一対の酸素濃度が低下した酸化物半導体層が、酸化処理及び熱酸化処理を行うことによって形成される薄膜トランジスタの作製方法である。

【0021】

また、本発明の一態様は、当該薄膜トランジスタと、当該薄膜トランジスタ上に設けられた層間絶縁層とを有する半導体装置である。

【発明の効果】

【0022】

本発明の一態様は、逆スタガ型の薄膜トランジスタにおいて、酸化物半導体層の中央部上に、絶縁体又は半導体である金属酸化物層を有する。該金属酸化物層は、酸化物半導体層への不純物（水素又は水など）の侵入を抑制する保護層として機能する。そのため、薄膜トランジスタのオフ電流の増加、又はしきい値電圧のマイナスシフトを予防することができる。

【0023】

また、本発明の一態様は、逆スタガ型の薄膜トランジスタにおいて、酸化物半導体層の両端部と該酸化物半導体層の両端部上に設けられた一対の導電層の間に、一対の高濃度に酸素を含有する導電層及び一対の酸素濃度が低下した酸化物半導体層を有する。一対の酸素濃度が低下した酸化物半導体層は、酸化物半導体層と比較し抵抗が低い。そのため、ソース電極層及びドレイン電極層と、酸化物半導体層との接合をオーミック接合とすることができる。

【0024】

また、本発明の一態様は、当該金属酸化物層が、酸化物半導体層と同一工程で形成される導電層を基に形成される。そのため、効率よく高性能の薄膜トランジスタを形成することができる。

10

20

30

40

50

【0025】

また、本発明の一態様は、当該金属酸化物層が酸化物半導体層と同一工程で形成される導電層を基に形成され、且つ当該一対の酸素濃度が低下した酸化物半導体層が、当該導電層へと酸素が拡散することによって形成される。そのため、効率よく高性能の薄膜トランジスタを形成することができる。

【0026】

また、本発明の一態様は、半導体装置の有する薄膜トランジスタとして、酸化物半導体層への不純物（水素又は水など）の侵入を抑制する保護層を有する薄膜トランジスタを適用する。これにより、薄膜トランジスタ上に設けられる層間絶縁層を、目的に応じて各種材料、作製方法から選択することができる。すなわち、高品質、又は高信頼性の半導体装置を提供することができる。

10

【図面の簡単な説明】

【0027】

【図1】実施の形態1で説明する薄膜トランジスタの断面図。

【図2】実施の形態2で説明する薄膜トランジスタの作製工程を示す断面図。

【図3】実施の形態2で説明する薄膜トランジスタの作製工程を示す断面図。

【図4】実施の形態3で説明する液晶表示装置の画素を示す上面図。

【図5】実施の形態3で説明する液晶表示装置の画素を示す断面図。

【図6】実施の形態3で説明する液晶表示装置の画素を示す等価回路図。

【図7】実施の形態4で説明する発光表示装置の画素を示す上面図。

20

【図8】実施の形態4で説明する発光表示装置の画素を示す断面図。

【図9】実施の形態4で説明する発光表示装置の画素を示す等価回路図。

【図10】実施の形態5で説明する電子ペーパーの断面図。

【図11】実施例1で説明する計算によって求めた状態密度図。

【図12】実施例1で説明する計算によって求めた状態密度図。

【図13】実施例1で説明する計算によって求めた状態密度図。

【図14】実施例1で説明する計算によって求めたチタン層とIn-Ga-Zn-O系酸化物半導体層との接合界面における熱処理前後の原子配置を示す図。

【図15】実施例1で説明する計算によって求めたチタン層とIn-Ga-Zn-O系酸化物半導体層との接合界面における熱処理前後のチタン濃度及び酸素濃度を示す図。

30

【図16】実施例1で説明する計算によって求めたチタン酸化物層とIn-Ga-Zn-O系酸化物半導体層との接合界面における熱処理前後の原子配置を示す図。

【図17】実施例1で説明する計算によって求めたチタン酸化物層とIn-Ga-Zn-O系酸化物半導体層との接合界面における熱処理前後のチタン濃度及び酸素濃度を示す図。

【発明を実施するための形態】

【0028】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0029】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0030】

(実施の形態1)

本実施の形態では、本発明の一態様の薄膜トランジスタの構造について図1(a)、(

50

b)を用いて説明する。次いで、該薄膜トランジスタが持つ特性について説明する。

【0031】

図1(a)は、基板100上に形成された薄膜トランジスタ150の断面図を示している。薄膜トランジスタ150は、基板100上に設けられたゲート電極層101と、ゲート電極層101上に設けられたゲート絶縁層102と、ゲート絶縁層102上に設けられた酸化物半導体層103と、酸化物半導体層103上に設けられた、導電体である一対の導電層104a、104b、及び絶縁体又は半導体である金属酸化物層105を有するバッファ層106と、導電層104a(一対の導電層104a、104bの一方)上に設けられたソース電極層107aと、導電層104b(一対の導電層104a、104bの他方)上に設けられたドレイン電極層107bと、を有する。なお、一対の導電層104a、104bは、酸化物半導体層103の両端部上に設けられ、金属酸化物層105は、酸化物半導体層103の中央部上に設けられる。

【0032】

別言すると、図1(a)の薄膜トランジスタ150は、酸化物半導体層103とソース電極層107a及びドレイン電極層107bの間に、一対の導電層104a、104b及び金属酸化物層105が設けられたバッファ層106を有する逆スタガ型の薄膜トランジスタである。

【0033】

図1(b)は、基板上に形成された薄膜トランジスタ151の断面図を示している。薄膜トランジスタ151は、図1(a)に示した薄膜トランジスタ150の構成に加え、酸化物半導体層103の両端部上に設けられた一対の酸素濃度が低下した酸化物半導体層108a、108bと、一対の酸素濃度が低下した酸化物半導体層108a、108b上に設けられた一対の高濃度に酸素を含有する導電層109a、109bとを有する。

【0034】

別言すると、図1(b)の薄膜トランジスタ151は、酸化物半導体層103とソース電極層107a及びドレイン電極層107bの間に、一対の導電層104a、104b、金属酸化物層105、一対の酸素濃度が低下した酸化物半導体層108a、108b、及び一対の高濃度に酸素を含有する導電層109a、109bが設けられたバッファ層110を有する逆スタガ型の薄膜トランジスタである。

【0035】

基板100としては、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板等を用いることができる。

【0036】

ゲート電極層101としては、アルミニウム(A1)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タンゲステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0037】

ゲート絶縁層102としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの絶縁体からなる積層構造を適用しても良い。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が55~65原子%、窒素が1~20原子%、シリコンが25~35原子%、水素が0.1~10原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が15~30原子%、窒素が20~35原子%、Siが25~35原子%、水素が15~25原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。

【0038】

10

20

30

40

50

酸化物半導体層 103 としては、In-Ga-Zn-O 系酸化物半導体、In-Sn-Zn-O 系酸化物半導体、In-Zn-O 系酸化物半導体、Sn-Zn-O 系酸化物半導体、In-Sn-O 系酸化物半導体、Ga-Zn-O 系酸化物半導体、または Zn-O 系酸化物半導体などの酸化物半導体を適用することができる。また、これらの酸化物半導体に窒素 (N)、シリコン (Si) を添加した酸化物半導体を適用することもできる。また、これらの材料の積層構造を適用することもできる。

【0039】

一対の導電層 104a、104b としては、チタン (Ti)、銅 (Cu)、亜鉛 (Zn)、アルミニウム (Al) などを適用することができる。また、上述した金属元素を有する合金を適用することもできる。さらに、これらの材料の積層構造を適用することもできる。10

【0040】

金属酸化物層 105 としては、一対の導電層 104a、104b と同じ材料を適用することができる。ただし、金属酸化物層 105 は、一対の導電層 104a、104b よりも酸素濃度が高い。すなわち、金属酸化物層 105 は、一対の導電層 104a、104b と同じ金属元素を有し、且つ導電層 104a、104b よりも酸素濃度が高い。

【0041】

ソース電極層 107a 及びドレイン電極層 107b としては、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、タンタル (Ta)、タンゲステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することができる。20

【0042】

一対の酸素濃度が低下した酸化物半導体層 108a、108b としては、酸化物半導体層 103 と同じ材料を適用することができる。ただし、一対の酸素濃度が低下した酸化物半導体層 108a、108b は、酸化物半導体層 103 よりも酸素濃度が低い。すなわち、一対の酸素濃度が低下した酸化物半導体層 108a、108b は、酸化物半導体層 103 と同じ金属元素を有し、且つ酸化物半導体層 103 よりも酸素濃度が低い。

【0043】

一対の高濃度に酸素を含有する導電層 109a、109b としては、一対の導電層 104a、104b 及び金属酸化物層 105 と同じ材料を適用することができる。ただし、一対の高濃度に酸素を含有する導電層 109a、109b は、一対の導電層 104a、104b よりも酸素濃度が高く、金属酸化物層 105 よりも酸素濃度が低い。すなわち、一対の高濃度に酸素を含有する導電層 109a、109b は、一対の導電層 104a、104b 及び金属酸化物層 105 と同じ金属元素を有し、且つ導電層 104a、104b よりも酸素濃度が高く、金属酸化物層 105 よりも酸素濃度が低い。30

【0044】

図 1 (a) に示した薄膜トランジスタ 150 は、ソース電極層 107a 及びドレイン電極層 107b と酸化物半導体層 103 の間にバッファ層 106 が設けられている。バッファ層 106 は、酸化物半導体層 103 の中央部上に、絶縁体又は半導体である金属酸化物層 105 を有する。金属酸化物層 105 は、酸化物半導体層 103 への不純物 (水素又は水など) の侵入を抑制する保護層として機能する。そのため、薄膜トランジスタ 150 のオフ電流の増加、又はしきい値電圧のマイナスシフトを予防することができる。40

【0045】

図 1 (b) に示した薄膜トランジスタ 151 のバッファ層 110 は、オフ電流の増加、又はしきい値電圧のマイナスシフトを予防する金属酸化物層 105 とともに、酸化物半導体層 103 の両端部上に、一対の酸素濃度が低下した酸化物半導体層 108a、108b を有する。一対の酸素濃度が低下した酸化物半導体層 108a、108b は、酸化物半導体層 103 と比較し、抵抗が低い。そのため、ソース電極層 107a 及びドレイン電極層 107b と、酸化物半導体層 103 との接合をオーミック接合とすることができる。50

【0046】

(実施の形態2)

本実施の形態では、実施の形態1で説明した薄膜トランジスタの作製方法の一例について図2及び図3を用いて説明する。

【0047】

また、本実施の形態において、「膜」とは、基板全面に形成されたものであって、後にフォトリソグラフィ工程等によって所望の形状に加工されるものが、加工前の状態にあるものをいう。そして、「層」とは、「膜」からフォトリソグラフィ工程等により所望の形状に加工、形成されたもの、及び基板全面に形成することを目的としたものとす。

10

【0048】

基板200上に、第1の導電膜201を形成する。第1の導電膜201の形成には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、有機金属気相成長法などに代表される薄膜堆積法を用いることができる。次いで、第1の導電膜201上に第1のレジスト202を形成する。ここまで工程を終えた段階の断面図が図2(a)に相当する。

【0049】

次いで、第1のレジスト202をマスクとして、第1の導電膜201を選択的にエッチングすることによりゲート電極層203を形成する。なお、基板200及び第1の導電膜201(ゲート電極層203)の材料は、実施の形態1で挙げた材料を用いることができるため、ここでは前述の説明を援用する。また、第1のレジスト202は、ゲート電極層203形成後に除去する。ここまで工程を終えた段階の断面図が図2(b)に相当する。

20

【0050】

次いで、基板200及びゲート電極層203上にゲート絶縁層204を形成する。ゲート絶縁層204の形成には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、有機金属気相成長法、プラズマCVD法などに代表される薄膜堆積法を用いることができる。

【0051】

次いで、酸化物半導体膜205を形成する。酸化物半導体膜205の形成には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、有機金属気相成長法などに代表される薄膜堆積法を用いることができる。In-Ga-Zn-O系酸化物半導体をスパッタ法によって形成する場合、In₂O₃、Ga₂O₃、ZnOを焼結したターゲットを用いることが好ましい。スパッタガスにはアルゴンに代表される希ガスを用いる。スパッタ法による成膜条件の一は、In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1を混合、焼結したターゲットを用い、圧力0.4Pa、直流(DC)電源500W、アルゴンガス流量を30sccm、酸素ガス流量を15sccmとするものである。また、酸化物半導体膜205成膜後に、100 ~ 600、代表的には200 ~ 400の熱処理を行うことが好ましい。当該熱処理により酸化物半導体の原子レベルの再配列が行われる。当該熱処理(光アニール等も含む)は、酸化物半導体膜205中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。

30

【0052】

次いで、酸化物半導体膜205上に第2の導電膜206を形成する。第2の導電膜206の形成には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、有機金属気相成長法などに代表される薄膜堆積法を用いる。第2の導電膜206の材料としては、チタン(Ti)、銅(Cu)、亜鉛(Zn)、アルミニウム(Al)などを用いることができる。また、上述した金属元素を有する合金を用いることもできる。さらに、これらの材料の積層構造を用いることもできる。次いで、第2の導電膜206上に第2のレジスト207を形成する。ここまで工程を終えた段階の断面図が図2(c)に相当する。

40

50

【0053】

次いで、第2のレジスト207をマスクとして、酸化物半導体膜205及び第2の導電膜206を選択的にエッティングすることにより酸化物半導体層208及び導電層209を形成する。なお、ゲート絶縁層204及び酸化物半導体膜205(酸化物半導体層208)の材料は、実施の形態1で挙げた材料を用いることができるため、ここでは前述の説明を援用する。また、第2のレジスト207は、酸化物半導体層208及び導電層209を形成後に除去する。ここまで工程を終えた段階の断面図が図2(d)に相当する。

【0054】

次いで、ゲート絶縁層204及び導電層209上に第3の導電膜210を形成する。第3の導電膜210の形成には、スパッタ法、真空蒸着法、パルスレーザ堆積法、イオンプレーティング法、有機金属気相成長法などに代表される薄膜堆積法を用いることができる。次いで、第3の導電膜210上に第3のレジスト211a、211bを形成する。ここまで工程を終えた段階の断面図が図3(a)に相当する。

10

【0055】

次いで、第3のレジスト211a、211bをマスクとして第3の導電膜210を選択的にエッティングすることによりソース電極層212a及びドレイン電極層212bを形成する。また、当該エッティング工程において、ソース電極層212a及びドレイン電極層212bと重畠しない領域(露出部)の導電層209も一部エッティングされ、ソース電極層212a及びドレイン電極層212bと重畠しない領域(露出部)に凹部を有する導電層213が形成される。なお、第3の導電膜210(ソース電極層212a及びドレイン電極層212b)の材料は、実施の形態1で挙げた材料を用いることができるため、ここでは前述の説明を援用する。ここまで工程を終えた段階の断面図が図3(b)に相当する。

20

【0056】

次いで、第3のレジスト211a、211bをマスクとして酸化処理を行う。該酸化処理としては、酸化雰囲気下での熱酸化処理、プラズマ酸化処理、酸素イオン注入などを用いることができる。また、酸化雰囲気下での熱酸化処理を行った後に、プラズマ酸化処理を行うなど、複数を組み合わせることも可能である。なお、熱酸化処理を行う酸化雰囲気としては、乾燥酸素雰囲気、酸素及び希ガスの混合雰囲気、大気雰囲気などを適用することができる。当該酸化処理によって、酸化物半導体層208上に設けられた導電層213の中央部(露出部)が酸化され、絶縁体又は半導体である金属酸化物層214が形成される。また、金属酸化物層214の形成に伴い、一対の導電層215a、215bが酸化物半導体層208の両端部上に形成される。具体的には、ソース電極層212a及びドレイン電極層212bと重畠する領域(非露出部)の導電層213は、ソース電極層212a及びドレイン電極層212b並びに第3のレジスト211a、211bによって、酸化から保護される。その結果、一対の導電層215a、215bが残存する。なお、当該酸化処理によって酸化される領域の体積は増大する。すなわち、金属酸化物層214の体積は、酸化前の導電層213の中央部の体積よりも大きい。ここまで工程を終えた段階の断面図が図3(c)に相当する。また、ここまで工程を終えた段階で図1(a)に示した薄膜トランジスタ150が完成する。

30

【0057】

なお、本実施の形態の薄膜トランジスタは、図1(a)、図3(c)に示した構成に限定されない。具体的には、図1(a)、図3(c)では、当該酸化処理によって、ソース電極層212a及びドレイン電極層212bと重畠しない領域(中央部)の導電層213のみが酸化され、金属酸化物層214が形成された薄膜トランジスタを示しているが、その他の領域が酸化された薄膜トランジスタも本実施の形態の薄膜トランジスタには含まれる。例えば、当該酸化処理によって、第3のレジスト211a、211bに覆われていないソース電極層212a及びドレイン電極層212bの側部が酸化された薄膜トランジスタも本実施の形態の薄膜トランジスタに含まれる。なお、ソース電極層212a及びドレイン電極層212bの側部が酸化される場合、当該酸化を側部表面領域に留めることによ

40

50

り、ソース電極層 212a 及びドレイン電極層 212b を電極として機能させることができる。同様に、当該酸化処理によって、ソース電極層 212a 及びドレイン電極層 212b と重畳する領域（非露出部）の導電層 213 の一部が内部酸化された薄膜トランジスタも本実施の形態の薄膜トランジスタに含まれる。

【0058】

また、図 1 (a)、図 3 (c) では、当該酸化処理によって形成された金属酸化物層 214 の膜厚が一対の導電層 215a、215b の膜厚よりも厚い薄膜トランジスタを示しているが、金属酸化物層 214 の膜厚が一対の導電層 215a、215b の膜厚よりも薄い薄膜トランジスタも本実施の形態の薄膜トランジスタには含まれる。なお、金属酸化物層 214 は、凹部を有する導電層 213 に対して酸化処理を行うことによって形成される。また、当該凹部は、ソース電極層 212a 及びドレイン電極層 212b を形成するエッチング工程の際に形成される。すなわち、ソース電極層 212a 及びドレイン電極層 212b を形成するエッチング工程の条件を制御することによって、金属酸化物層 214 の膜厚を制御することができる。具体的には、ソース電極層 212a 及びドレイン電極層 212b を形成の際のオーバーエッチングの時間を長くすることによって、当該凹部を深くすることができる。これにより、金属酸化物層 214 の膜厚を一対の導電層 215a、215b の膜厚よりも薄くすることができる。

【0059】

図 1 (b) に示した薄膜トランジスタ 151 を作製する場合は、次いで、100 ~ 600、代表的には 200 ~ 400 の熱処理を行う。該熱処理によって、酸化物半導体層 208 中の酸素が一対の導電層 215a、215b へと拡散する。なお、当該酸素の一対の導電層 215a、215b への拡散と、金属酸化物層 214 への拡散を比較した場合、一対の導電層 215a、215b へと拡散する酸素量の方が多い。そのため、酸化物半導体層 208 の両端部上に一対の酸素濃度が低下した酸化物半導体層 216a、216b が形成され、一対の酸素濃度が低下した酸化物半導体層 216a、216b 上に一対の高濃度に酸素を含有する導電層 217a、217b が形成される。その後、第 3 のレジスト 211a、212b を除去する。ここまで段階の断面図が図 3 (d) に相当する。

【0060】

ここでは、図 1 (b) に示した薄膜トランジスタ 151 を作製する場合に行う熱処理を酸化処理後に行う作製工程を示したが、当該熱処理のタイミングは、第 2 の導電膜 206 形成後であれば、どのタイミングで行うことも可能である。また、当該熱処理は、前述した酸化物半導体層 208 の原子レベルの再配列のための熱処理を兼ねることができる。

【0061】

また、形成される薄膜トランジスタの特性という観点から見ると、酸化処理後に熱処理を行うことが好ましい。酸化処理前（金属酸化物層 214 形成前）に熱処理を行うと、酸化物半導体層 208 の上方両端部のみならず、上方全体に酸素濃度が低下した酸化物半導体層が形成されることになり、形成される薄膜トランジスタのオフ電流が増加するためである。

【0062】

また、作製工程という観点から見ると、上述した酸化処理として、一対の酸素濃度が低下した酸化物半導体層 216a、216b、及び一対の高濃度に酸素を含有する導電層 217a、217b が形成される温度での酸化雰囲気下での熱酸化処理を行うことが好ましい。金属酸化物層 214、酸素濃度が低下した酸化物半導体層 216a、216b、及び高濃度に酸素を含有する導電層 217a、217b を同一工程で形成できるためである。当該酸化処理及び当該熱処理を兼ねる処理条件の一は、乾燥酸素雰囲気下での 350 °C、1 時間の熱酸化処理である。

【0063】

また、形成される薄膜トランジスタの信頼性という観点から見ると、熱酸化処理と酸化処理を組み合わせて行うことが好ましい。金属酸化物層 214 の膜厚を厚くすることによ

10

20

30

40

50

り、酸化物半導体層 208 への不純物（水素又は水など）の侵入を抑制する保護層としての機能を向上させることができるためである。

【0064】

薄膜トランジスタ 150 は、酸化物半導体層 208 と同一工程で形成される導電層 209（導電層 213）を基に、オフ電流の増加、又はしきい値電圧のマイナスシフトを予防する機能を有する金属酸化物層 214 が形成されるため、効率よく高性能の薄膜トランジスタを形成することができる。同様に、薄膜トランジスタ 151 は、酸化物半導体層 208 と同一工程で形成される導電層 209（導電層 213）を基に、オフ電流の増加、又はしきい値電圧のマイナスシフトを予防する機能を有する金属酸化物層 214 が形成され、且つ酸化物半導体層 208 と、ソース電極層 212a 及びドレイン電極層 212b とをオーミック接合とする機能を有する一対の酸素濃度が低下した酸化物半導体層 216a、216b が、一対の導電層 215a、215b へと酸素が拡散することによって形成されるため、効率よく高性能の薄膜トランジスタを形成することができる。

【0065】

（実施の形態 3）

本実施の形態では、実施の形態 1 で説明した薄膜トランジスタを用いた半導体装置の一例を示す。具体的には、当該薄膜トランジスタをアクティブマトリクス基板の画素部に設けられる薄膜トランジスタに適用した液晶表示装置について図 4 乃至図 6 に示す。次いで、当該液晶表示装置について説明する。

【0066】

なお、半導体装置内において、薄膜トランジスタのソース及びドレインは、動作条件等によって入れ替わるため、いずれがソース又はドレインであるかを特定することが困難である。そこで、本実施の形態以降においては、ソース電極層及びドレイン電極層の一方を第 1 電極層、ソース電極層及びドレイン電極層の他方を第 2 電極層と表記し、区別することとする。

【0067】

図 4 は、アクティブマトリクス基板の 1 画素を示す上面図である。本実施の形態の液晶表示装置の画素は、3 つの副画素によって構成される。それぞれの副画素には、薄膜トランジスタ 300 及び液晶層へ電圧を印加する画素電極 301 が設けられる。実施の形態 1 で示した薄膜トランジスタは、図 4 中の薄膜トランジスタ 300 に適用することができる。画素部には、上述した画素が複数設けられる。また、複数のゲート配線 302、複数のソース配線 303、複数の容量配線 304 が設けられる。

【0068】

図 5 は、図 4 の A - B 線に対応する断面図である。図 5 に含まれる薄膜トランジスタ 450 は、図 1 (a) に示した薄膜トランジスタである。つまり、薄膜トランジスタ 450 は、基板 400 上に設けられたゲート電極層 401 と、ゲート電極層 401 上に設けられたゲート絶縁層 402 と、ゲート絶縁層 402 上に設けられた酸化物半導体層 403 と、酸化物半導体層 403 上に設けられた、一対の導電層 404a、404b 及び金属酸化物層 405 を有するバッファ層 406 と、導電層 404a 上に設けられた第 1 電極層 407a と、導電層 404b 上に設けられた第 2 電極層 407b と、を有する薄膜トランジスタである。

【0069】

基板 400 乃至第 1 電極層 407a 及び第 2 電極層 407b に適用可能な材料及び作製方法は、実施の形態 1 で説明した材料及び実施の形態 2 で説明した作製方法を用いることができるため、ここでは前述の説明を援用する。

【0070】

また、副画素は容量素子 451 を有する。容量素子 451 は、薄膜トランジスタ 450 のゲート電極層 401 と同一材料である容量配線 408 と、ゲート絶縁層 402 と、副画素に延在する薄膜トランジスタ 450 の第 2 電極層 407b とによって構成される。

【0071】

10

20

30

40

50

薄膜トランジスタ 450 及び容量素子 451 上には、層間絶縁層 409 が設けられる。図 5 に示す薄膜トランジスタ 450 には、酸化物半導体層 403 への不純物（水素又は水など）の侵入を抑制する金属酸化物層 405 が設けられているため、層間絶縁層 409 として各種材料、作製方法を適用することができる。例えば、層間絶縁層 409 として、プラズマ CVD 法やスパッタ法を用いて、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等を形成することができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを用いて、スピンドルコート法などの塗布法により形成することができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、有機基（例えばアルキル基、芳香族炭化水素）やフルオロ基を用いても良い。有機基は、フルオロ基を有していてもよい。また、層間絶縁層 409 に設けられたコンタクトホール 410 において、薄膜トランジスタ 450 の第 2 電極層 407b が画素電極 411 と電気的に接続している。10

【0072】

図 6 は、図 4 の副画素に対応する等価回路図である。薄膜トランジスタ 500 のゲート電極はゲート配線 501 に電気的に接続され、第 1 電極はソース配線 502 に電気的に接続される。容量素子 503 の一方の電極は薄膜トランジスタ 500 の第 2 電極に電気的に接続され、他方の電極は容量配線 504 に電気的に接続される。画素電極を介して電圧が印加される液晶層 505 は、薄膜トランジスタ 500 の第 2 電極及び容量素子 503 の一方の電極に電気的に接続される。20

【0073】

液晶表示装置は、アクティブマトリクス基板と、表面に対向電極が設けられた対向基板とによって挟持された液晶層を有する。液晶層を構成する液晶分子は、アクティブマトリクス基板の画素電極及び対向基板の対向電極間に印加される電圧によって配向が制御される。液晶表示装置は、当該液晶層の液晶分子が配向することによって、バックライトからの光を透過又は遮光することにより、画像の表示を行っている。液晶表示装置において、アクティブマトリクス基板の画素部の薄膜トランジスタは、液晶層に印加される電圧を制御するスイッチング素子である。30

【0074】

本実施の形態の液晶表示装置は、酸化物半導体層 403 上に金属酸化物層 405 が設けられた薄膜トランジスタ 450 をアクティブマトリクス基板の画素部の薄膜トランジスタとして用いている。金属酸化物層 405 は、酸化物半導体層 403 への不純物（水素又は水など）の侵入を抑制する保護層として機能する。そのため、目的に応じて、層間絶縁層 409 の材料、作製方法を選択することが可能である、結果として、高品質、又は高信頼性の液晶表示装置を提供することが可能となる。なお、ここでは図 1 (a) に示した薄膜トランジスタを適用した液晶表示装置について示したが、図 1 (b) に示した薄膜トランジスタを適用した場合も同様の効果を奏する。30

【0075】

(実施の形態 4)

本実施の形態では、実施の形態 1 で説明した薄膜トランジスタを用いた半導体装置の一例を示す。具体的には、当該薄膜トランジスタをアクティブマトリクス基板の画素部に設けられる薄膜トランジスタに適用した発光表示装置について図 7 乃至図 9 に示す。次いで、本実施の形態の発光表示装置について説明する。なお、本実施の形態の発光表示装置が有する表示素子として、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E-L 素子、後者は無機 E-L 素子と呼ばれている。40

【0076】

有機 E-L 素子は、発光素子に電圧を印加することにより、一対の電極から電子および正

50

孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0077】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー・アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0078】

図7は、アクティブマトリクス基板の1画素を示す上面図である。本実施の形態の発光表示装置の画素は、3つの副画素によって構成される。それぞれの副画素には、薄膜トランジスタ600、601、発光素子へ電圧を印加する画素電極602が設けられる（便宜のため画素電極602の一部は図示しない）。実施の形態1で示した薄膜トランジスタは、図6中の薄膜トランジスタ600、601に適用することができる。画素部には、上述した画素が複数設けられる。また、複数のゲート配線603、複数のソース配線604、複数の電源線605が設けられる。なお、電源線605には、高電源電位VDDが設定されている。

【0079】

図8は、図7のC-D線、E-F線に対応する断面図である。薄膜トランジスタ750、751は、図1(a)に示した薄膜トランジスタである。つまり、薄膜トランジスタ750、751は、基板700上に設けられたゲート電極層701と、ゲート電極層701上に設けられたゲート絶縁層702と、ゲート絶縁層702上に設けられた酸化物半導体層703と、酸化物半導体層703上に設けられた、導電層704a、704b及び金属酸化物層705を有するバッファ層706と、導電層704a上に設けられた第1電極層707aと、導電層704b上に設けられた第2電極層707bと、を有する薄膜トランジスタである。

【0080】

基板700乃至第1電極層707a及び第2電極層707bに適用可能な材料及び作製方法は、実施の形態1で説明した材料及び実施の形態2で説明した作製方法を用いることができるため、ここでは前述の説明を援用する。

【0081】

また、副画素は容量素子752を有する。容量素子752は、薄膜トランジスタ750、751のゲート電極層701と同一材料である容量配線708と、ゲート絶縁層702と、副画素に延在する薄膜トランジスタ751の第1電極層707aと、によって構成される。

【0082】

薄膜トランジスタ750、751及び容量素子752上には、層間絶縁層709が設けられる。図8に示す薄膜トランジスタ750、751には、酸化物半導体層703への不純物（水素又は水など）の侵入を抑制する金属酸化物層705が設けられているため、層間絶縁層709として各種材料、作製方法を適用することができる。例えば、層間絶縁層709として、プラズマCVD法やスパッタ法を用いて、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等を形成することができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを用いて、スピンドル法などの塗布法により形成することができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)

10

20

30

40

50

と酸素(O)との結合で骨格構造が構成される。置換基として、有機基(例えばアルキル基、芳香族炭化水素)やフルオロ基を用いても良い。有機基は、フルオロ基を有していてもよい。また、層間絶縁層 709 には、複数のコンタクトホール 710a、710b、710c が設けられる。薄膜トランジスタ 751 の第 2 電極層 707b は、コンタクトホール 710c において、画素電極 711 と電気的に接続されている。

【 0083 】

図 9 は、図 7 の副画素に対応する等価回路図である。薄膜トランジスタ 800 のゲート電極はゲート配線 801 に電気的に接続され、第 1 電極はソース配線 802 に電気的に接続される。容量素子 803 の一方の電極は薄膜トランジスタ 800 の第 2 電極に電気的に接続され、他方の電極は電源線 804 に電気的に接続される。薄膜トランジスタ 805 のゲート電極は薄膜トランジスタ 800 の第 2 電極に電気的に接続され、第 1 電極は電源線 804 及び容量素子 803 の他方の電極に接続される。画素電極を介して電圧が印加される有機 EL 素子 806 は、薄膜トランジスタ 805 の第 2 電極に電気的に接続される。

【 0084 】

発光表示装置は、アクティブマトリクス基板の画素電極上に設けられた有機 EL 素子と、該有機 EL 素子上に設けられた共通電極と、を有する。なお、共通電極には低電源電位 VSS が設定されている。当該有機 EL 素子は、薄膜トランジスタを介して画素電極に与えられる高電源電位 VDD と、共通電極に与えられる低電源電位 VSS との電位差分の電圧が印加された際に電流が流れ、発光する。発光表示装置において、アクティブマトリクス基板の画素部の薄膜トランジスタは、有機 EL 素子に流れる電流を制御するスイッチング素子である。

【 0085 】

本実施の形態の発光表示装置は、酸化物半導体層 703 上に金属酸化物層 705 が設けられた薄膜トランジスタ 750、751 をアクティブマトリクス基板の画素部の薄膜トランジスタとして用いている。金属酸化物層 705 は、酸化物半導体層 703 への不純物(水素又は水など) の侵入を抑制する保護層として機能する。そのため、目的に応じて、層間絶縁層 709 の材料、作製方法を選択することが可能である、結果として、高品質、又は高信頼性の発光表示装置を提供することが可能となる。なお、ここでは図 1 (a) に示した薄膜トランジスタを適用した発光表示装置について示したが、図 1 (b) に示した薄膜トランジスタを適用した場合も同様の効果を奏する。

【 0086 】

(実施の形態 5)

本実施の形態では、実施の形態 1 で説明した薄膜トランジスタを用いた半導体装置の一例を示す。具体的には、当該薄膜トランジスタをアクティブマトリクス基板に設けられる薄膜トランジスタに適用した電子ペーパーについて図 10 に示す。次いで、本実施の形態の電子ペーパーについて説明する。

【 0087 】

図 10 は、アクティブマトリクス型の電子ペーパーの断面図である。第 1 の基板(アクティブマトリクス基板) 900 上に設けられた薄膜トランジスタ 950 は、図 1 (a) に示した薄膜トランジスタである。つまり、薄膜トランジスタ 950 は、第 1 の基板 900 上に設けられたゲート電極層 901 と、ゲート電極層 901 上に設けられたゲート絶縁層 902 と、ゲート絶縁層 902 上に設けられた酸化物半導体層 903 と、酸化物半導体層 903 上に設けられた、一対の導電層 904a、904b 及び金属酸化物層 905 を有するバッファ層 906 と、導電層 904a 上に設けられた第 1 電極層 907a と、導電層 904b 上に設けられた第 2 電極層 907b と、を有する薄膜トランジスタである。

【 0088 】

基板 900 乃至第 1 電極層 907a 及び第 2 電極層 907b に適用可能な材料及び作製方法は、実施の形態 1 で説明した材料及び実施の形態 2 で説明した作製方法を用いることができるため、ここでは前述の説明を援用する。

【 0089 】

10

20

30

40

50

薄膜トランジスタ 950 上には、層間絶縁層 908 が設けられる。図 10 に示す薄膜トランジスタ 950 には、酸化物半導体層 903 への不純物（水素又は水など）の侵入を抑制する金属酸化物層 905 が設けられているため、層間絶縁層 908 として各種材料、作製方法を適用することができる。例えば、層間絶縁層 908 として、プラズマ CVD 法やスパッタ法を用いて、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、又は窒化酸化シリコン層等を形成することができる。また、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル若しくはエポキシ等の有機材料、シロキサン樹脂等のシロキサン材料、又はオキサゾール樹脂などを用いて、スピンドルコート法などの塗布法により形成することができる。なお、シロキサン材料とは、Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン（Si）と酸素（O）との結合で骨格構造が構成される。置換基として、有機基（例えばアルキル基、芳香族炭化水素）やフルオロ基を用いても良い。有機基は、フルオロ基を有していてもよい。また、層間絶縁層 908 には、コンタクトホール 909 が設けられる。薄膜トランジスタ 950 の第 2 電極層 907b は、コンタクトホール 909 において、画素電極 910 と電気的に接続されている。10

【0090】

画素電極 910 と第 2 の基板 911 上に設けられた共通電極 912 の間には、黒色領域 913a 及び白色領域 913b を有し周囲に液体で満たされているキャビティ 914 を含むツイストボール 915 が設けられている。なお、ツイストボール 915 の周囲は樹脂等の充填材 916 で充填されている。20

【0091】

本実施の形態の電子ペーパーは、ツイストボール表示方式を用いている。当該電子ペーパーは、白と黒に塗り分けられたツイストボールを画素電極及び共通電極間に有する。ツイストボールは、第 1 の基板の画素電極及び第 2 の基板の共通電極間に印加される電圧によって向きが制御されることによって表示を行っている。電子ペーパーにおいて、アクティブマトリクス基板の薄膜トランジスタは、ツイストボールに印加される電圧を制御するスイッチング素子である。20

【0092】

本実施の形態の発光表示装置は、酸化物半導体層 903 上に金属酸化物層 905 が設けられた薄膜トランジスタ 950 をアクティブマトリクス基板の薄膜トランジスタとして用いている。金属酸化物層 905 は、酸化物半導体層 903 への不純物（水素又は水など）の侵入を抑制する保護層として機能する。そのため、目的に応じて、層間絶縁層 908 の材料、作製方法を選択することが可能である、結果として、高品質、又は高信頼性の電子ペーパーを提供することが可能となる。なお、ここでは図 1 (a) に示した薄膜トランジスタを適用した電子ペーパーについて示したが、図 1 (b) に示した薄膜トランジスタを適用した場合も同様の効果を奏する。30

【実施例 1】

【0093】

ここでは、酸素含有量の違いによるチタン及びチタン酸化物の電子状態の変化、酸化物半導体層の酸素欠損に伴う電子状態の変化、熱処理下におけるチタン層及び酸化物半導体層の接合界面近傍における酸素の挙動、並びに熱処理下におけるチタン酸化物層及び酸化物半導体層の接合界面近傍における酸素の挙動に関する計算結果を示す。次いで、バッファ層の構成材料にチタンを適用した実施の形態 1 の薄膜トランジスタについて検証する。40

【0094】

まず、酸素含有量の違いによるチタン及びチタン酸化物の電子状態の変化を検証する。ここでは、チタン及び複数のチタン酸化物の結晶構造のエネルギー状態密度を密度汎関数理論（Density Functional Theory : DFT）に基づく平面波 - 擬ポテンシャル法を用いた第一原理計算による構造最適化によって求めた結果について示す。具体的には、Ti、TiO (NaCl 型)、 Ti_2O_3 (Al₂O₃ 型)、 TiO_2 (Anatase 型)、 TiO_2 (Rutile 型)、及び TiO_2 (Brookite 型) の構造を最適化した後の状態密度図を示す。なお、計算プログラムとしては CAS50

TEPを、交換相関汎関数としてはGGA-PBEを用いた。

【0095】

図11(a)、(b)、(c)は、それぞれTi、TiO(NaCl型)、 Ti_2O_3 (Al₂O₃型)の状態密度図である。図11(a)、(b)、(c)には、バンドギャップはない。つまり、Ti、TiO(NaCl型)、 Ti_2O_3 (Al₂O₃型)は、導電体である。

【0096】

図12(a)、(b)、(c)は、それぞれ TiO_2 (Anatase型)、 TiO_2 (Rutile型)、 TiO_2 (Brookite型)の状態密度図である。図12(a)、(b)、(c)のフェルミ準位(0eV)は、価電子帯の上端に存在し、バンドギャップがある。つまり、 TiO_2 (Anatase型)、 TiO_2 (Rutile型)、 TiO_2 (Brookite型)は、絶縁体又は半導体である。

【0097】

図11、図12から、チタンは、ある量以下の酸素を含有しても導電体であること、ある量以上の酸素を含有すると絶縁体化又は半導体化することが分かる。

【0098】

次いで、酸化物半導体層の酸素欠損に伴う電子状態の変化を検証する。ここでは、酸化物半導体層としてIn-Ga-Zn-O系の酸化物半導体材料(In : Ga : Zn : O = 1 : 1 : 1 : 4)を用いる場合について計算を行っている。

【0099】

まず、古典分子動力学(Classical Molecular Dynamics)計算によるmelting-quench法を用いてIn-Ga-Zn-O系酸化物半導体の非晶質構造を作成した。なお、ここで作成した非晶質構造は、総原子数が84個、密度が5.9g/cm³の構造である。また、原子間ポテンシャルは金属-酸素間および酸素-酸素間についてはBorn-Mayer-Huggins型のポテンシャルを、金属-金属間についてはLennard-Jones型のポテンシャルを用い、NVTアンサンブルで計算を行った。計算プログラムとしては、Materials Explorerを用いた。

【0100】

その後、上記計算により得られた構造に対して、密度汎関数理論(Density Functional Theory:DFT)に基づく平面波-擬ポテンシャル法を用いた第一原理分子動力学法(First Principle Molecular Dynamics:以下、第一原理MDという)によるアニールを室温(298K)で行った後に構造の最適化を行い、状態密度を求めた。また、ランダムに酸素原子を一つ取り除いた構造(酸素欠損構造)に対しても第一原理MD計算と構造最適化を行い、状態密度を計算した。なお、計算プログラムとしてはCASTEPを、交換相関汎関数としてはGGA-PBEを用い、第一原理MDはNVTアンサンブルに対して行った。

【0101】

図13(a)、(b)は、上記計算により得られたIn-Ga-Zn-O系酸化物半導体の状態密度図である。図13(a)は、酸素欠損のない構造の状態密度図であり、図13(b)は、酸素欠損構造の状態密度図である。図13(a)において、フェルミ準位(0eV)は価電子帯の上端に存在し、バンドギャップがあるのに対し、図13(b)においては、フェルミ準位(0eV)は伝導帯内に存在している。つまり、酸素欠損構造は、酸素欠損がない構造と比較し、より抵抗が低い構造であることが分かる。

【0102】

次いで、熱処理におけるチタン層及び酸化物半導体層の接合界面近傍における酸素の挙動について検証する。ここでは、前述の第一原理計算によって得られたIn-Ga-Zn-O系酸化物半導体の非晶質構造上にチタンを積層し、当該構造に対して構造の最適化を行った後に、NVTアンサンブルで第一原理MD計算を行った。計算プログラムとしてはCASTEPを、交換相関汎関数としてはGGA-PBEを用いた。また、温度条件は3

10

20

30

40

50

50 (623K)とした。

【0103】

図14に第一原理MD前後の構造を示す。図14(a)は、第一原理MD前の構造であり、図14(b)は、第一原理MD後の構造である。さらに、図15に第一原理MD前後における、チタン及び酸素のc軸方向の密度を示す。図15は、図14の各原子にガウス分布型の密度を割り当て、全原子の足し合わせで求められた密度分布である。また、図15の横軸は原子密度、縦軸はc軸を表している。図15中の各曲線はそれぞれ、第一原理MD前のチタンの密度(Ti_before)、第一原理MD後のチタンの密度(Ti_after)、第一原理MD前の酸素の密度(O_before)、第一原理MD後の酸素の密度(O_after)を表している。図15から、O_afterがO_beforeよりもc軸のプラス方向にあり、第一原理MD前後でチタン中に含まれる酸素濃度が増加していることが分かる。つまり、350(623K)の熱処理によって、酸化物半導体層中の酸素がチタン層へと拡散することが分かる。

【0104】

次いで、熱処理におけるチタン酸化物(ここでは、 TiO_2 (Rutile型)を用いた)層及び酸化物半導体層の接合界面近傍における酸素の挙動について検証する。ここでは、前述の第一原理計算によって得られたIn-Ga-Zn-O系酸化物半導体の非晶質構造上に TiO_2 (Rutile型)を積層し、当該構造に対して構造の最適化を行った後に、NVTアンサンブルで第一原理MD計算を行った。計算プログラムとしてはCASTEPを、交換相関汎関数としてはGGA-PBEを用いた。また、温度条件は700(973K)とした。

【0105】

図16に第一原理MD前後の構造を示す。図16(a)は、第一原理MD前の構造であり、図16(b)は、第一原理MD後の構造である。さらに、図17に第一原理MD前後における、チタン及び酸素のc軸方向の密度を示す。図17は、図16の各原子にガウス分布型の密度を割り当て、全原子の足し合わせで求められた密度分布である。また、図17の横軸は原子密度、縦軸はc軸を表している。図17中の各曲線はそれぞれ、第一原理MD前のチタンの密度(Ti_before)、第一原理MD後のチタンの密度(Ti_after)、第一原理MD前の酸素の密度(O_before)、第一原理MD後の酸素の密度(O_after)を表している。図17には、図15で見られたようなO_afterとO_beforeの間に大きな違いはない。つまり、700(973K)の熱処理を行っても、酸化物半導体層と TiO_2 (Rutile型)層の間での酸素の拡散は、350での酸化物半導体層とチタン層の間の拡散ほど活発ではないことが分かる。

【0106】

本実施例で行った計算結果について以下にまとめる。

【0107】

図11及び図12から、複数のチタン酸化物は、それぞれ電子状態が異なり、酸素濃度が高くなると絶縁体化又は半導体化することが分かった。具体的には、 TiO (NaCl型)、 Ti_2O_3 (Al₂O₃型)は導電体であり、 TiO_2 (Anatase型)、 TiO_2 (Rutile型)、 TiO_2 (Brookite型)は絶縁体又は半導体であることが分かった。つまり、チタン酸化物は、酸素含有量が多いと絶縁体化又は半導体化し、その電子状態は、酸素の比率に応じて変化することが分かった。

【0108】

図13から、In-Ga-Zn-O系酸化物半導体は、酸素欠損構造となることによって、電子状態が変化し、低抵抗化することが分かった。なお、図13では、総原子数84(In : Ga : Zn : O = 1 : 1 : 1 : 4)を有する非晶質構造と、当該構造から酸素原子を1つ取り除いた構造の電子状態を比較している。別言すると、酸素濃度が約57.1at.% (酸素原子数48 / 全原子数84)の構造と、酸素濃度が約56.6at.% (酸素原子数47 / 全原子数83)の構造とを比較している。これより、In-Ga-Zn-O系酸化物半導体は、前述のチタンと比較し、酸素濃度の変化が電子状態に与える影響

が大きい材料であると言える。

【0109】

図14及び図15から、チタン層及びIn-Ga-Zn-O系酸化物半導体層の積層に対し、350の熱処理を行うと、In-Ga-Zn-O系酸化物半導体層中の酸素がチタン層へ拡散することがわかった。別言すると、熱処理により、熱処理前のチタン層よりも高濃度に酸素を含有するチタン層と、熱処理前の酸化物半導体層よりも酸素濃度が低下した酸化物半導体層とが形成されることが分かった。また、前述のチタン及びIn-Ga-Zn-O系酸化物半導体の酸素濃度の変化が、それぞれの電子状態に与える影響を鑑みると、高濃度に酸素を含有するチタン層は、チタン層と比較し、抵抗がそれほど増加しないのに対し、酸素濃度が低下した酸化物半導体層は、酸化物半導体層と比較し、抵抗が低下すると考えられる。

【0110】

図16及び図17から、TiO₂(Rutile型)層及びIn-Ga-Zn-O系酸化物半導体層の積層に対し、700という高温での熱処理を行っても、350での酸化物半導体層とチタン層の積層における拡散よりも、拡散が起きにくいことが分かった。別言すると、熱処理を行っても、酸化物半導体層とチタン層の積層よりも酸素濃度が低下した酸化物半導体層が形成されにくいことが分かった。

【0111】

次いで、実施の形態1の薄膜トランジスタのバッファ層にチタンを適用した場合について検証する。チタン層に酸化処理を行い、絶縁体又は半導体であるTiO₂(Anatase型)、TiO₂(Rutile型)、TiO₂(Brookite型)といったチタン酸化物を形成することによって、バッファ層の金属酸化物層として適用することができる。また、350の熱処理を行うことによって、酸化物半導体層からの酸素がチタン層に拡散し、高濃度に酸素を含有するチタン層及び酸素濃度が低下した酸化物半導体層が形成される。そのため、酸化物半導体層を効果的に低抵抗化し、バッファ層を介したソース電極層及びドレイン電極層と、酸化物半導体層との接合をオーミック接合とすることができる。加えて、酸化物半導体層と金属酸化物層の界面においては、酸化物半導体層と導電層の界面と比較し、酸素の拡散が起きにくい。そのため、当該界面において、低抵抗な、酸素濃度が低下した酸化物半導体層が形成されにくく、薄膜トランジスタのオフ電流の増加を抑制することができる。

【0112】

以上より、チタンは、実施の形態1の薄膜トランジスタのバッファ層に適用する材料として好ましい材料であることが分かった。

【符号の説明】

【0113】

100	基板
101	ゲート電極層
102	ゲート絶縁層
103	酸化物半導体層
104 a	導電層
104 b	導電層
105	金属酸化物層
106	バッファ層
107 a	ソース電極層
107 b	ドレイン電極層
108 a	酸素濃度が低下した酸化物半導体層
108 b	酸素濃度が低下した酸化物半導体層
109 a	高濃度に酸素を含有する導電層
109 b	高濃度に酸素を含有する導電層
110	バッファ層

10

20

30

40

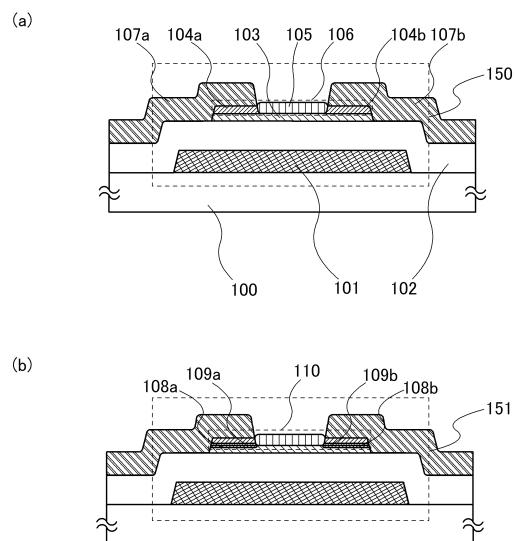
50

1 5 0	薄膜トランジスタ	
1 5 1	薄膜トランジスタ	
2 0 0	基板	
2 0 1	第1の導電膜	
2 0 2	第1のレジスト	
2 0 3	ゲート電極層	
2 0 4	ゲート絶縁層	
2 0 5	酸化物半導体膜	
2 0 6	第2の導電膜	
2 0 7	第2のレジスト	10
2 0 8	酸化物半導体層	
2 0 9	導電層	
2 1 0	第3の導電膜	
2 1 1 a	第3のレジスト	
2 1 1 b	第3のレジスト	
2 1 2 a	ソース電極層	
2 1 2 b	ドレイン電極層	
2 1 3	導電層	
2 1 4	金属酸化物層	
2 1 5 a	導電層	20
2 1 5 b	導電層	
2 1 6 a	酸素濃度が低下した酸化物半導体層	
2 1 6 b	酸素濃度が低下した酸化物半導体層	
2 1 7 a	高濃度に酸素を含有する導電層	
2 1 7 b	高濃度に酸素を含有する導電層	
3 0 0	薄膜トランジスタ	
3 0 1	画素電極	
3 0 2	ゲート配線	
3 0 3	ソース配線	
3 0 4	容量配線	30
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 4 a	導電層	
4 0 4 b	導電層	
4 0 5	金属酸化物層	
4 0 6	バッファ層	
4 0 7 a	第1電極層	
4 0 7 b	第2電極層	40
4 0 8	容量配線	
4 0 9	層間絶縁層	
4 1 0	コンタクトホール	
4 1 1	画素電極	
4 5 0	薄膜トランジスタ	
4 5 1	容量素子	
5 0 0	薄膜トランジスタ	
5 0 1	ゲート配線	
5 0 2	ソース配線	
5 0 3	容量素子	50

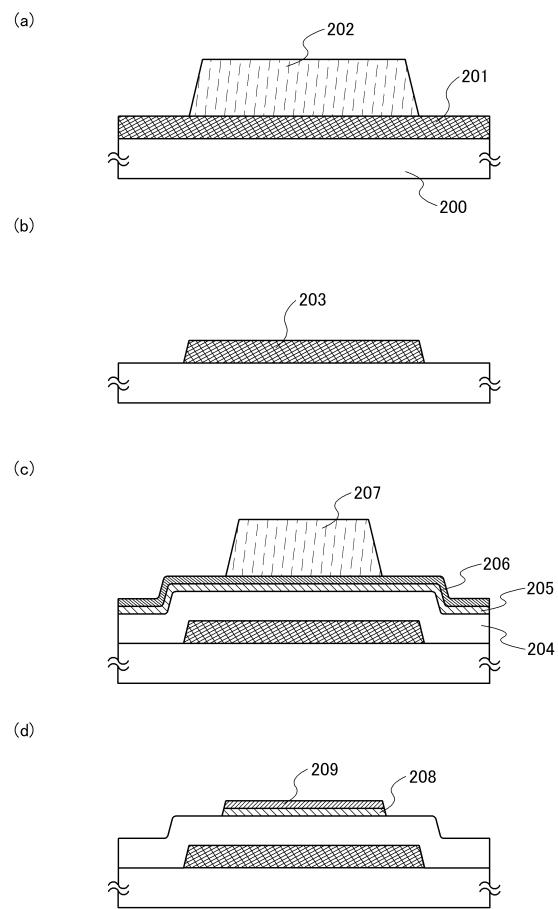
5 0 4	容量配線	
5 0 5	液晶層	
6 0 0	薄膜トランジスタ	
6 0 1	薄膜トランジスタ	
6 0 2	画素電極	
6 0 3	ゲート配線	
6 0 4	ソース配線	
6 0 5	電源線	
7 0 0	基板	
7 0 1	ゲート電極層	10
7 0 2	ゲート絶縁層	
7 0 3	酸化物半導体層	
7 0 4 a	導電層	
7 0 4 b	導電層	
7 0 5	金属酸化物層	
7 0 6	バッファ層	
7 0 7 a	第1電極層	
7 0 7 b	第2電極層	
7 0 8	容量配線	
7 0 9	層間絶縁層	20
7 1 0 a	コンタクトホール	
7 1 0 b	コンタクトホール	
7 1 0 c	コンタクトホール	
7 1 1	画素電極	
7 5 0	薄膜トランジスタ	
7 5 1	薄膜トランジスタ	
7 5 2	容量素子	
8 0 0	薄膜トランジスタ	
8 0 1	ゲート配線	
8 0 2	ソース配線	30
8 0 3	容量素子	
8 0 4	電源線	
8 0 5	薄膜トランジスタ	
8 0 6	有機EL素子	
9 0 0	基板	
9 0 1	ゲート電極層	
9 0 2	ゲート絶縁層	
9 0 3	酸化物半導体層	
9 0 4 a	導電層	
9 0 4 b	導電層	40
9 0 5	金属酸化物層	
9 0 6	バッファ層	
9 0 7 a	第1電極層	
9 0 7 b	第2電極層	
9 0 8	層間絶縁層	
9 0 9	コンタクトホール	
9 1 0	画素電極	
9 1 1	基板	
9 1 2	共通電極	
9 1 3 a	黒色領域	50

9 1 3 b	白色領域
9 1 4	キャビティ
9 1 5	ツイストボール
9 1 6	充填材
9 5 0	薄膜トランジスタ

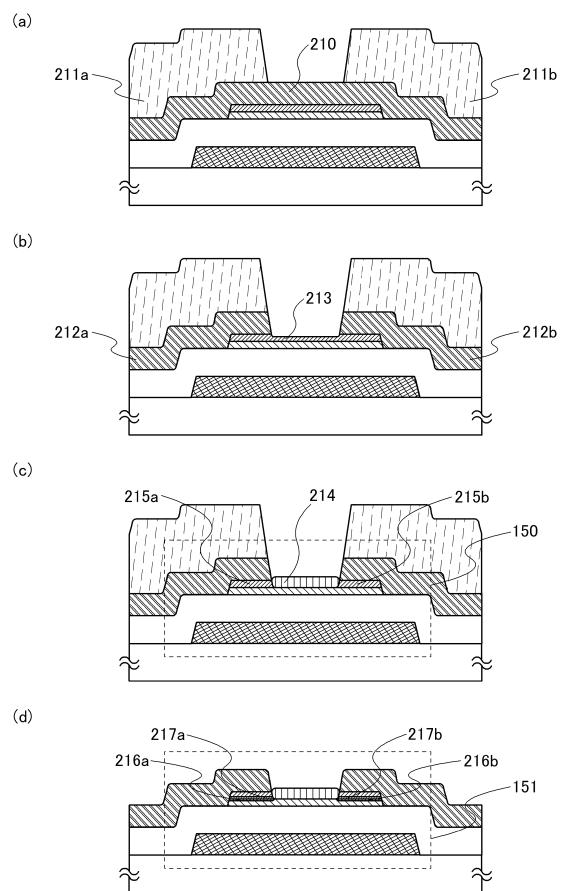
【図 1】



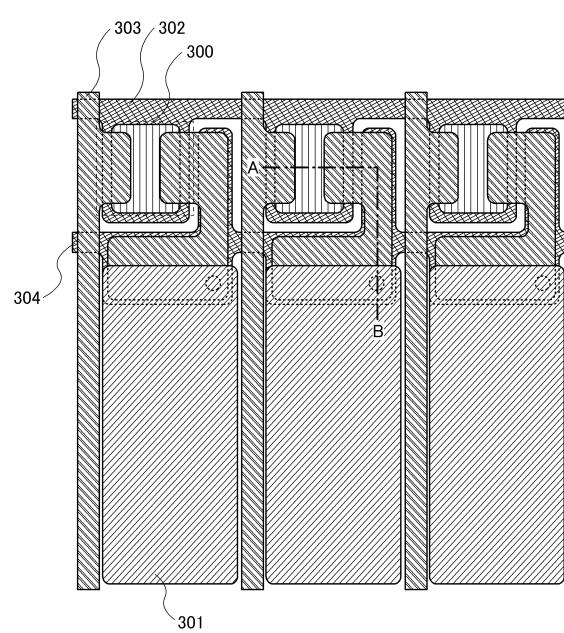
【図 2】



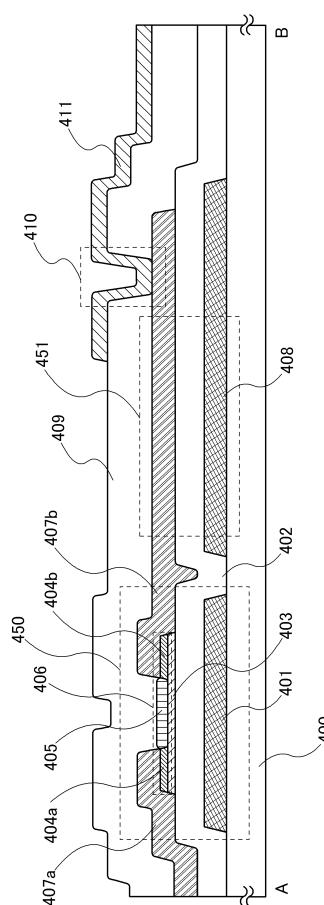
【図3】



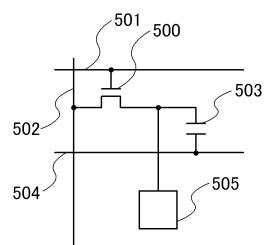
【図4】



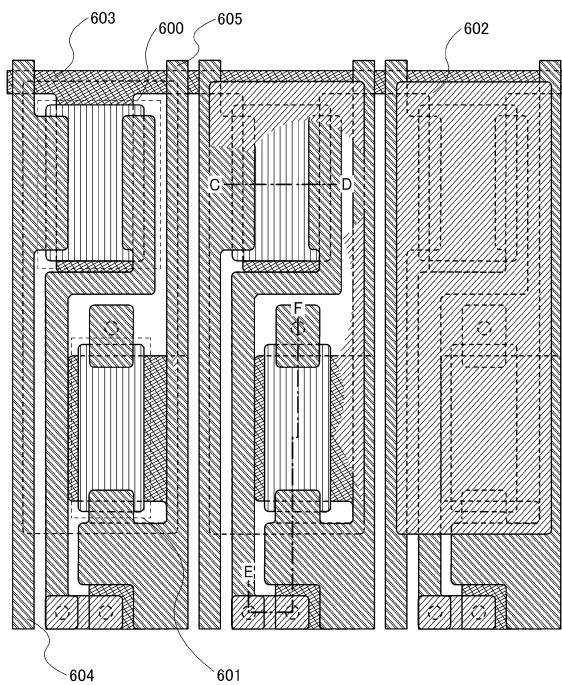
【図5】



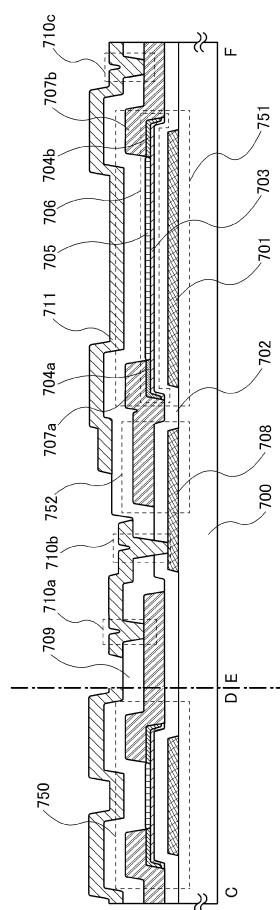
【図6】



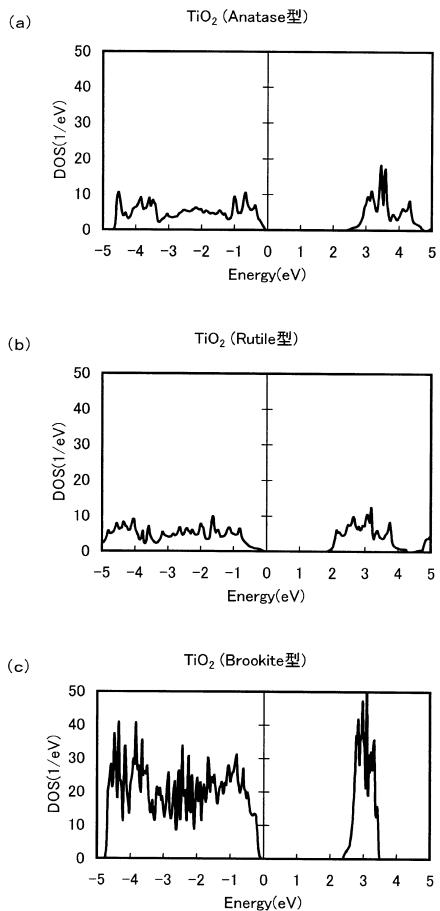
【図7】



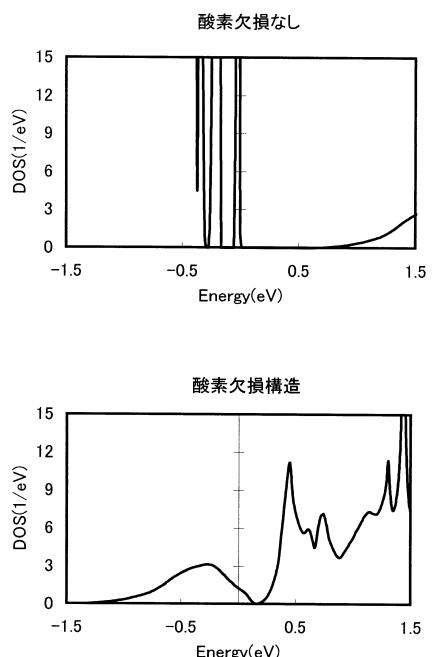
【図8】



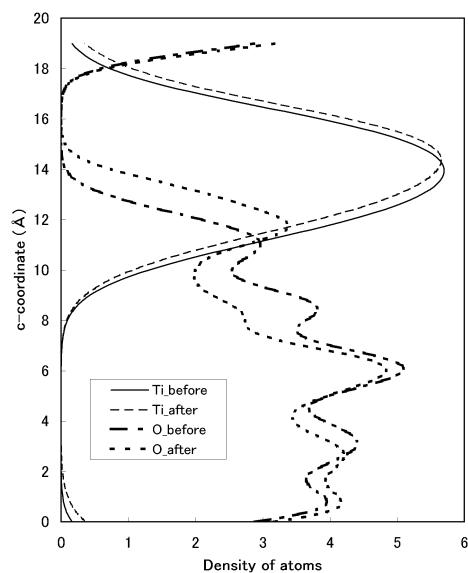
【図12】



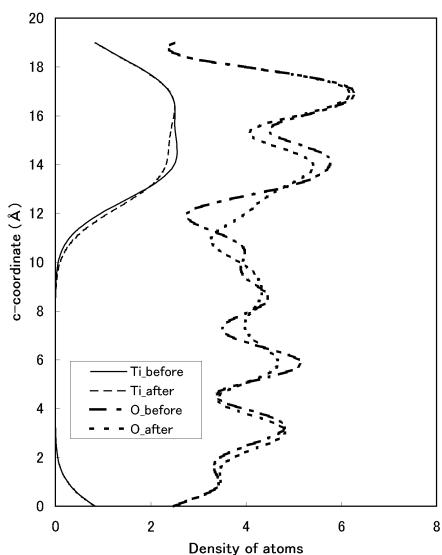
【図13】



【図15】

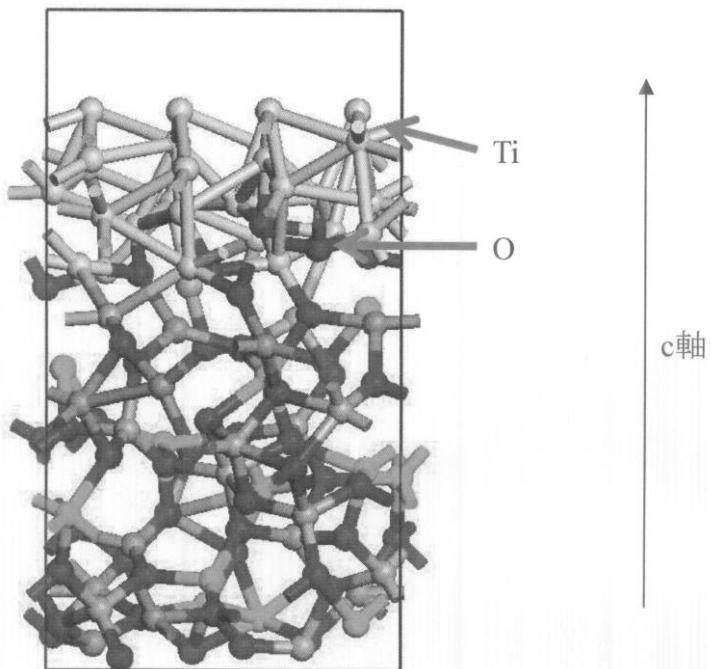


【図17】

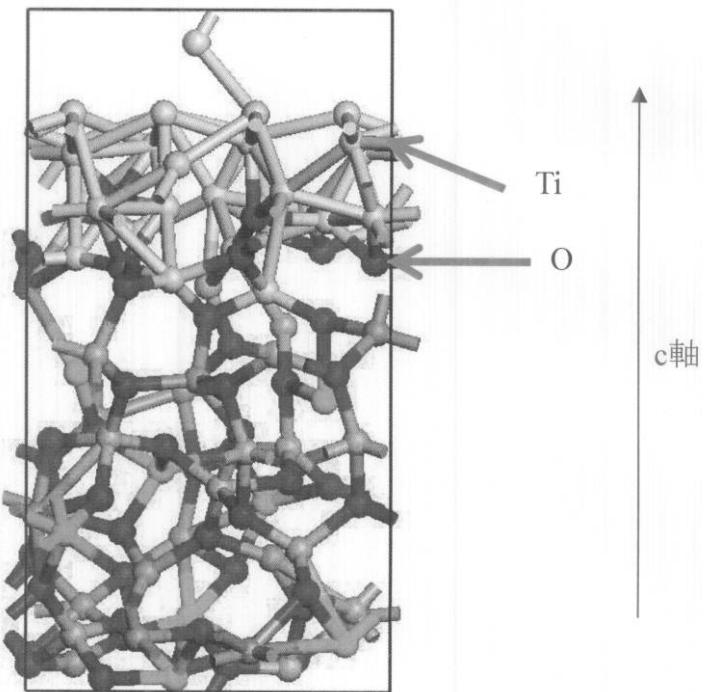


【図14】

(a)

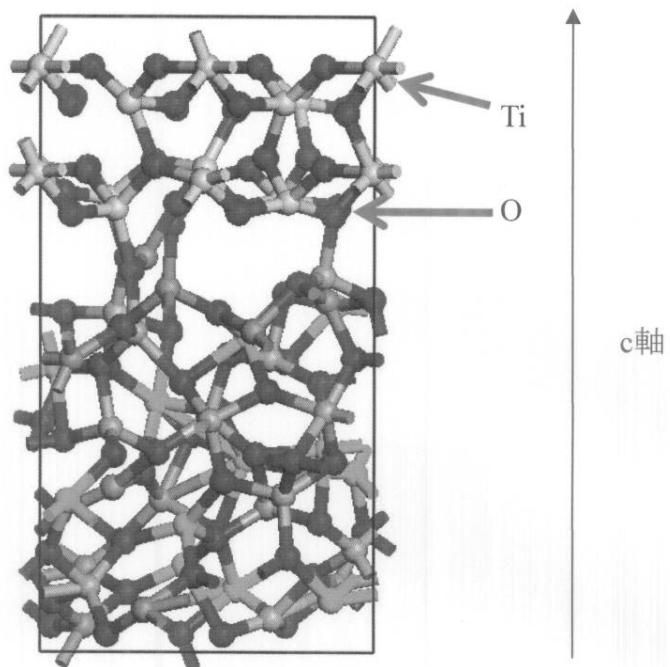


(b)

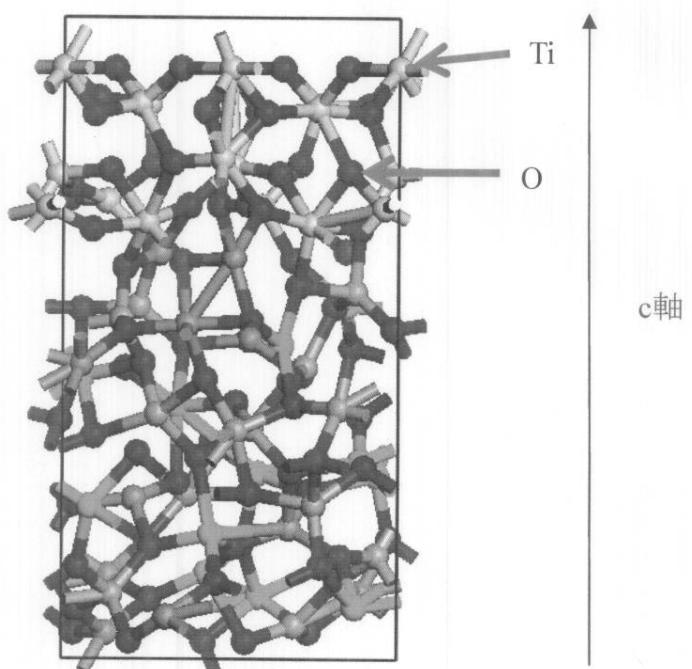


【図16】

(a)



(b)



フロントページの続き

(51)Int.Cl.

H 01 L 51/50 (2006.01)

F I

H 01 L	29/78	6 1 6 K
H 01 L	21/28	3 0 1 B
H 01 L	29/50	M
G 02 F	1/1368	
H 05 B	33/14	A

(56)参考文献 特開2008-042088 (JP, A)

特開2008-235871 (JP, A)

特開2008-219008 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 336
G 02 F	1 / 1368
H 01 L	21 / 28
H 01 L	29 / 417
H 01 L	29 / 786
H 01 L	51 / 50