【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】平成28年9月15日(2016.9.15)

【公表番号】特表2015-524975(P2015-524975A)
【公表日】平成27年8月27日(2015.8.27)
【年通号数】公開・登録公報2015-054
【出願番号】特願2015-525458(P2015-525458)
【国際特許分類】
Ｇ０６Ｆ　12/16　　(2006.01)
Ｇ０６Ｆ　 3/06　　(2006.01)
【ＦＩ】
Ｇ０６Ｆ　12/16　　３２０Ｇ
Ｇ０６Ｆ　 3/06　　３０５Ｃ
Ｇ０６Ｆ　 3/06　　３０１Ｚ

【手続補正書】
【提出日】平成28年7月25日(2016.7.25)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
Ｍ個の情報部分をメモリのＭ個のそれぞれの領域において格納することを含む第１の上位レベルの冗長モードで動作することを含み、前記Ｍ個のそれぞれの領域の各々は同じ第１のサイズであり；さらに、
Ｎ個の情報部分を前記メモリのＮ個のそれぞれの領域において格納することを含む第２の上位レベルの冗長モードで動作することを含み、前記Ｎ個のそれぞれの領域の各々は同じ第２のサイズであり；
前記Ｍ個の情報部分は、それぞれのＭ－Ｊ個のデータ情報部分、および前記それぞれのＭ－Ｊ個のデータ情報部分を保護するために計算されるそれぞれのＪ個の冗長情報部分を含み；
前記Ｎ個の情報部分は、それぞれのＮ－Ｋ個のデータ情報部分、および前記それぞれのＮ－Ｋ個のデータ情報部分を保護するために計算されるそれぞれのＫ個の冗長情報部分を含み；
前記Ｍ個のそれぞれの領域の各々および前記Ｎ個のそれぞれの領域は、前記メモリの非重複領域であり；
前記第１のサイズは前記第２のサイズと異なり；
前記Ｍ個のそれぞれの領域の各々は、前記メモリのＭ個の物理デバイスのそれぞれの１つにあり、前記Ｎ個のそれぞれの領域の各々は、前記メモリのＮ個の物理デバイスのそれぞれの１つにあり、
前記メモリは複数のフラッシュデバイスを含み；
前記Ｍ個のそれぞれの領域は前記フラッシュデバイスの第１の１つ以上のＭ個のそれぞれのブロックに対応し、前記第１のサイズはブロックに対応し；
前記Ｎ個のそれぞれの領域は前記フラッシュデバイスの第２の１つ以上のＮ個のそれぞれのページに対応し、前記第２のサイズはページに対応する、方法。
【請求項２】
前記Ｍ個の物理デバイスの少なくともいくつかは前記Ｎ個の物理デバイスの少なくとも

いくつかである、請求項１に記載の方法。
【請求項３】
前記Ｍ個のそれぞれの領域の任意の１つまたは前記Ｎ個のそれぞれの領域の任意の１つである特定の領域に全体的に含まれる１つ以上の位置にアクセスすることをさらに含み、前記アクセスすることは前記特定の領域のサイズを判断することを含む、請求項１に記載の方法。
【請求項４】
前記Ｍ個のそれぞれのブロックの１つの障害を検出すること、および応答して、少なくとも障害を起こしたブロックを前記第２の上位レベルの冗長モードで動作することをさらに含む、請求項１に記載の方法。
【請求項５】
ＪはＫと等しくない、請求項４に記載の方法。
【請求項６】
それぞれの第１および第２の上位レベルの冗長モードに従ってメモリを管理するための手段と；
前記メモリを管理するための手段に応答して、前記メモリに格納するための手段とを含み；
前記メモリを管理するための手段は、前記格納するための手段に対して、Ｍ個の情報部分をメモリのＭ個のそれぞれの領域に格納するように指示することが可能となっており、前記Ｍ個のそれぞれの領域の各々は同じ第１のサイズであり；
前記メモリを管理するための手段は、さらに、前記格納するための手段に対して、Ｎ個の情報部分を前記メモリのＮ個のそれぞれの領域に格納するように指示することが可能となっており、前記Ｎ個のそれぞれの領域の各々は同じ第２のサイズであり；
前記Ｍ個の情報部分は、それぞれのＭ－Ｊ個のデータ情報部分、および前記それぞれのＭ－Ｊ個のデータ情報部分を保護するために計算されるそれぞれのＪ個の冗長情報部分を含み；
前記Ｎ個の情報部分は、それぞれのＮ－Ｋ個のデータ情報部分、および前記それぞれのＮ－Ｋ個のデータ情報部分を保護するために計算されるそれぞれのＫ個の冗長情報部分を含み；
前記Ｍ個のそれぞれの領域の各々および前記Ｎ個のそれぞれの領域は、前記メモリの非重複領域であり；
前記第１のサイズは前記第２のサイズと異なり；
前記Ｍ個のそれぞれの領域の各々は、前記メモリのＭ個の物理デバイスのそれぞれの１つにあり、前記Ｎ個のそれぞれの領域の各々は、前記メモリのＮ個の物理デバイスのそれぞれの１つにあり、
前記メモリは複数のフラッシュデバイスを含み；
前記Ｍ個のそれぞれの領域は前記フラッシュデバイスの第１の１つ以上のＭ個のそれぞれのブロックに対応し、前記第１のサイズはブロックに対応し；
前記Ｎ個のそれぞれの領域は前記フラッシュデバイスの第２の１つ以上のＮ個のそれぞれのページに対応し、前記第２のサイズはページに対応する、システム。
【請求項７】
前記Ｍ個の物理デバイスの少なくともいくつかは前記Ｎ個の物理デバイスの少なくともいくつかである、請求項６に記載のシステム。
【請求項８】
前記Ｍ個のそれぞれの領域の任意の１つまたは前記Ｎ個のそれぞれの領域の任意の１つである特定の領域に全体的に含まれる１つ以上の位置にアクセスするための手段をさらに含み、前記アクセスするための手段は前記特定の領域のサイズを判断することが可能となっている、請求項６に記載のシステム。
【請求項９】
前記メモリを管理するための手段は、前記Ｍ個のそれぞれのブロックの１つの障害を検

出すること、およびその検出に応答して、少なくとも障害を起こしたブロックを前記第２の上位レベルの冗長モードで動作させることが、可能となっている、請求項６に記載のシステム。

【請求項１０】

ＪはＫと等しくない、請求項９に記載のシステム。

【請求項１１】

それぞれの第１および第２の上位レベルの冗長モードに従ってメモリを制御することが可能となっている上位レベルの冗長制御回路系と；

前記上位レベルの冗長制御回路系に応答するストレージ回路系とを含み；

前記上位レベルの冗長制御回路系は、前記ストレージ回路系に対して、Ｍ個の情報部分をメモリのＭ個のそれぞれの領域に格納するように指示することが可能となっており、前記Ｍ個のそれぞれの領域の各々は同じ第１のサイズであり；

前記上位レベルの冗長制御回路系は、さらに、前記ストレージ回路系に対して、Ｎ個の情報部分を前記メモリのＮ個のそれぞれの領域に格納するように指示することが可能となっており、前記Ｎ個のそれぞれの領域の各々は同じ第２のサイズであり；

前記Ｍ個の情報部分は、それぞれのＭ－Ｊ個のデータ情報部分、および前記それぞれのＭ－Ｊ個のデータ情報部分を保護するために計算されるそれぞれのＪ個の冗長情報部分を含み；

前記Ｎ個の情報部分は、それぞれのＮ－Ｋ個のデータ情報部分、および前記それぞれのＮ－Ｋ個のデータ情報部分を保護するために計算されるそれぞれのＫ個の冗長情報部分を含み；

前記Ｍ個のそれぞれの領域の各々および前記Ｎ個のそれぞれの領域は、前記メモリの非重複領域であり；

前記第１のサイズは前記第２のサイズと異なり；

前記Ｍ個のそれぞれの領域の各々は、前記メモリのＭ個の物理デバイスのそれぞれの１つにあり、前記Ｎ個のそれぞれの領域の各々は、前記メモリのＮ個の物理デバイスのそれぞれの１つにあり、

前記メモリは複数のフラッシュデバイスを含み；

前記Ｍ個のそれぞれの領域は前記フラッシュデバイスの第１の１つ以上のＭ個のそれぞれのブロックに対応し、前記第１のサイズはブロックに対応し；

前記Ｎ個のそれぞれの領域は前記フラッシュデバイスの第２の１つ以上のＮ個のそれぞれのページに対応し、前記第２のサイズはページに対応する、装置。

【請求項１２】

前記Ｍ個の物理デバイスの少なくともいくつかは前記Ｎ個の物理デバイスの少なくともいくつかである、請求項１１に記載の装置。

【請求項１３】

前記Ｍ個のそれぞれの領域の任意の１つまたは前記Ｎ個のそれぞれの領域の任意の１つである特定の領域に全体的に含まれる１つ以上の位置にアクセスすることが可能となっているアクセス回路系をさらに含み、前記アクセス回路系は、さらに、前記特定の領域のサイズを判断することが可能となっている、請求項１１に記載の装置。

【請求項１４】

前記上位レベルの冗長制御回路系は、さらに、前記Ｍ個のそれぞれのブロックの１つの障害を検出すること、およびその検出に応答して、少なくとも障害を起こしたブロックを前記第２の上位レベルの冗長モードで動作させることが、可能となっている、請求項１１に記載の装置。

【請求項１５】

ＪはＫと等しくない、請求項１４に記載の装置。

【請求項１６】

処理要素によって実行されると前記処理要素に動作を実行および／または制御させる命令の組が中に格納される有形的コンピュータ読取可能媒体であって、前記動作は、

Ｍ個の情報部分をメモリのＭ個のそれぞれの領域において格納することを含む第１の上位レベルの冗長モードで動作することを含み、前記Ｍ個のそれぞれの領域の各々は同じ第１のサイズであり；さらに、
Ｎ個の情報部分を前記メモリのＮ個のそれぞれの領域において格納することを含む第２の上位レベルの冗長モードで動作することを含み、前記Ｎ個のそれぞれの領域の各々は同じ第２のサイズであり；
前記Ｍ個の情報部分は、それぞれのＭ－Ｊ個のデータ情報部分、および前記それぞれのＭ－Ｊ個のデータ情報部分を保護するために計算されるそれぞれのＪ個の冗長情報部分を含み；
前記Ｎ個の情報部分は、それぞれのＮ－Ｋ個のデータ情報部分、および前記それぞれのＮ－Ｋ個のデータ情報部分を保護するために計算されるそれぞれのＫ個の冗長情報部分を含み；
前記Ｍ個のそれぞれの領域の各々および前記Ｎ個のそれぞれの領域は、前記メモリの非重複領域であり；
前記第１のサイズは前記第２のサイズと異なり；
前記Ｍ個のそれぞれの領域の各々は、前記メモリのＭ個の物理デバイスのそれぞれの１つにあり、前記Ｎ個のそれぞれの領域の各々は、前記メモリのＮ個の物理デバイスのそれぞれの１つにあり、
前記メモリは複数のフラッシュデバイスを含み、
前記Ｍ個のそれぞれの領域は前記フラッシュデバイスの第１の１つ以上のＭ個のそれぞれのブロックに対応し、前記第１のサイズはブロックに対応し；
前記Ｎ個のそれぞれの領域は前記フラッシュデバイスの第２の１つ以上のＮ個のそれぞれのページに対応し、前記第２のサイズはページに対応する、非一時的なコンピュータ読取可能媒体。
【請求項１７】
前記Ｍ個の物理デバイスの少なくともいくつかは前記Ｎ個の物理デバイスの少なくともいくつかである、請求項１６に記載の非一時的なコンピュータ読取可能媒体。
【請求項１８】
前記動作は、前記Ｍ個のそれぞれの領域の任意の１つまたは前記Ｎ個のそれぞれの領域の任意の１つである特定の領域に全体的に含まれる１つ以上の位置にアクセスすることをさらに含み、前記アクセスすることは前記特定の領域のサイズを判断することを含む、請求項１６に記載の非一時的なコンピュータ読取可能媒体。
【請求項１９】
前記動作は、前記Ｍ個のそれぞれのブロックの１つの障害を検出すること、および応答して、少なくとも障害を起こしたブロックを前記第２の上位レベルの冗長モードで動作することをさらに含む、請求項１６に記載の非一時的なコンピュータ読取可能媒体。
【請求項２０】
ＪはＫと等しくない、請求項１９に記載の非一時的なコンピュータ読取可能媒体。