



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

СССР SU 1615731

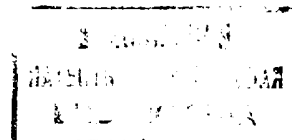
A2

(51)5 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

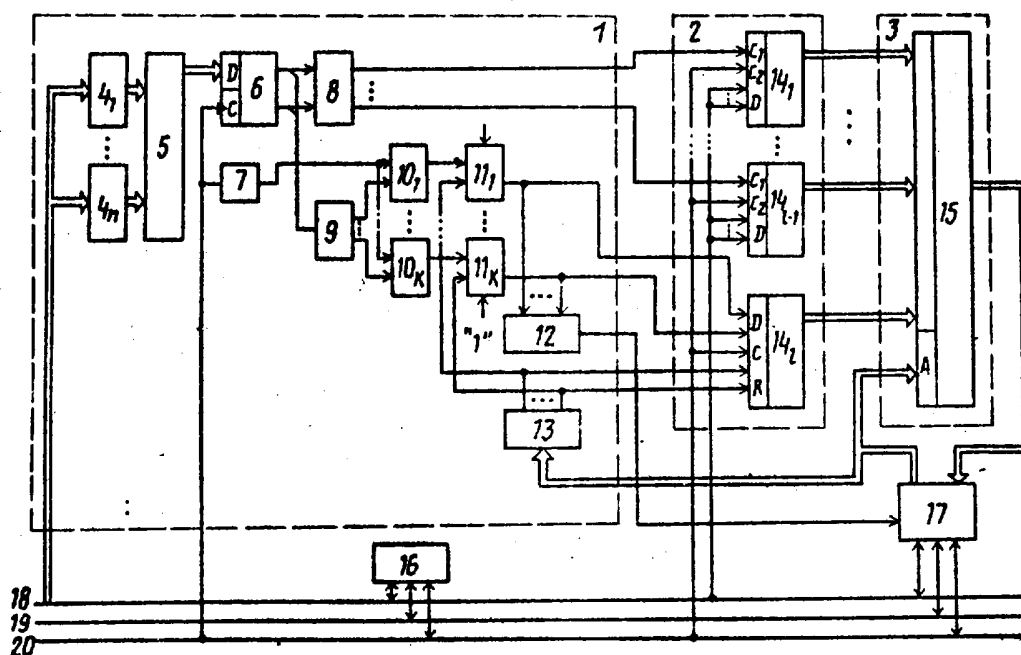
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (61) 1325497
(21) 4677217/24-24
(22) 27.02.89
(46) 23.12.90. Бюл. № 47
(72) Е. Я. Ваврук
(53) 681.235(088.8)
(56) Авторское свидетельство СССР
№ 1325497, кл. G 06 F 15/16, 1986.
(54) УСТРОЙСТВО ОБМЕЧА ДАННЫМИ

(57) Изобретение относится к вычислительной технике и может быть использовано для высокопроизводительных процессов или систем с магистральной организацией. Цель изобретения - расширение функциональных возможностей устройства за счет формирования признаков подготовки данных для нескольких

подпрограмм вспомогательного процессора. Устройство содержит блок 1 дешифрации номера регистра, блок 2 регистров, блок 3 вывода информации. Блок 1 содержит n постоянных запоминающих узлов $4_1 \dots 4_n$, первый шифратор 5, регистр 6, элемент 7 задержки, дешифратор 8, второй шифратор 9, элементы $10_1 \dots 10_k$ И, регистры $11_1 \dots 11_k$ сдвига, элемент ИЛИ 12, третий шифратор 13. Блок 2 содержит $(1-k)$ регистров $14_1 \dots 14_{k-1}$ без установки в нулевое состояние и регистр 14 с установкой в нулевое состояние, блок 3, коммутатор 15. Содержит также центральный 16 и вспомогательный 17 процессоры, шины данных 18, адреса 19 и управления 20. 2 з.п. ф-лы, 1 ил.



СССР SU 1615731 A2

Изобретение относится к вычислительной технике, может быть использовано для высокопроизводительных процессоров или систем с магистральной организацией и является усовершенствованием изобретения по авт. св. № 1325497.

Цель изобретения - расширение функциональных возможностей устройства за счет формирования признаков подготовки данных для нескольких подпрограмм вспомогательного процессора.

На чертеже приведена функциональная схема устройства.

Устройство содержит блок 1 дешифрации номера регистра, блок 2 регистров, блок 3 вывода информации, и постоянных запоминающих узлов 4 блока 1, шифратор 5 блока 1, регистр 6 блока 1, элемент 7 задержки блока 1, дешифратор 8 блока 1, шифратор 9 блока 1, К элементов И 10 блока 1, К регистров 11 сдвига блока 1, элемент ИЛИ 12, шифратор 13 блока 1, 1 регистров 14 блока 2, коммутатор 15 блока 3, центральный 16 и вспомогательный 17 процессоры, шину 18 данных, шину 19 адреса, шину 20 управления.

Устройство работает следующим образом.

По сигналу начальной установки регистры 11 устанавливаются в нулевое состояние. Центральный процессор 16 управляет работой системы: осуществляет сегментацию памяти, вычисляет адреса операндов, сами операнды и т.д. Вспомогательный процессор 17 является специализированным и выполняет сложные математические операции. При работе системы на шине 19 адреса находится адрес, на шине 18 - данные, по шине 20 формируют сигналы управления. Каждый адрес распознается на узлах 4 и 5, и если операнд "принадлежит" процессору 17, на одном из выходов шифратора 5 появляется сигнал единичного уровня, который по сигналу на входе стробирования адреса устройства (с шины 20) записывается в регистр 6. С выхода регистра 6 сигналы дешифрируются в дешифраторе 8 и поступают на входы выборки соответствующих регистров 14₁...14_{г-1}. Одновременно сигналы с выхода регистра 6 поступают на входы шифратора 9, на выходах которого формируются сигналы, определяющие принадлежность операнда

к определенной подпрограмме процессора 17. Сигнал на входе стробирования адреса, задержанный на элементе 7 задержки, на время задержки на элементах 6 и 9 поступает на входы элементов И 10, стробируя информацию, поступающую из шифратора 9.

Сигналы с единичного уровня с шифратора 9 через открытые элементы И 10 поступают на синхровходы соответствующих регистров 11, осуществляя тем самым сдвиг единичной информации в сторону старших разрядов (в общем случае сдвиг может быть в любую сторону; все зависит от сигналов на управляющих входах регистров сдвига). После этого по шине данных поступают данные, которые по сигналу стробирования данных записываются в регистры 14.

После подготовки всех операндов некоторой подпрограммы на старшем разряде выхода соответствующего регистра 11 появляется сигнал единичного уровня, который через элемент ИЛИ 12 поступает на управляющий вход процессора 17. По этому сигналу процессор 17 считывает информацию с регистра 14_г, выставляя на адресном входе коммутатора 15 соответствующий адрес. Информация с регистра 14_г указывает процессору 17 номер подпрограммы, которую необходимо обработать. Определив номер подпрограммы, процессор 17 считывает поочередно необходимые операнды с соответствующих регистров 14₁...14_{г-1}, посылая на адресные входы коммутатора 15 соответствующие коды. После считывания операндов (или после отработки данной подпрограммы в зависимости от управляющей программы процессора 17) процессор 17 выставляет адрес, который шифруется на шифраторе 13, и сигнал единичного уровня устанавливает в нулевое состояние соответствующий регистр 11 и триггер регистра 14_г. В общем случае может формироваться одновременно несколько сигналов единичного уровня на выходах регистров 11. Тогда процессор 17 осуществляет последовательно обработку подпрограмм. После окончания выполнения подпрограммы вспомогательный процессор 17 выдает сообщение центральному процессору 16 об окончании работы по обработке определенной подпрограммы.

Ф о р м у л а и з о б р е т е н и я
1. Устройство обмена данными по авт. св. № 1325497, отличаю-

ще е с я тем, что, с целью расширения функциональных возможностей за счет формирования признаков подготовки данных, второй и третий выходы блока дешифрации номера регистра соединены соответственно с вторым информационным и вторым управляющим входами блока регистров, второй адресный вход устройства соединен с вторым входом блока дешифрации номера регистра, четвертый выход блока дешифрации номера регистра является управляющим выходом устройства.

2. Устройство по п. 1, отличающееся тем, что блок дешифрации номера регистра дополнительно содержит второй и третий шифраторы, элемент задержки, К элементов И, К - регистров сдвига и элемент ИЛИ, выход которого соединен с четвертым выходом блока дешифрации номера регистра, а входы - соответственно с выходами К регистров сдвига, синхровходы которых соединены соответственно с выходами К элементов И, первые входы которых через элемент задержки соединены с входом стробирования блока, вторые входы К элементов И соединены соот-

ветственно с выходами второго шифратора, вход которого соединен с выходом регистра, выходы третьего шифратора соединены соответственно с входами установки в нулевое состояние К регистров сдвига, входы сдвига которых подключены к уровню логической единицы, выходы К регистров сдвига и выходы третьего шифратора подключены соответственно к второму и третьему выходам блока, вход третьего шифратора является вторым входом блока.

3. Устройство по п. 1, отличающееся тем, что блок регистров содержит 1 регистров, информационные входы (I-1) регистров соединены с первым информационным входом блока регистров, входы выборки (1-1) регистров соединены с первым управляющим входом блока, синхровходы 1 регистров соединены и подключены к входу стробирования данных блока, информационный вход 1-го регистра является информационным входом блока, а входы установки в нулевое состояние - вторым управляющим входом блока, выходы 1 регистров являются выходами блока.

Составитель Л. Логачева

Редактор А. Козориз

Техред Л. Сердюкова Корректор М. Пож

Заказ 3989

Тираж 566

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101