(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 33 259 T2** 2007.05.10

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 967 726 B1**
(21) Deutsches Aktenzeichen: **699 33 259.1**
(96) Europäisches Aktenzeichen: **99 304 467.6**
(96) Europäischer Anmeldetag: **08.06.1999**
(97) Erstveröffentlichung durch das EPA: **29.12.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **20.09.2006**
(47) Veröffentlichungstag im Patentblatt: **10.05.2007**

(51) Int Cl.[8]: ***H03M 1/08*** (2006.01)
H03M 1/68 (2006.01)

(30) Unionspriorität:
99027 **17.06.1998** **US**

(84) Benannte Vertragsstaaten:
DE, GB

(73) Patentinhaber:
Lucent Technologies Inc., Murray Hill, N.J., US

(74) Vertreter:
Klunker, Schmitt-Nilson, Hirsch, 80797 München

(72) Erfinder:
Wen, Jack Chi-Chieh, Parsippany, New Jersey 07054, US

(54) Bezeichnung: **Verfahren und Gerät zur Erweiterung des störfreien dynamischen Bereichs eines Digital-Analog-Wandlers**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Hintergrund der Erfindung

1. Gebiet der Erfindung

[0001] Diese Erfindung bezieht sich auf Digital-Analog-Wandler und insbesondere auf einen Digital-Analog-Wandler mit einem erweiterten störfreien dynamischen Bereich ("Spurious Free Dynamic Range – SFDR").

2. Beschreibung des in Beziehung stehenden Stands der Technik

[0002] Viele physikalische Vorrichtungen generieren Ausgangssignale, welche analog sind oder kontinuierlich variieren. Heutzutage wird eine Signalverarbeitung oftmals unter Verwendung von digitalen Verfahren durchgeführt, wobei das verarbeitete Signal oftmals in analoge Form zurückgewandelt wird. Es existieren viele Wandlertypen, welche als Schnittstellen zwischen analogen Vorrichtungen und digitalen Systemen fungieren. Diese Wandler werden in einer Vielfalt von Applikationen verwendet, darunter Test, Messverfahren, Prozesssteuerung und Kommunikation. Digital-Analog-Wandler ("Digital-to-analog converters, DAC) erzeugen eine analoge Ausgabe aus einer gegebenen digitalen Eingabe. Der störfreie dynamische Bereich (SFDR) für den DAC wird oftmals als die Differenz in Dezibel (dB) zwischen der Amplitude der störenden Verzerrung, wie zum Beispiel Intermodulationsprodukte, und der Amplitude des höchsten Ausgangssignals gemessen. Die SFDR-Performance eines DAC variiert als eine Funktion der Amplitude des zu wandelnden Digitalsignals. Für gewöhnlich ist, je größer die Amplitude des digitalen Signals ist, um so kleiner der SFDR, da, sowie die Amplitude des digitalen Signals ansteigt, steigt die Amplitude des analogen Ausgangssignals, jedoch steigt die Amplitude der resultierenden störenden Verzerrung im Allgemeinen stärker als die Amplitude des Ausgangssignals. Abhängig von der Applikation kann Erweiterung des SFDR des DAC dem DAC ermöglichen, einen größeren Bereich von digitalen Signalen in analoge Signale zu wandeln, während das Niveau von störender Verzerrung erhalten oder reduziert wird, oder einen gegebenen Bereich von digitalen Signalen in analoge Signale zu wandeln, während das Niveau von störender Verzerrung reduziert wird. Zum Beispiel könnte, zu Erläuterungszwecken, ein 16-Bit-DAC einen störfreien dynamischen Bereich von 90 dB, gemessen bei einem hohen Ausgangsniveau von 4 dBm und störenden Verzerrungsniveau bei –86 dBm haben. Durch Erhöhen der relativen Differenz zwischen den Amplituden der störenden Verzerrung des schlechteren Falls und des hohen Ausgangssignals kann der SFDR des DAC erweitert werden.

[0003] Die Japanische Patentanmeldung JP-A-3-89627 offenbart ein Digital-Analog-Wandler(DAC)-System, beinhaltend duale DAC-Einheiten, wobei dieses auf eine Applikation gerichtet ist, in der ein DC-Vorspannungs-Signal zu dem Eingangssignal addiert wird, um bestimmte bekannte Probleme von Eingangssignalen an dem Punkt, an dem Null Volt gekreuzt wird, zu behandeln. Das System arbeitet derart, Verzerrung als Folge der addierten DC-Vorspannung zu reduzieren, die den dynamischen Bereich des DAC überschreitet, indem die DC-Vorspannung veranlasst wird, in periodischer Weise von dem Eingangssignal subtrahiert zu werden.

Zusammenfassung der Erfindung

[0004] Gemäß einem ersten Aspekt der vorliegenden Erfindung wird ein Verfahren zur Umsetzung eines digitalen Eingangssignals in eine analoge Form vorgesehen, wie in Anspruch 1 definiert.

[0005] Gemäß einem weiteren Aspekt der vorliegenden Erfindung wird ein Digital-Analog-Wandlersystem zur Umsetzung eines digitalen Eingangssignals in ein umgesetztes analoges Signal vorgesehen, wie in Anspruch 7 definiert.

[0006] Die vorliegende Erfindung involviert ein DAC-System, welches einen erweiterten SFDR bereitstellt, verglichen mit dem SFDR eines einzelnen DAC(s), welcher das DAC-System bildet. Das DAC-System verwendet eine Abschneide-Anordnung, welche das digitale Eingangssignal empfängt und ein Amplituden-limitiertes Signal und resultierende Signalverzerrung an einen ersten DAC für digitale Eingangssignale bereitstellt, deren Amplituden in einem nicht ausreichenden SFDR für den ersten DAC resultieren würden. Durch Amplituden-Begrenzung des digitalen Eingangssignals ist die Amplitude des digitalen Eingangssignals in effektiver Weise reduziert oder "abgeschnitten", wobei dadurch die SFDR-Performance (Leistungsfähigkeit) für den ersten DAC verbessert wird. Die Signalverzerrung, die von der Amplitudeneinstellung resultiert, wird an einen zweiten DAC geleitet. Der erste DAC wandelt das Amplituden-begrenzte digitale Signal in ein analoges Signal mit einem erweiterten SFDR als Folge der niedrigeren Amplitude des abgestimmten Digitalsignals. Der zweite DAC empfängt die Signalverzerrung, welche als der abgeschnittene Amplitudenteil des digitalen Eingangssignals betrachtet werden kann. Der zweite DAC wandelt die Signalverzerrung, welche typischerweise eine niedrigere Amplitude hat als das abgestimmte digitale Signal, in ein analoges Signal mit wenigstens einem akzeptablen SFDR. Das DAC-System kombiniert die resultierenden analogen Signale von dem ersten und zweiten DAC, um das gewünschte gewandelte analoge Signal mit einer erhöhten relativen Differenz zwischen den Amplituden des Ausgangssignals und der störenden Verzer-

rung zu erzeugen, wobei dadurch ein erweiterter SFDR für das DAC-System verglichen mit dem SFDR bereitgestellt wird, falls das digitale Eingangssignal durch den ersten DAC ohne Amplitudenabstimmung umgesetzt worden wäre.

[0007] Das DAC-System empfängt ein digitales Eingangssignal von N-Bits. Die Abschneidungsanordnung involviert das Leiten eines Amplituden-begrenzten Bereichs des digitalen Eingangssignals mit den n2 höchstwertigen Bits ("Most Significant Bits", MSBs) des digitalen Eingangssignals an den ersten DAC zur Umsetzung in eine analoge Form. Das DAC-System leitet den abgeschnittenen Amplitudenteil des digitalen Eingangssignals mit n1-Bits an einen zweiten DAC zur Umsetzung in analoge Form. Die Anzahl n1 von niedrigstwertigen Bits ("Least Significant Bits", LSBs), welche zu dem zweiten DAC aus der gesamten Anzahl von N-Bits des digitalen Eingangssignals geleitet werden, reflektiert die Größe des Amplituden-"Abschneidens" des digitalen Eingangssignals. Je mehr LSBs vorhanden sind, welche zu dem zweiten DAC geleitet werden, desto geringer ist die Amplitude des Amplituden-begrenzten Bereichs des digitalen Eingangssignals, welche an den ersten DAC geleitet wird. Indem ein digitales Signal mit Signalverzerrung mit niedrigerer Amplitude an den ersten DAC bereitgestellt wird, wird der SFDR des ersten DAC erweitert. Der SFDR des zweiten DAC ist im Allgemeinen kein Problem, da die Amplitude des abgeschnittenen Teils oder der Signalverzerrungsteil des digitalen Eingangssignals derart gestaltet werden kann, um ein akzeptables Störverzerrungsniveau von dem zweiten DAC zu erzeugen. Das DAC-System kombiniert dann die analogen Ausgaben von dem ersten und zweiten DAC, um das gewünschte umgesetzte Signal mit einem reduzierten Störverzerrungsniveau und folglich einen erweiterten SFDR zu erzeugen.

Kurze Beschreibung der Zeichnungen

[0008] Andere Aspekte und Vorteile der vorliegenden Erfindung können nach Lesen der folgenden detaillierten Beschreibung und mit Bezug auf die Zeichnungen offensichtlich werden, in welchen:

[0009] Fig. 1 zeigt ein allgemeines Blockdiagramm einer Ausführungsform des DAC-Systems mit erweitertem dynamischen Bereich gemäß den Prinzipien der vorliegenden Erfindung;

[0010] Fig. 2 zeigt ein Beispiel eines N-Bit-digitalen Eingangssignals, das durch eine beispielhafte Ausführungsform des DAC-Systems von Fig. 1 zu wandeln ist;

[0011] **Fig.** 3 sind Grafen für Darstellungszwecke, die im Allgemeinen den spektralen Gehalt von digitalen Signalen innerhalb des DAC-Systems darstellen;

[0012] Fig. 4 zeigt eine detaillierte Ausführungsform des DAC-Systems;

[0013] Fig. 5a bzw. Fig. 5b zeigen zwei Ausführungsformen der Abschneideanordnung für das DAC-System; und

[0014] Fig. 6 zeigt eine andere Ausführungsform des DAC-Systems.

Detaillierte Beschreibung

[0015] Aus pädagogischen Gründen wird die Erfindung im Folgenden mit Bezug auf beispielhafte Ausführungsformen des DAC-Systems mit einem erweiterten störfreien dynamischen Bereich (SFDR) beschrieben. Insbesondere mit Bezug auf Fig. 1 empfängt ein DAC-System **10** ein digitales Signal S mit N-Bits, welches in analoge Form umzusetzen ist. In diesem Beispiel hat das Signal S eine Amplitude, welche einen besonderen SFDR für einen ersten DAC **12** kreieren würde, in der Weise, dass das Wandeln des Signals S durch den ersten DAC **12** ein entsprechendes Niveau von störender Verzerrung relativ zu der Amplitude des gewandelten Signals S generieren würde. Die Amplitude kann auf vielfältige Art und Weise erfasst werden, wie zum Beispiel Spannung, Strom, Energie, Leistung oder Intensität, jedoch kann zu Erläuterungszwecken eine Amplitude in der Digital-Domain sich auf den numerischen Wert beziehen, welcher das digitale Signal repräsentiert. Im Frequenzbereich kann sich die Amplitude auf ein Leistungsniveau beziehen, und in dem Zeitbereich kann sich die Amplitude auf ein Spannungsniveau beziehen. Die Hinlänglichkeit des SFDR ist eine Auslegungssache, die abhängig ist von der besonderen Applikation. In einem typischen Digital-Analog-Wandler ist der SFDR im Allgemeinen für eine gegebene Amplitude des analogen Ausgangssignals als die Differenz zwischen der Amplitude des analogen Ausgangssignals und der Amplitude der störenden Verzerrung definiert, die damit produziert wird. Typischerweise erniedrigt sich die Differenz zwischen der störenden Verzerrung und dem Ausgangssignal, so wie die Amplitude des Ausgangssignals sich erhöht. So kann der SFDR in Bezug auf das höchste Ausgangssignalniveau und das entsprechende Störverzerrungsniveau definiert werden. Im Allgemeinen erhält man eine Erweiterung des störfreien dynamischen Bereichs, falls das Leistungsniveau von störender Verzerrung für ein gegebenes analoges Ausgangssignalniveau reduziert wird, oder das Ausgangssignalleistungsniveau für ein gegebenes Leistungsniveau von erzeugter störender Verzerrung erhöht wird, oder die relative Differenz zwischen den Amplituden des Ausgangssignals und der entsprechenden störenden Verzerrung sich erhöht. Falls zum Beispiel das Leistungsniveau eines analogen Ausgangssignals von dem ersten DAC **12** mit einem bestimmten Verzerrungsniveau generiert werden

würde, stellt das DAC-System **10** einen erweiterten SFDR bereit, indem das gleiche Ausgangssignalniveau mit einem reduzierten Verzerrungsniveau generiert wird.

[0016] In Fig. 1 leitet das DAC-System **10** einen ersten oder Amplituden-begrenzten Teil, umfassend n2-Bits des digitalen Eingangssignals S von N-Bits auf einen ersten Pfad **16** an den ersten DAC **12**, welcher den ersten Teil in analoge Form umwandelt. Das zusammengesetzte Signal S und Signalverzerrung D, die von dem Abschneiden des digitalen Eingangssignals S resultiert, umfasst nur die höchstwertigen Bits (MSB) des digitalen Eingangssignals S. Die Signalverzerrung D ist bezogen auf das N-Bit-digitale Eingangssignal, wobei das System die Signalverzerrung D einführt, indem gewissermaßen das digitale Eingangssignal S abgeschnitten wird. Das abgestimmte oder zusammengesetzte digitale Signal auf dem ersten Pfad **16** ist als das Signal S und die Signalverzerrung D dargestellt, da nur die höchstwertigen n2-Bits des digitalen Eingangssignals S auf den ersten Pfad **16** geleitet werden. Das DAC-System **10** leitet einen zweiten Teil D* mit n1-Bits des digitalen Eingangssignals S auf einen zweiten Pfad **18** an einen zweiten DAC **14**, welcher den zweiten Teil in analoge Form wandelt. Der zweite oder abgeschnittene Amplitudenteil des Digitalsignals S umfasst die niedrigstwertigen Bits (LSB) des digitalen Eingangssignals S von N-Bits, wobei N = n1 + n2. Indem nur die n2-MSBs auf den ersten Pfad **16** geleitet werden, schneidet der DAC **10** im Endeffekt das digitale Eingangssignal S ab und leitet den abgeschnittenen Teil oder die Verzerrung D* an den zweiten DAC **14**. Die Verzerrung D* reflektiert die LSBs, die von dem digitalen Eingangssignal abgeschnitten sind, in der digitalen Domäne und sind um 180 Grad phasenverschoben mit der Signalverzerrung D auf dem ersten Pfad **16**.

[0017] Die Anzahl LSBs des digitalen Eingangssignals S, welche zu dem zweiten DAC **14** geleitet werden, reflektiert den Betrag des Amplitudenabschneidens des digitalen Eingangssignals S. Je mehr LSBs vorhanden sind, welche an den zweiten DAC **14** geleitet werden, je größer ist das Abschneiden des digitalen Eingangssignals S und um so geringer die Amplitude des zusammengesetzten Signals S und D, welche an den ersten DAC **12** geleitet wird. Indem ein zusammengesetztes digitales Signal S mit einer geringeren Amplitude mit Signalverzerrung D an den ersten DAC **12** bereitgestellt wird, wird ein geringeres Störverzerrungsniveau in Bezug auf das Ausgangssignalniveau generiert, wobei dadurch der SFDR des ersten DAC **12** verbessert wird. In dieser besonderen Ausführungsform werden die nicht benutzten Bits des ersten DAC **12** (entsprechend den LSBs des Eingangssignals S) auf Null ("0") gesetzt, und die nicht benutzten Bits des zweiten DAC **14** (entsprechend den MSBs des Eingangssignals S) werden auf Null ("0") gesetzt. Es sind andere Ausführungsformen möglich, bei denen die Anzahl von Bits, welche auf Null gesetzt werden, sich verändert, abhängig von dem Eingangssignal S. In anderen Ausführungsformen könnte der erste DAC **12** n1-Bits haben, die auf Null gesetzt sind, und der zweite DAC **14** würde n1-Bits empfangen und keine Bits besitzen, die auf Null gesetzt sind.

[0018] Der zweite DAC **14** erzeugt im Allgemeinen ein geringes Niveau von störender Verzerrung in Bezug auf das Ausgangssignalniveau des DAC **14**, da der DAC **14** im Allgemeinen ausgelegt ist, den abgeschnittenen Teil D* mit einer maximalen Amplitude zu empfangen, die ein niedriges Niveau von störender Verzerrung und einen akzeptablen SFDR für den zweiten DAC **14** generiert. Das DAC-System **10** kombiniert die analoge Ausgabe S' und D' von dem ersten DAC **12**, und die analoge Ausgabe D*' von dem zweiten DAC **14**, wobei dadurch das gewünschte gewandelte analoge Signal S' mit einer geringeren Amplitude von störender Verzerrung generiert wird, verglichen mit der Amplitude von störender Verzerrung, wenn das digitale Signal S durch den ersten DAC **12** gewandelt worden wäre. So produziert das DAC-System **10** das gewünschte gewandelte analoge Signal S' mit einem verbesserten SFDR.

[0019] In dieser besonderen Ausführungsform kombiniert ein 2:1 Summierer **20** die analogen Ausgaben S' und D' auf dem ersten Pfad **14** von dem ersten DAC **12** mit der analogen Ausgabe D*' auf dem zweiten Pfad **18** von dem zweiten DAC **14**. Es ist die Verwendung von anderen Typen von Kombiniereinrichtungen wie der Summierer **20** möglich. Zusätzlich stellt in dieser besonderen Ausführungsform ein Abtasttakt **22** ein Abtastsignal an einen 1:2 Splitter **24** bereit. Der 1:2 Splitter **24** stellt das Abtastsignal an den ersten DAC **12** und den zweiten DAC **12** bereit, um synchrones Abtasten vorzusehen. Es sind andere Abtastsignalanordnungen möglich für den ersten und zweiten DAC **12** und **14**.

[0020] Indem die Verzerrungsenergie D* nach vorwärts gespeist wird, sie in analoge Form gewandelt und mit dem analogen Signal S' und D' auf dem ersten Pfad **16** kombiniert wird, rekonstruiert das DAC-System **10** gewissermaßen das gewünschte gewandelte analoge Signal S' unter Benutzung der Amplitudenenergie, welche von dem Eingangssignal S "abgeschnitten" wurde vor der Digital-Analog(D/A)-Wandlung. Da D/A-Wandlung an Signalen mit niedrigerer Amplitude auf den separaten Pfaden durchgeführt wird, bevor die Signale zurück-kombiniert werden, generiert das DAC-System **10** das gewünschte umgesetzte analoge Signal S' mit einem verbesserten SFDR. Der SFDR ist verbessert, da, so wie die Amplitude des digitalen Eingangssignals von dem Abschneiden sich erniedrigt, die Amplitude des analogen Ausgangssignals von dem ersten DAC **12**

sich in einem entsprechenden Betrag erniedrigt, jedoch die Amplitude der störenden Verzerrung von dem ersten DAC **12** sich mehr erniedrigt als die Amplitude des Ausgangssignals. Zum Beispiel kann an der oberen Grenze des SFDR, für jede 1 dB-Veränderung in dem Ausgangssignalleistungsniveau eine 3 dB-Veränderung in dem Störverzerrungsleistungsniveau auftreten. Da die Amplitude des Signals D* in einem akzeptablen SFDR resultiert, produziert der zweite DAC **14** ein akzeptables Niveau von Störverzerrung, welche in einer akzeptablen Amplitude der gesamten Störverzerrung für das DAC-System **10** resultiert.

[0021] Fig. 2 zeigt eine beispielhafte Ausführungsform, in dem das digitale Eingangssignal S zwölf (12) Bits umfasst. In der beispielhaften Ausführungsform splittet das DAC-System **10** die 12 Bits in sieben (7) n2-Bits auf dem ersten Pfad **16** und fünf (5) n1-Bits auf dem zweiten Pfad **18**. Zusätzlich werden in dieser beispielhaften Ausführungsform 12-Bit-DACs für den ersten und zweiten DAC **12** und **14** verwendet. So sind das niedrigstwertige Bit (Bit 1) bis zum fünften Bit jeweils mit dem ersten Bit-Eingang bis zu dem fünften Bit-Eingang des zweiten DAC **14** verbunden, und der sechste Bit-Eingang bis zu dem zwölften Bit-Eingang werden auf Null gesetzt. Auf dem ersten DAC **12** werden der erste Bit-Eingang bis zu dem fünften Bit-Eingang auf Null gesetzt, und das sechste Bit bis zu dem höchstwertigen Bit (Bit **12**) werden mit dem sechsten Bit-Eingang bis zu dem zwölften Biteingang jeweils verbunden.

[0022] Fig. 3a zeigt eine spektrale Darstellung des digitalen Eingangssignals S für Erläuterungszwecke. Durch Splitten oder Abschneiden des Eingangssignals S wird die Gesamtamplitude des zusammengesetzten Signals S und D reduziert. Das Abschneiden der Amplitude des digitalen Eingangssignals S resultiert in einer Signalverzerrung D, wie in Fig. 3b in dem Frequenzbereich dargestellt. Die resultierende Signalverzerrung D (Fig. 3c) erhöht die Frequenzbandbreite des ursprünglichen Eingangssignals und reduziert die Gesamtamplitude des resultierenden zusammengesetzten Signals S und D. Da die DACs eine sehr gute Bandbreiten-Performance haben, kann die zusätzliche Bandbreite von S und D leicht durch den ersten DAC **12** (Fig. 1) gehandhabt werden. Da die Gesamtamplitude für das zusammengesetzte Signal S und D reduziert ist, verglichen mit dem ursprünglichen Signal S, generiert der erste DAC **12** (Fig. 1) ein zusammengesetztes gewandeltes Signal S und D mit einem niedrigeren Niveau von störender Verzerrung und daher einen erweiterten SFDR, verglichen mit dem resultierenden SFDR, falls das ursprüngliche Signal S gewandelt würde. Fig. 3d zeigt den abgeschnittenen Teil D* des ursprünglichen Signals S (Fig. 3a), welches dargestellt ist als 180 Grad phasenverschoben in Bezug auf die Signalverzerrung D (Fig. 3c). Die Verzerrung D* ist auf dem zweiten Pfad **18** und der zweite DAC **14** wandelt die Verzerrung D* in analoge Form. Die Amplitude des abgeschnittenen Teils D* hat eine Amplitude, welche in einem akzeptablen SFDR für den zweiten DAC **14** (mit einer niedrigen Amplitude von Störverzerrung) resultieren sollte. Schließlich wird das gewandelte zusammengesetzte Signal S' und D' mit der gewandelten Verzerrung D*' kombiniert, um das gewandelte ursprüngliche Signal S' mit einer niedrigen Amplitude von störender Verzerrung zu generieren, wobei dadurch ein erweiterter SFDR bereitgestellt wird. Zu Erläuterungszwecken wird das Eingangssignal auf dem ersten Pfad **16** als S und das abgeschnittene Signal als ein zusammengesetztes Signal von S und D bezeichnet. Auf dem zweiten Pfad **18** wird das Eingangssignal S mit dem zusammengesetzten Signal S mit Signalverzerrung D kombiniert, um die Signalverzerrung D auf dem zweiten Pfad **18** zu isolieren. Es sollte so aufgefasst werden, dass verschiedene Notationen, Bezüge und Charakterisierungen der verschiedenen Signale verwendet werden können. Die obigen Bezeichnungen wurden gewählt, um die Erläuterung der Erfindung zu vereinfachen.

[0023] Fig. 4 zeigt eine Ausführungsform eines DAC-Systems **40**, welches eine Phasen- und Amplituden-Einstelleinrichtung **42** auf dem zweiten Pfad **18** benutzt, um die Phase und Amplitude der gewandelten Verzerrung D*' einzustellen. Die Phasen- und Amplituden-Einstellvorrichtung **42** stellt die Phase und Amplitude der gewandelten Verzerrung D*' ein, um die Reduktion der gewandelten Signalverzerrung D' zu verbessern, wobei dadurch die Rekonstruktion des gewünschten gewandelten analogen Signals S verbessert wird. Die Reduktion der gewandelten Signalverzerrung D' wird verbessert, so wie die gewandelten Signalverzerrungen D' und D* sich einer 180 Grad Phasendifferenz und sich den gleichen Amplituden nähern. Der zu erreichende Grad der Auslöschung der gewandelten Verzerrungen D' und D*' hängt ab von der bestimmten Applikation, jedoch ist typischerweise eine vollständige Auslöschung nicht notwendig. Zum Beispiel ist eine 175-185 Grad Phasendifferenz und/oder 2 dB Amplitudendifferenz zwischen den gewandelten Signalverzerrungen D* und D'* möglich, um ausreichend eine Löschung zu erreichen. In manchen Ausführungsformen stellt eine Kopplungseinrichtung **44** an dem Ausgang des Kombinierers oder Summierers **20** einen Teil des Ausgangssignals S' an eine Verstärkungs- und Phasen-Steuerungsschaltung **46** bereit. Die Phasen- und Verstärkungssteuerungsschaltung **46** antwortet auf die Amplitude der gewandelten Signalverzerrung D', die in dem Ausgangssignal S' verbleibt, indem Phasen- und Amplitudeneinstellungssignale an die Phasen- und Amplitudeneinstellvorrichtung **42** bereitgestellt werden. Die Phasen- und Amplitudeneinstelleinrichtung **42** antwortet auf die Phasen- und Amplitudeneinstellsignale durch Abstimmen der Phase und Amplitude von der gewandelten Signalverzer-

rung D*' zur Feineinstellung der Reduzierung der Signalverzerrung D' von dem Ausgangssignal S'. Die Einstellungen oder Abstimmungen können berechnet werden oder in einer Nachschlagetabelle, basierend auf Messungen des Signals S vorhanden sein, wie zum Beispiel das Leistungsniveau der Signalverzerrung D' an dem Ausgang des DAC-Systems **40**. In manchen Applikationen könnten die Phasen- und Amplitudeneinstellungen konstant sein oder auf Messungen der Signalverzerrung D* vor der Einstelleinrichtung **42** und/oder der Signalverzerrung D' vor dem Summierer **20** basieren.

[0024] Eine Verzögerungseinrichtung **48** versucht, die Verzögerungen zwischen dem ersten und zweiten Pfad **16** und **18** übereinstimmend zu machen. Insbesondere für diese Ausführungsform reflektiert die Verzögerungseinrichtung **48** die Verzögerung, die von der Signalverzerrung D*' durch die Phasen- und Amplitudeneinstelleinrichtung **42** erfahren wird, da die Komponenten auf beiden Pfaden **16** und **18** die gleichen sind, mit Ausnahme der Phasen- und Amplitudeneinstelleinrichtung **42** auf dem zweiten Pfad **18**. Die Verzögerungseinrichtung **48** braucht nicht exakt die Verzögerungen von beiden Pfaden **16** und **18** anzugleichen, jedoch sollten die jeweiligen Verzögerungen nahe genug beieinander sein (zum Beispiel eine Verzögerungsdifferenz in der Größenordnung von Picosekunden), sodass die entsprechenden Teile der Signalverzerrung D' auf dem ersten Pfad **16** und der Signalverzerrung D*' auf dem zweiten Pfad **18** bei ungefähr 180 Grad Phasenverschiebung kombiniert werden können. Idealerweise werden die Signalverzerrung D' auf dem ersten Pfad **16** und die Signalverzerrung D*' auf dem zweiten Pfad **18** bei ungefähr 180 Grad Phasenverschiebung kombiniert, jedoch können die Signalverzerrungen D', abhängig von der Applikation, mehr oder weniger als 180 Grad phasenverschoben sein, zum Beispiel kann eine 175-185 Grad Phasendifferenz zwischen den gewandelten Signalverzerrungen D' und D*' akzeptabel sein. Alternativ kann die Phasen- und Amplitudenabstimmeinrichtung **42** auf dem ersten Pfad **16** platziert sein, und die Verzögerungseinrichtung **48** kann auf dem zweiten Pfad **18** platziert sein.

[0025] Das DAC-System **40** von Fig. 4 zeigt außerdem eine Abschneideanordnung **50**, welche das digitale Eingangssignal S abschneidet, und das resultierende Signal S mit der Signalverzerrung D auf den ersten Pfad **16** leitet, wobei die abgeschnittene Signalverzerrung D* auf den zweiten Pfad **18** geleitet wird. Die Abschneideanordnung **50** kann in einer Vielfalt von Formen realisiert sein. Zum Beispiel zeigt Fig. 5a eine Abschneideanordnung, welche das N-Bit-digitale Eingangssignal S empfängt. Das "Abschneiden" wird durchgeführt, indem einfach die n2 höchstwertigen Bits entlang des ersten Pfades **16** zu dem ersten DAC **12** (Fig. 4) geleitet werden, und indem die verbleibenden nicht-benutzten niedrigstwertigen Eingänge an dem ersten DAC **12** auf Null gesetzt werden. Die verbleibenden niedrigstwertigen n1-Bits des digitalen Eingangssignal S werden entlang des zweiten Pfads **18** an den zweiten DAC **14** geleitet, wo die nicht-benutzten höchstwertigen Eingänge des zweiten DAC **14** auf Null gesetzt werden.

[0026] In Fig. 5b wird das digitale Eingangssignal S auf den ersten und zweiten Pfad **16** und **18** aufgeteilt. Auf dem ersten Pfad **16** schneidet eine digitale Begrenzungseinrichtung **52** die Amplitude des digitalen Eingangssignals S ab, um es davon abzuhalten, ein bestimmtes "Abschneide"- oder Abstimmungsniveau zu überschreiten, was in einem unakzeptablen SFDR für die Ausgabe des ersten DAC **12** (Fig. 4) resultieren würde. Für das digitale Signal kann das "Abschneide"- oder Abstimmungsniveau gemessen werden in der Anzahl n2 von höchstwertigen Bits für ein N-Bit-Signal, welche der erste DAC **12** an dem gewünschten SFDR umsetzen oder wandeln kann. In der Abstimmung der Amplitude des digitalen Eingangssignals S generiert die digitale Begrenzungseinrichtung **52** das zusammengesetzte Signal S und D, welches die n2 höchstwertigen Bits des ursprünglichen Signals S repräsentiert. Das zusammengesetzte Signal S mit der Signalverzerrung D kann an sowohl den ersten Pfad **16** als auch einen dritten Pfad **54** bereitgestellt werden. Das Signal S und die Signalverzerrung D auf dem dritten Pfad **54** werden von dem digitalen Eingangssignal S auf dem zweiten Pfad **18** unter Benutzung einer Subtrahierungsvorrichtung **56** subtrahiert. Durch Subtrahieren des zusammengesetzten Signal S und D, repräsentierend die n2 MSBs des digitalen Eingangssignal S, von dem N-Bit-digitalen Eingangssignal S auf den zweiten Pfad **18**, hinterlässt diese Abschneideanordnung die Signalverzerrung D*, welche den n1 niedrigstwertigen Bits entspricht, die durch die digitale Begrenzungseinrichtung **52** entfernt wurden. In dem Frequenzbereich sind alle der Frequenzkomponenten für die resultierende Signalverzerrung D* ungefähr 180 Grad phasenverschoben in Bezug auf die Frequenzkomponenten der Signalverzerrung D. Abhängig von der Applikation, kann die digitale Begrenzungseinrichtung **52** einfach implementiert werden, indem die n1 LSBs vernachlässigt werden, falls das N-Bit-Signal oberhalb eines Abschneide-Schwellenwertniveaus ist. Die Subtrahiervorrichtung **56** kann in vielfältiger Weise implementiert werden. Die Subtrahiervorrichtung **56** subtrahiert in einfacher Weise die n2-Bits von dem N-Bit-Signal, beispielsweise durch XOR-Verknüpfung der entsprechenden Bits, wie es dem Fachmann bekannt sein würde.

[0027] Fig. 6 zeigt ein DAC-System **60**, welches ein digitales Eingangssignal S mit N-Bits empfängt. Wie in der Ausführungsform von Fig. 1 splittet das DAC-System **60** das N-Bit-Signal in n2 höchstwertige Bits auf dem ersten Pfad **16** und n1 niedrigstwertige Bits auf dem zweiten Pfad **18**. Die n1 niedrigstwerti-

gen Bits werden zu den niedrigstwertigen Eingängen eines zweiten DAC **64** geleitet, und die verbleibenden höchstwertigen Eingänge werden auf Null gesetzt. Die n2 höchstwertigen Bits werden zu einem ersten DAC **64** geleitet. An dem ersten DAC **62** werden die n1 niedrigstwertigen Eingänge auf Null gesetzt, und die verbleibenden n2 höchstwertigen Bits werden an die entsprechenden Eingänge des ersten DAC **62** angelegt. Der erste DAC **62** hat jedoch n3 mehr Bit-Eingänge als die N-Bits, die durch das digitale Eingangssignal S benötigt werden. Um den SFDR des ersten DAC **62** weiter zu erweitern, indem das störfreie Verzerrungsniveau erniedrigt wird und die relative Differenz zwischen dem höchsten Ausgangssignalniveau und dem störfreien Verzerrungsniveau erhöht wird, werden die n3 höchstwertigen Bit-Eingänge des ersten DAC **62** auf Null gesetzt.

[0028] Zusätzlich sind zu der oben beschriebenen Ausführungsform alternative Konfigurationen des DAC-Systems gemäß den Prinzipien der vorliegenden Erfindung möglich, welche Komponenten weglassen und/oder hinzufügen und/oder Variationen oder Teile des beschriebenen Systems benutzen. Der Betrag der Amplitudendifferenz, Phasendifferenz und Verzögerungsdifferenz, welcher zwischen kombinierenden Signalen toleriert wird, hängt von der besonderen Applikation und der entsprechenden Toleranz ab, die durch die Applikation zulässig ist. Diese Betriebskonfigurationsparameter können auch bestimmen, welche Komponenten hinzugefügt werden, verändert oder weggelassen werden. Zum Beispiel könnte die Summierungseinrichtung **20** durch Kopplungseinrichtungen oder andere Vorrichtungen implementiert werden. Falls eine Kopplungseinrichtung verwendet wird, könnte ein linearer Verstärker auf dem Pfad vorgesehen werden, der mit dem Anschluss der Kopplungseinrichtung verbunden ist, der höheren Verlust aufweist. Zusätzlich kann die Verzögerungseinrichtung **48** unter Verwendung von passiven Vorrichtungen implementiert werden, wie zum Beispiel einem passiven Filter, Übertragungsleitung (Coax, Mikrostreifen oder Leiterbahn, oder von aktiven Vorrichtungen wie zum Beispiel Verstärker, aktive Filter, digitale Verzögerungseinrichtungen oder Fasern, jedoch führen aktive Vorrichtungen Verzerrung ein.

[0029] Wie es dem Fachmann bewusst ist, sollten die verschiedenen Komponenten, welche das DAC-System bilden, und ihre jeweiligen Betriebsparameter und Charakteristiken genau bedacht werden, wenn das DAC-System ausgelegt wird. Zum Beispiel können die DACs vom selben Typ eines DACs sein, jedoch können verschiedene Typen von DACs verwendet werden. Bei der Festlegung des Abstimmungsniveaus für das digitale Eingangssignal sollten der SFDR sowie andere Betriebsparameter für die DACs in Betracht gezogen werden. Der SFDR kann, abhängig von den verschiedenen Komponenten des DAC-Systems, verändert werden. Zum Beispiel kann der SFDR der DAC-Anordnung theoretisch verdoppelt werden, indem zwei DACs mit dem gleichen SFDR verwendet werden. Das DAC-System könnte ein digitales Eingangssignal abschneiden, was in einem Ausgangssignal mit der zweifachen Amplitude des höchsten Ausgangssignals resultiert, wobei die SFDRs der einzelnen DACs zur Hälfte definiert werden, um ein zweites Signal mit einer Amplitude an dem höchsten Ausgangssignalniveau zu generieren, wobei die SFDRs für die einzelnen DACs definiert werden. Das abgeschnittene Signal wird durch den ersten DAC gewandelt, um ein gewandeltes abgeschnittenes Signal zu generieren, welches eine Amplitude an dem höchsten Ausgangssignalniveau hat, wobei der SFDR für den ersten DAC definiert wird. Der abgeschnittene Amplitudenteil des Eingangssignals wird auf einen zweiten Pfad mit dem zweiten DAC gelegt, wobei der zweite DAC den abgeschnittenen Amplitudenteil wandelt, um ein gewandeltes abgeschnittenes Amplitudensignal zu generieren, welches eine Amplitude an dem höchsten Ausgangssignalniveau hat, wobei der SFDR für den zweiten DAC definiert wird. So können das gewandelte abgeschnittene Signal und der gewandelte abgeschnittene Amplitudenteil an dem Ausgang des DAC-Systems kombiniert werden, um die doppelte Amplitude des höchsten Ausgangssignalniveaus zu erhalten, wobei der SFDR von jedem DAC definiert wird, wobei dadurch ungefähr das Doppelte des SFDR bereitgestellt wird, obwohl ein 50%-iger Anstieg in dem SFDR des DAC-Systems leichter erreichbar ist, verglichen mit den einzelnen SFDRs der System DACs.

[0030] Alternativ könnte ein DAC oder könnten DACs mit niedrigeren und/oder verschiedenen SFDRs verwendet werden, um einen gewünschten erweiterten SFDR kostengünstiger bereitzustellen. Ein erweiterter SFDR ergibt sich aus einem Anstieg in der relativen Differenz zwischen dem höchsten Ausgangssignalniveau und dem entsprechenden Störverzerrungsniveau, zum Beispiel indem die Amplitude des Ausgangssignals des DAC-Systems erhöht wird (Erhöhen des Bereichs von digitalen Werten, welche der DAC umsetzen kann), während das entsprechende Störniveau aufrechterhalten wird oder mit einem niedrigeren Anstieg versehen wird, oder aus dem Reduzieren der Amplitude der Verzerrung, während die Amplitude des Ausgangssignals aufrechterhalten wird oder mit einer kleineren Verringerung versehen wird.

[0031] Außerdem wurde das DAC-System unter Verwendung einer bestimmten Konfiguration von verschiedenen Komponenten beschrieben, es versteht sich jedoch, dass das DAC-System und Teile daraus in Applikations-spezifischen integrierten Schaltungen, Software-getriebener Verarbeitungsschaltung, Firmware oder anderen Anordnungen von diskreten

Komponenten implementiert werden können, wie es durch einen Fachmann unter Berücksichtigung der Vorteile aus dieser Beschreibung verstanden werden würde. Obwohl die veranschaulichende Ausführungsform mit einer bestimmten Schaltung dargestellt ist, kann das DAC-System verschiedene Komponenten verwenden, welche zusammen vergleichbare Funktionen durchführen, verglichen mit der dargestellten Schaltung. Was beschrieben wurde, ist nur veranschaulichend für die Anwendung der Prinzipien der vorliegenden Erfindung. Der Fachmann wird leicht bemerken, dass diese und verschiedene andere Modifikationen, Anordnungen und Verfahren auf die vorliegende Erfindung angewandt werden können, ohne strikt den exemplarischen Anwendungen, die hierin veranschaulicht und beschrieben wurden, zu folgen, und ohne von der vorliegenden Erfindung abzuweichen.

Patentansprüche

1. Verfahren zur Umsetzung eines digitalen Eingangssignals (S) in eine analoge Form, wobei das digitale Eingangssignal (S) eine Amplitude aufweist, die durch N Bits definiert ist, und wobei das Verfahren die Schritte aufweist:
Abstimmen der Amplitude des digitalen Eingangssignals (S), um ein abgestimmtes Signal (S+D) auf einem ersten Pfad (**16**) und ein Verzerrungssignal (D*) auf einem zweiten Pfad (**18**) zu erhalten;
Umsetzen des abgestimmten Signals (S+D) auf dem ersten Pfad (**16**) in eine analoge Form durch einen ersten Analog-Digital-Wandler (**12**), um ein erstes analoges Signal (S'+D') zu erzeugen;
Umsetzen des Verzerrungssignals (D*) auf dem zweiten Pfad (**18**) in eine analoge Form durch einen zweiten Analog-Digital-Wandler (**14**), um ein zweites analoges Signal (D*') zu erzeugen;
Kombinieren des ersten analogen Signals (S'+D') und des zweiten analogen Signals (D*'), um ein umgesetztes analoges Signal (S) mit einer niedrigeren Amplitude einer störenden Verzerrung zu erzeugen, verglichen mit der Amplitude einer störenden Verzerrung, falls das digitale Eingangssignal (S) durch den ersten Digital-Analog-Wandler (**12**) umgesetzt worden wäre;
wobei das Verfahren gekennzeichnet ist durch:
Leiten der n2 höchstwertigen Bits des digitalen Eingangssignals (S) auf den ersten Pfad (**16**) als das abgestimmte Signal (S+D), dabei Abschneiden der Amplitude des digitalen Eingangssignals (S); und
Leiten der verbleibenden n1 niedrigstwertigen Bits des digitalen Eingangssignals (S) auf den zweiten Pfad (**18**) als das Verzerrungssignal (D*).

2. Verfahren nach Anspruch 1, wobei der Kombinierungsschritt ein Summierungsschritt ist.

3. Verfahren nach Anspruch 1, umfassend den Schritt:
Abstimmen (**42**, **46**) der relativen Amplitude und Phasendifferenz zwischen dem ersten analogen Signal und dem zweiten analogen Signal.

4. Verfahren nach Anspruch 1, wobei der Schritt des Leitens der verbleibenden n1 niedrigstwertigen Bits weiterhin eine Subtraktion der n2 höchstwertigen Bits von dem Eingangssignal (S) umfasst, um die n1 niedrigstwertigen Bits zu erzeugen.

5. Verfahren nach Anspruch 1, wobei die Schritte des Umsetzens weiterhin den Schritt umfassen:
Benutzen eines Abtastsignals mit einer bestimmten Frequenz für die Schritte des Umsetzens.

6. Digital-Analog-Wandler-System zur Umsetzung eines digitalen Eingangssignals (S) in ein umgesetztes analoges Signals (S'), wobei das digitale Eingangssignal eine Amplitude aufweist, die durch N Bits definiert ist, und wobei das System umfasst:
Mittel zum Abstimmen der Amplitude des digitalen Eingangssignals (S), um ein abgestimmtes Signal (S+D) auf einem ersten Pfad (**16**) und ein Verzerrungssignal (D*) auf einem zweiten Pfad (**18**) zu erhalten;
einen ersten Analog-Digital-Wandler (**12**) zum Umsetzen des abgestimmten Signals (S+D) auf dem ersten Pfad (**16**) in eine analoge Form, und um dabei ein erstes analoges Signal (S'+D') zu erzeugen;
einen zweiten Analog-Digital-Wandler (**14**) zum Umsetzen des Verzerrungssignals (D*) auf dem zweiten Pfad (**18**) in eine analoge Form, und um dabei ein zweites analoges Signal (D*') zu erzeugen;
eine Kombinierungseinrichtung (**20**), die mit dem ersten und dem zweiten Pfad verbunden ist und betreibbar ist, um das erste analoge Signal (S'+D') und das zweite analoge Signal (D*') zu kombinieren, um ein umgesetztes analoges Signal (S) mit einer niedrigeren Amplitude einer störenden Verzerrung zu erzeugen, verglichen mit der Amplitude einer störenden Verzerrung, falls das digitale Eingangssignal (S) durch den ersten Digital-Analog-Wandler (**12**) umgesetzt worden wäre;
wobei das System dadurch gekennzeichnet ist, dass:
die n2 höchstwertigen Bits des digitalen Eingangssignals (S) auf den ersten Pfad (**16**) als das abgestimmte Signal (S+D) geleitet werden, wobei dabei die Amplitude des digitalen Eingangssignals (S) abgeschnitten wird; und
die verbleibenden n1 niedrigstwertigen Bits des digitalen Eingangssignals (S) auf den zweiten Pfad (**18**) als das Verzerrungssignal (D*) geleitet werden.

7. System nach Anspruch 6, wobei die Kombinierungseinrichtung eine Summierungseinrichtung ist.

8. System nach Anspruch 6, wobei das Mittel zum Abstimmen umfasst:
einen digitalen Begrenzer (**52**), der die Amplitude des digitalen Eingangssignals (S) begrenzt, um die n2

höchstwertigen Bits auf dem ersten Pfad zu erzeugen.

9. Verfahren nach Anspruch 8, weiterhin umfassend:
eine Subtrahierungsvorrichtung (**56**) zur Subtraktion der n2 höchstwertigen Bits von dem Eingangssignal (S), um die n1 niedrigstwertigen Bits zu erzeugen.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

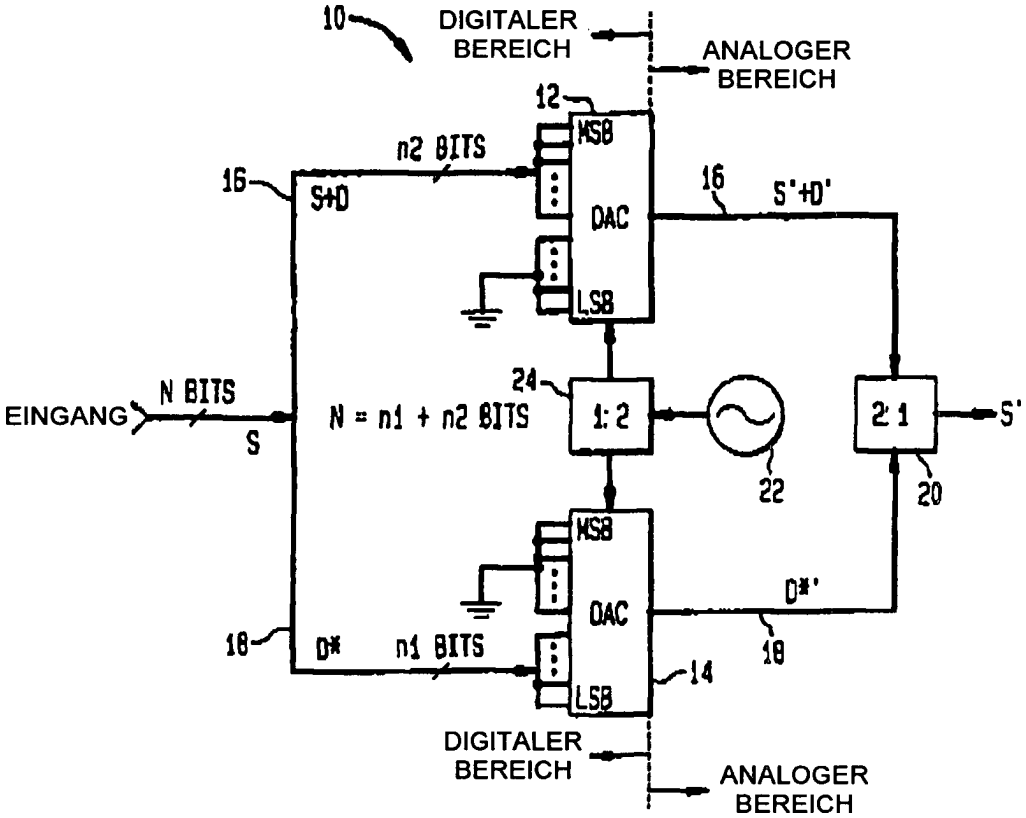


FIG. 2

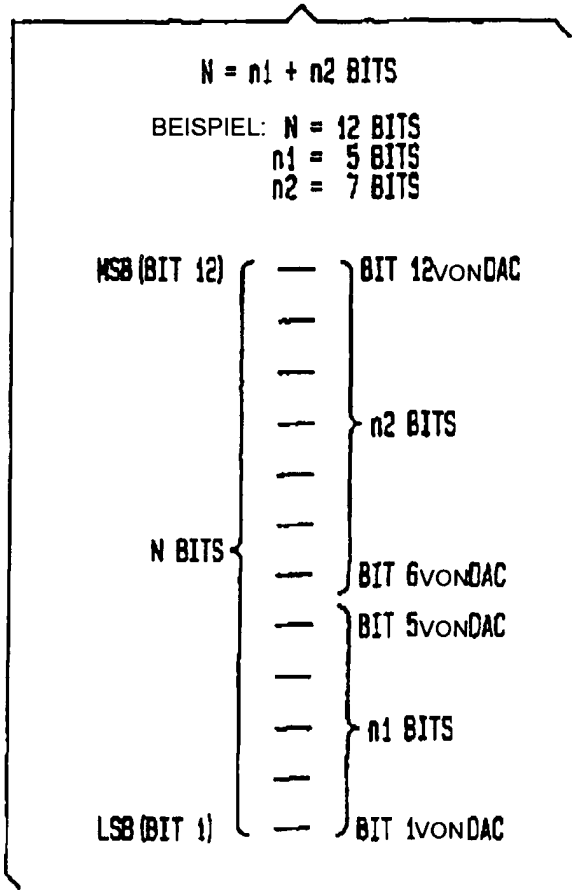

N = n1 + n2 BITS
BEISPIEL: N = 12 BITS
n1 = 5 BITS
n2 = 7 BITS
MSB (BIT 12)
N BITS
LSB (BIT 1)
BIT 12 VON DAC
n2 BITS
BIT 6 VON DAC
BIT 5 VON DAC
n1 BITS
BIT 1 VON DAC

FIG. 3A

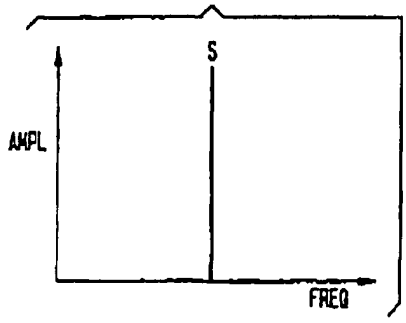


FIG. 3B

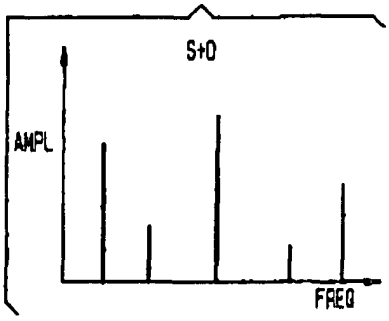


FIG. 3C

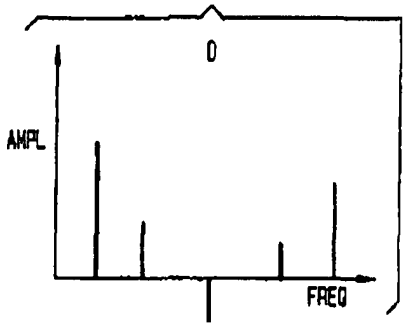


FIG. 3D

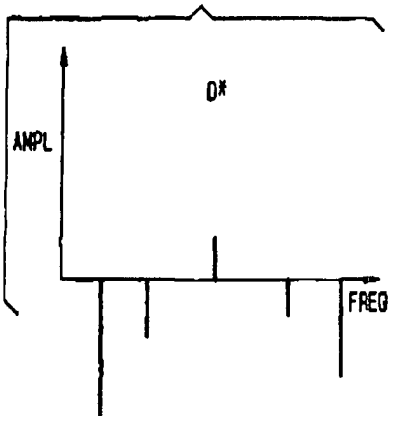


FIG. 4

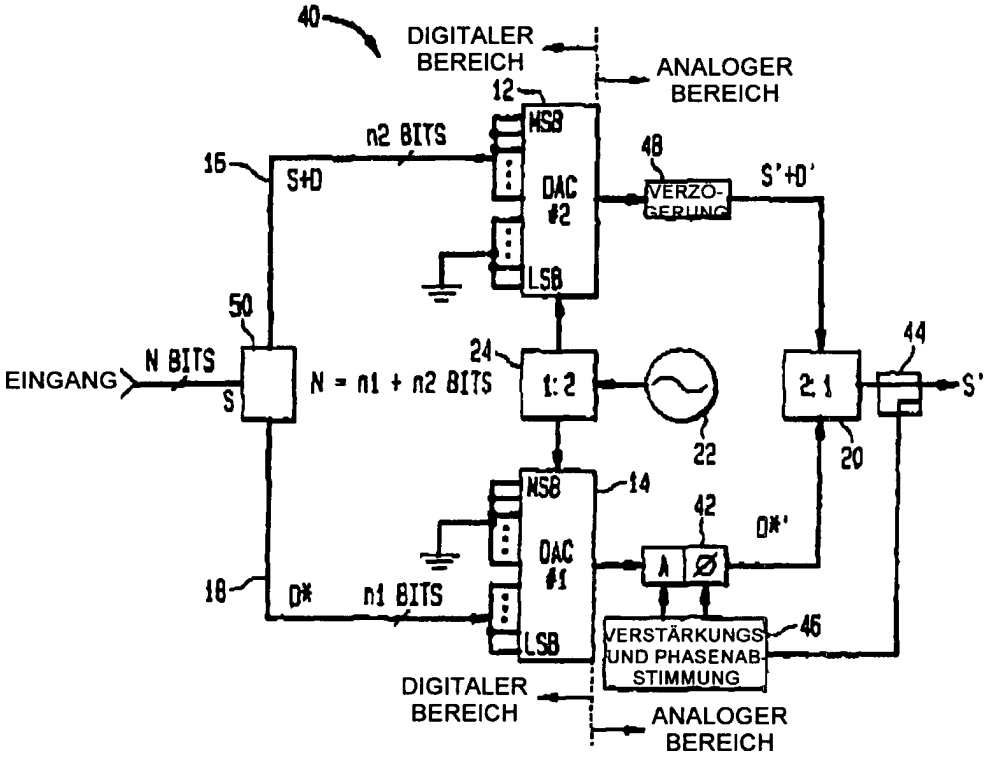

40
DIGITALER BEREICH
ANALOGER BEREICH
12
MSB
n2 BITS
48
15
S+D
DAC #2
VERZÖ-GERUNG
S'+D'
LSB
50
44
EINGANG
N BITS
S
N = n1 + n2 BITS
24
1:2
2:1
S'
22
20
MSB
14
42
D*'
DAC #1
18
D*
n1 BITS
LSB
VERSTÄRKUNGS UND PHASENAB-STIMMUNG
46
DIGITALER BEREICH
ANALOGER BEREICH

FIG. 5A

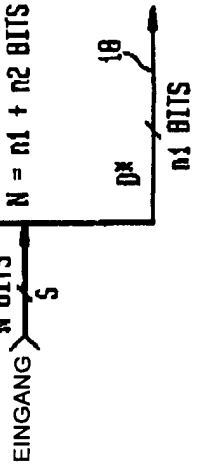

16
n2 BITS
S+D
N = n1 + n2 BITS
D*
18
n1 BITS
N BITS
S
EINGANG

FIG. 5B

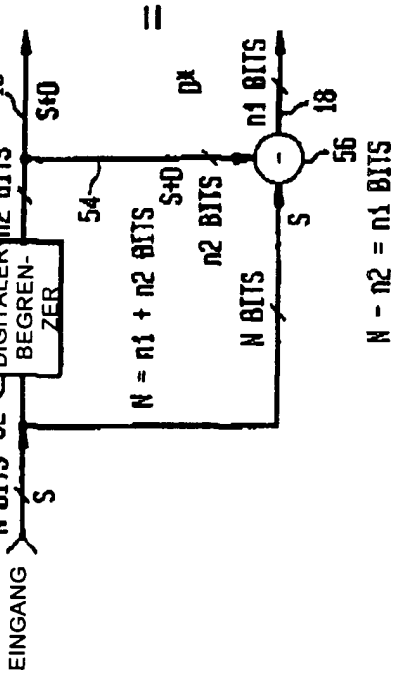
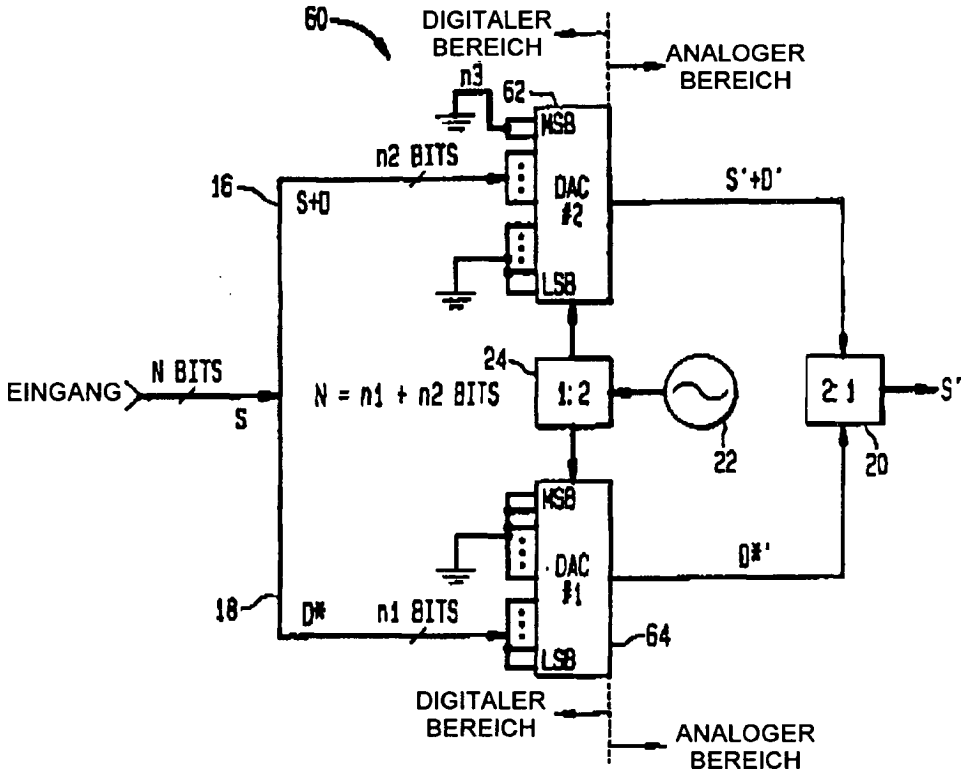

=
EINGANG
N BITS
S
52
DIGITALER BEGREN-ZER
n2 BITS
16
S+D
54
N = n1 + n2 BITS
S+D
n2 BITS
D*
N BITS
S
n1 BITS
18
56
N - n2 = n1 BITS

FIG. 6


60
DIGITALER BEREICH
ANALOGER BEREICH
n3
62
MSB
n2 BITS
16
S+D
DAC #2
S'+D'
LSB
24
EINGANG
N BITS
S
N = n1 + n2 BITS
1:2
2:1
S'
22
20
MSB
DAC #1
D*'
18
D*
n1 BITS
64
LSB
DIGITALER BEREICH
ANALOGER BEREICH