(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0076382
(43) 공개일자 2010년07월06일

(51) Int. Cl.
H01L 31/042 (2006.01) *H01L 21/205* (2006.01)
(21) 출원번호 10-2008-0134402
(22) 출원일자 2008년12월26일
심사청구일자 2008년12월26일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
장진
서울특별시 서초구 잠원동 5번지 신반포한신아파트 302동 908호
정준영
서울특별시 동대문구 회기동 경희대학교 차세대 디스플레이연구센터
김세환
서울특별시 동대문구 회기동 경희대학교 차세대 디스플레이연구센터
(74) 대리인
김인한, 김희곤

전체 청구항 수 : 총 12 항

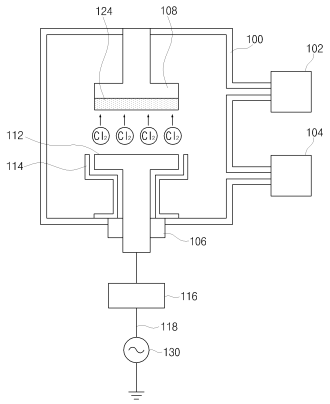
(54) 태양 전지 장치의 제조 방법

(57) 요 약

본 발명은 결정성이 높은 반도체층으로 형성할 수 있는 태양 전지 장치의 제조 방법에 관한 것이다.

본 발명에 따른 태양 전지 장치의 제조 방법은 기판 상에 제1 전극을 형성하는 단계와, 상기 제1 전극 상에 화학기상증착을 통해 염소가 포함된 반도체층을 적어도 한층 형성하는 단계와, 상기 반도체층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

기판 상에 제1 전극을 형성하는 단계와;

상기 제1 전극 상에 화학기상증착 방법을 통해 염소(Cl_2)가 포함된 반도체층을 적어도 한층 형성하는 단계와;

상기 반도체층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 2

제1항에 있어서,

상기 화학기상증착용 챔버 내에 주입 가스로 상기 염소(Cl_2)를 5~25sccm으로 주입하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 3

제1항에 있어서

상기 화학기상증착용 챔버 내에 주입 가스로 모노 실란(SiH_4) 및 상기 염소(Cl_2)를 주입하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 화학기상증착용 챔버 내에 주입 가스로 모노실란(SiH_4) 및 염소(Cl_2)를 주입하는 동시에 수소(H_2)나 아르곤(Ar) 중 어느 하나를 더 주입하거나 둘 다 주입하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 5

제4항에 있어서,

상기 화학기상증착용 챔버 내에 주입 가스로 헬륨(He)을 추가로 주입하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 6

제1항에 있어서,

상기 반도체층은 상기 화학기상증착 방법을 통해 염소(Cl_2)가 10^{16} ~ $10^{21}cm^{-3}$으로 포함된 비정질 실리콘 박막인 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 7

제1항에 있어서,

상기 반도체층은 상기 화학기상증착 방법을 통해 염소(Cl_2)가 10^{16} ~ $10^{21}cm^{-3}$으로 포함된 마이크로 실리콘 박막인 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 8

제1항에 있어서,

상기 반도체층은 상기 화학기상증착 방법을 통해 염소(Cl_2)가 10^{16} ~ $10^{21}cm^{-3}$으로 포함된 나노 실리콘 박막인 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 9

제1항에 있어서,

상기 반도체층에 그레인 크기가 5~150㎚의 실리콘 덩어리를 포함하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 10

기판 상에 제1 전극을 형성하는 단계와;

상기 제1 전극 상에 화학기상증착 방법을 통해 아르곤 또는 헬륨이 포함된 반도체층을 적어도 한층 형성하는 단계와;

상기 반도체층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 반도체층은 상기 화학기상증착 방법을 통해 아르곤이 10^{16} ~ $10^{21}cm^{-3}$으로 포함된 비정질 실리콘 박막인 것을 특징으로 하는 태양 전지 장치의 제조 방법.

청구항 12

제10항에 있어서,

상기 반도체층 상에 염소가 10^{16} ~ $10^{21}cm^{-3}$가 포함되는 것을 특징으로 하는 태양 전지 장치의 제조 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 결정성이 높은 반도체층으로 형성할 수 있는 태양 전지 장치의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 빛에너지, 특히 태양에너지를 이용하는 전지는 무한정, 무공해의 태양광을 직접 전기에너지로 활용할 수 있게 하는 에너지로 각광받고 있다. 현재 가장 널리 사용되고 있는 에너지원인 석유, 석탄 등 화석연류의 경우 매장량의 한계와 지역적인 편중성, 사용시 발생하는 이산화탄소 가스에 의한 환경오염 등의 문제가 있고, 국내에서 전기 에너지원으로 확대되고 있는 원자력 발전의 경우 안전성과 핵폐기물 처리 등의 문제로 선진국에서는 보급 규모를 현재의 수준으로 동결하고 있는 실정이다. 이러한 기존 에너지의 문제점을 해결하기 위하여, 선진국에서는 2000년대의 실용화를 목표로 비소모성, 무공해의 대체 에너지 개발에 박차를 가하고 있다.

[0003] 태양 전지 장치는 기판 상에 P형 반도체층, 진성 반도체층 및 N형 반도체층을 포함하는 반도체층을 사이에 두고 제1 전극과 제2 전극을 구비한다. 이러한 태양 전지 장치는 입사되는 태양광이 진성 반도체층에서 흡수되어 전자-정공이 생성된다. PIN 구조에서 P형 및 N형에 의해 생성된 내부 전계(Built-in potential)에 의해 전자와 정공은 각각 N형과 P형 반도체로 이동되어 이를 이용하는 것이다.

[0004] 이와 같은 태양 전지 장치는 반도체층이 열화되는 문제점이 발생되어 이를 방지하기 위해 결정성이 높은 실리콘 박막을 사용하여야 된다. 하지만, 결정성이 높은 실리콘 박막을 반도체층으로 이용하게 되면 비용 상승의 문제점이 발생된다. 이에 따라, 태양 전지 장치는 열화를 방지할 수 있으며, 비용을 절감할 수 있는 결정성이 높은 실리콘 박막을 필요하게 된다.

발명의 내용

해결 하고자하는 과제

[0005] 따라서, 본 발명이 이루고자 하는 기술적 과제는 결정성이 높은 반도체층을 형성하는 태양 전지 장치의 제조 방

법에 관한 것이다.

과제 해결수단

[0006] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 태양 전지 장치의 제조 방법은 기판 상에 제1 전극을 형성하는 단계와, 상기 제1 전극 상에 화학기상증착 방법을 통해 염소가 포함된 반도체층을 적어도 한층 형성하는 단계와, 상기 반도체층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0007] 여기서, 상기 화학기상증착용 챔버 내에 주입 가스로 상기 염소를 5~25sccm을 주입하는 것을 특징으로 한다.

[0008] 또한, 상기 화학기상증착용 챔버 내에 주입 가스로 모노 실란 및 상기 염소를 주입하는 것을 특징으로 한다.

[0009] 그리고, 상기 화학기상증착용 챔버 내에 주입 가스로 모노실란 및 염소를 주입하는 동시에 수소나 아르곤 중 어느 하나를 더 주입하거나 둘 다 주입하는 것을 특징으로 한다.

[0010] 또한, 상기 화학기상증착용 챔버 내에 주입 가스로 헬륨을 추가로 주입하는 것을 특징으로 한다.

[0011] 이때, 상기 반도체층은 상기 화학기상증착 방법을 통해 염소가 10^{16} ~ $10^{21}cm^{-3}$가 포함된 비정질 실리콘 박막인 것을 특징으로 한다.

[0012] 또한, 상기 반도체층은 상기 화학기상증착 방법을 통해 염소가 10^{16} ~ $10^{21}cm^{-3}$가 포함된 마이크로 실리콘 박막인 것을 특징으로 한다.

[0013] 그리고, 상기 반도체층은 상기 화학기상증착 방법을 통해 염소가 10^{16} ~ $10^{21}cm^{-3}$가 포함된 나노 실리콘 박막인 것을 특징으로 한다.

[0014] 또한, 상기 반도체층에 그레인 크기가 5~150nm의 실리콘 덩어리를 포함하는 것을 특징으로 한다.

[0015] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 태양 전지 장치의 제조 방법은 기판 상에 제1 전극을 형성하는 단계와, 상기 제1 전극 상에 화학기상증착 방법을 통해 아르곤 또는 헬륨이 포함된 반도체층을 적어도 한층 형성하는 단계와, 상기 반도체층 상에 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0016] 여기서, 상기 반도체층은 상기 화학기상증착 방법을 통해 아르곤이 10^{16} ~ $10^{21}cm^{-3}$으로 포함된 비정질 실리콘 박막인 것을 특징으로 한다.

[0017] 그리고, 상기 반도체층 상에 염소가 10^{16} ~ $10^{21}cm^{-3}$가 포함되는 것을 특징으로 한다.

효 과

[0018] 본 발명에 따른 태양 전지 장치의 제조 방법은 화학기상증착 방법를 이용하여 염소(Cl_2)를 주입함으로써 반도체층의 결정성을 높일 수 있다. 이와 같이, 화학기상증착 방법을 이용하여 염소를 주입하는 것으로 공정상의 변화없이 결정성을 높일 수 있으므로 그에 따른 비용 절감 효과를 가질 수 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 본 발명의 바람직한 실시 예들을 도 1 내지 도 8를 참조하여 상세하게 설명하기로 한다.

[0020] 도 1은 본 발명의 실시 예에 따른 태양 전지 장치를 나타낸 도면이다.

[0021] 도 1를 참조하면, 태양 전지 장치는 기판(140) 상에 제1 전극(120), P형 반도체층(122), 진성 반도체층(124) 및 N형 반도체층(126)을 포함하는 반도체층, 제2 전극(128)을 구비한다. 이러한, 태양 전지 장치는 입사되는 태양광이 진성 반도체층(124)으로 흡수되면, 그 빛 에너지에 의해 진성 반도체층(124) 내에서 전자-정공이 생성된다. 전자-정공은 진성 반도체층(124)과 P형 및 N형 반도체층(122,126)의 에너지 준위차로 인해 계면으로 이동하게 되어 전류의 흐름이 발생한다. 이때, 태양 전지 장치는 제1 및 제2 전극(120,128) 중 어느 한 전극에 태양광이 반사되는 것을 방지하기 위한 반사 방지막을 형성할 수 있다.

[0022] 제1 전극(120)은 기판(140)을 통해 입사하는 태양광을 P형 반도체층(122)을 통해 진성 반도체층(124)으로 인도함과 동시에 P형 반도체층(122)의 오믹 접촉을 유지할 수 있다. 이러한, 제1 전극(120)은 빛이 투과될 수 있는 투명 전극 재질로 형성되며, 예로 들어 인듐 틴 옥사이드(Indium Tin Oxide; ITO), 인듐 징크 옥사이드(Induim

Zinc Oxide; IZO) 등으로 형성될 수 있다. 이때, 제1 전극(120)은 도 1에 도시된 바와 같이 반도체층 전면인 P형 반도체층(122) 상에 형성되거나, 반도체층 후면에 형성될 수 있다.

[0023] 반도체층은 P형 반도체층(122), 진성 반도체층(124), N형 반도체층(126)으로 적층된 구조로 PIN구조로 형성할 수 있다. P형 반도체층(122)은 입사광에 의해서 진성 반도체층(124)에서 생성되는 전하 담체를 제1 전극(120)으로 인도하기 위해서 설치한 P형 반도체로 이루어진 층이다. N형 반도체층(126)은 진성 반도체층(124)에서 생성된 전하 담체를 제2 전극(128)으로 인도하기 위해 설치한 N형 반도체로 이루어진 층이다.

[0024] 진성 반도체층(124)은 입사광을 흡수하여 전하 담체를 생성하며, 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나로 형성된다. 이때, 진성 반도체층(124)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 염소가 $10^{16}cm^{-1}$ ~ $10^{21}cm^{-1}$ 가 포함되어 형성된다. 또한, 진성 반도체층(124)은 실리콘 박막에 그레인 크기가 5nm~150nm의 실리콘 덩어리를 포함한다.

[0025] 또한, 진성 반도체층(124)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 아르곤(Ar) 또는 헬륨(He)이 포함되어 형성될 수 있다. 이때, 아르곤(Ar)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 $10^{16}cm^{-1}$ ~ $10^{21}cm^{-1}$으로 포함하도록 형성될 수 있다.

[0026] 이와 같이, 진성 반도체층(124)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 아르곤(Ar) 및 염소(Cl) 중 어느 하나를 포함하도록 형성될 수 있지만, 아르곤(Ar) 및 염소(Cl) 각각을 $10^{16}cm^{-1}$ ~ $10^{21}cm^{-1}$ 으로 포함되도록 형성될 수 있다.

[0027] 제2 전극(128)은 불투명한 재질인 금속층으로 형성되며, 예로 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu) 등의 금속층으로 형성될 수 있다. 제2 전극(128)은 도 1에 도시된 바와 같이 반도체층 후면인 N형 반도체층(126) 상에 형성되거나, 반도체층 상면에 형성할 수 있다.

[0028] 한편, 태양 전지 장치는 위에서 설명한 구조와 같이 반도체층이 PIN 구조로 형성할 수 있으며, PN구조로 형성될 수 있다.

[0029] 도 2a 내지 도 2c는 본 발명의 실시 예에 따른 태양 전지 장치의 제조 방법을 설명하기 위한 도면이다. 그리고, 도 3는 도 2b에 도시된 진성 반도체층을 형성하는 제조 방법을 상세히 설명하기 도면이다.

[0030] 도 2a을 참조하면, 기판(140) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 전극(120)이 형성된다. 제1 전극(120)으로는 투명 전극 재질로 형성되며, 예로 들어 인듐 틴 옥사이드(Indium Tin Oxide; ITO), 인듐 징크 옥사이드(Induim Zinc Oxide; IZO) 등으로 형성될 수 있다.

[0031] 도 2b을 참조하면, 화학기상증착방법을 통해 P형 반도체층(122), 진성 반도체층(124), N형 반도체층(126)이 순차적으로 적층되어 반도체층이 형성된다.

[0032] 구체적으로, 도 3에 도시된 바와 같이 화학기상증착 방법은 챔버(100)의 내부가 배기 수단(104)에 의해서 배기되어 고진공 된 후에, 주입 가스가 가스 공급 수단(102)을 통해서 챔버(100)로 공급되어 그 내부가 소정의 압력을 유지하게 된다. 고주파 전력은 고주파 전원부(130)로부터 고주파 전극(112)으로 공급되어 고주파 전극(112)과 그 대향 전극(108)을 가로 질러서 플라즈마를 발생시킨다. 따라서, 반응 가스는 플라즈마에 의해서 분해되고 여기되어 막 형성 기판 상에 증착 막을 형성한다.

[0033] 이와 같이 화학기상증착 방법을 통해 P형 반도체층, 진성 반도체층, N형 반도체층이 형성된다. 진성 반도체층(124)은 챔버(100) 내로 모노실란(SiH_4) 및 염소(Cl_2)를 주입하여 이용하거나, 모노실란(SiH_4) 및 염소(Cl_2)를 주입하는 동시에 수소(H_2)나 아르곤(Ar) 중 어느 하나를 더 주입하거나 둘 다 주입하여 형성할 수 있으며, 헬륨(He)을 추가로 주입할 수 있도 있다.

[0034] 이때, 진성 반도체층(124)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막와 같은 실리콘 박막으로 형성될 수 있으며, 챔버(100) 내에 염소(Cl_2)를 주입함으로써 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 염소(Cl_2)가 $10^{16}cm^{-1}$ ~ $10^{21}cm^{-1}$ 으로 포함되어 형성된다. 그리고, 진성 반도체층(124)은 실리콘 박막에 그레인 크기가 5nm~150nm의 실리콘 덩어리를 포함한다.

[0035] 또한, 진성 반도체층(124)은 챔버(100) 내로 아르곤(Ar) 또는 헬륨(He)을 주입하여 이용하거나, 이와 동시에 염소(Cl)를 주입하여 형성할 수 있다. 이때, 진성 반도체층(124)은 챔버(100) 내에 아르곤(Ar)을 주입함으로써

비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 아르곤(Ar)이 $10^{16}cm^{-1}$~ $10^{21}cm^{-1}$으로 포함되어 형성될 수 있다.

[0036] 이와 같이, 진성 반도체층(124)은 비정질 실리콘 박막, 나노 실리콘 박막, 마이크로 실리콘 박막 중 어느 하나에 염소(Cl) 또는 아르곤(Ar)이 $10^{16}cm^{-1}$~ $10^{21}cm^{-1}$으로 포함되어 형성될 수 있으며, 염소(Cl) 및 아르곤(Ar) 각각이 $10^{16}cm^{-1}$~ $10^{21}cm^{-1}$으로 포함되어 형성될 수 있다.

[0037] 한편, 진성 반도체층(124)을 화학기상증착 방법를 이용하여 형성하는 것에 대해 구체적으로 설명하기로 하며, 주입 가스로 모노실란(SiH_4) 및 염소(Cl_2)를 주입하거나 모노실란(SiH_4) 및 염소(Cl_2)를 주입하는 동시에 수소(H_2)나 아르곤(Ar) 중 어느 하나를 더 주입하거나 둘 다 주입하는 방법으로 형성할 수 있지만, 주입 가스로 모노실란(SiH_4), 염소(Cl_2), 수소(H_2)를 주입하는 것을 도 3을 참조하여 예로 들어 설명하기로 한다.

[0038] 진성 반도체층(124)을 형성하기 위한 화학기상증착 방법의 공정 조건으로, 챔버(100) 내부에 가스 공급 수단(102)을 통해 모노 실란(SiH_4)을 0.1~10sccm으로 바람직하게는 6sccm으로 주입하며, 염소(Cl_2)를 5~25sccm으로 주입하며, 수소(H_2)를 50~150sccm으로 주입하며, 바람직하게는 100sccm으로 주입한다.

[0039] 또한, 고주파 전력으로는 13.56MHz의 고주파 전력(RF Power)을 사용하며, 120W의 고주파 전원(130)을 공급하며, 0.1torr~ 10torr 압력(Pressure) 조건으로 챔버(100) 내의 압력을 유지하거나 바람직하게는 2torr의 압력으로 유지할 수 있으며, 증착 온도(Ts)로는 150~200℃로 바람직하게는 180℃로 할 수 있다. 이와 같이 챔버(100) 내에 가스 공급 수단(102)을 통해 모노 실란(SiH_4) 뿐만 아니라, 염소(Cl_2)를 5~25sccm 정도로 주입함으로써 실리콘 박막의 결정성을 높일 수 있다.

[0040] 이는, 염소(Cl_2)를 주입하며, 상기와 같은 조건으로 형성된 실리콘 박막에 대한 결정성이 도 4에 나타내고 있다. 즉, 도 4는 챔버 내에 5~25sccm의 염소(Cl_2) 함유량에 따른 결정성의 변화를 나타내고 있는 그래프이며, X축은 라만 쉬프트(Raman Shift)를 나타내고 있으며, Y축은 실리콘 박막에 대한 결정성의 정도(Intensity)를 나타내고 있다.

[0041] 다시 말하여, 도 4에 도시된 바와 같이 염소(Cl_2)의 함유량이 5~15sccm 범위로 주입된 실리콘 박막의 경우에 $480cm^{-1}$ 근처에서 피크(peak)가 나타나고, 염소의 함유량이 20sccm이상 주입된 실리콘 박막의 경우에 $520cm^{-1}$ 근처에서 피크가 나타나고 있다. 이와 같이, 염소(Cl_2)의 함유량이 20sccm이상 주입되는 경우 결정성이 향상되는 것을 알 수 있다.

[0042] 이때, 챔버(100) 내에 염소(Cl_2)를 20sccm 주입했을 경우에 실리콘 박막의 결정성 즉, 약 60%의 크리스탈로 구성되어 있음을 알 수 있다. 이는, 도 5에 도시된 라만 쉬프트(Raman Shift) 그래프를 통해 실리콘 박막의 결정성의 비율을 알 수 있다.

[0043] 구체적으로, 도 5는 챔버(100) 내에 염소(Cl_2)를 20sccm 주입했을 경우에 실리콘 박막의 라만 스펙트라(Raman spectra)를 나타내고 있는 그래프이며, X축은 라만 쉬프트(Raman shift)를 나타내고 있으며, Y축은 결정성의 정도(Intensity)를 나타내고 있다. 이때, 제1 곡선(152)은 아모퍼스 상태이며, $480cm^{-1}$ 근처에서 피크(Amorphous phase)를 나타내고 있다. 제2 곡선(154)은 인터미디에트 상태이며, $510cm^{-1}$ 근처에서 피크(Intermediate phase)를 나타내고 있으며, 제3 곡선(156)은 크리스탈 상태이며, $519cm^{-1}$ 근처에서 피크(Crystalline phase)를 나타내고 있다. 위와 같이 Amorphous phase, Intermediate phase, Crystalline phase를 이용해서 실리콘 박막의 결정성의 비율을 아래의 식으로 구할 수 있다.

수학식 1

[0044] [(Intermediate phase+ Crystalline phase)/(Amorphous phase+ Intermediate phase+ Crystalline phase)] × 100 = 실리콘 박막의 결정성의 비율

[0045] 따라서, 위와 같은 [수학식 1]을 이용하여 염소(Cl_2)를 20sccm 주입했을 경우에 실리콘 박막의 결정성의 비율이

60%임을 알 수 있게 된다.

[0046] 그리고, 챔버(100) 내의 염소(Cl_2) 주입량에 따라 증착 속도가 달라지게 된다. 다시 말하여, 도 6은 X축이 염소 주입량(sccm)을 나타내고 있으며, Y축은 증착 속도(Deposition rate(nm/sec))를 나타내고 있다. 이와 같이 챔버(100) 내에 염소(Cl_2) 5~25sccm을 주입함으로써 증가하다가 감소하게 되는데 이는, 수소와 염소의 결합에 의해 염산(HCl)이 형성되고 실리콘이 식각되기 때문이다.

[0047] 또한, 도 7은 증착 압력에 따른 증착 속도의 변화를 나타내고 있는 그래프이며, X축은 압력(Pressure(Torr))를 나타내고 있으며, Y축은 증착 속도(Deposition rate(nm/sec))를 나타내고 있다. 이와 같이 증착 압력에 따른 증착 속도는 1torr를 제외하고 거의 비슷한 결과를 보이게 된다. 다시 말하여, 증착 압력에 따라 증착 속도가 거의 일정함으로써 실리콘 박막의 특성의 변화가 거의 없게되어 다양한 증착 압력 조건일지라도 실리콘 박막의 균일화될 수 있음을 알 수 있다.

[0048] 한편, 염소(Cl_2) 함유량에 따른 실리콘 박막에 대한 결정성의 변화, 라만 스펙트라를 통한 실리콘 박막에 대한 결정성 비율, 염소(Cl_2) 함유량에 따른 증착 속도, 압력에 따른 증착 속도에 대해 알 수 있었으며, 나노(nano) 실리콘 박막의 경우에는 비정질 실리콘 박막 마이크로 실리콘 박막에 비해 얇기 때문에 결정성을 높이기 어렵지만, 본 발명의 증착 조건을 이용할 경우에 결정성을 높일 수 있다. 즉, 기존의 실리콘 증착 방법보다 얇은 상태에서도 결정성이 형성될 수 있다. 이를 도 8에 도시된 그래프를 통해 설명하기로 한다.

[0049] 구체적으로, 화학기상증착 방법으로 챔버(100) 내에 가스 공급 수단(102)을 통해 모노 실란(SiH_4) 6sccm, 수소(H_2) 100sccm, 염소(Cl_2) 20sccm을 주입하며, 챔버(100) 내의 압력(Pressuer)을 3torr, 증착 온도(Ts) 180℃, 120W의 고주파 전원(RF Power)을 공급하는 조건으로 나노 실리콘 박막을 형성할 수 있다.

[0050] 이와 같은 본 발명에 따른 공정 조건으로 나노 실리콘 박막을 형성할 경우에 도 8에 도시된 바와 같이 결정성이 향상됨으로 알 수 있다. 즉, 도 8은 본 발명에 따른 공정 조건으로 형성된 나노 실리콘 박막에 따른 성분 분석 결과를 나타내고 있는 그래프이다. 이때, 도 8에서 나타난 제1 곡선(162)은 산소(O), 제2 곡선(164)은 수소(H), 제3 곡선(166)은 염소(Cl), 제4 곡선(168)은 실리콘(Si)을 나타내고 있다.

[0051] 도 8에 도시된 바와 같이 염소(Cl)가 포함된 나노 실리콘 박막은 박막 표면에서 가장 많은 염소가 포함되어 있다. 이는, 증착 초기에는 염소(Cl)가 실리콘과 결합이 많이 일어나지 않다가 박막 증착 중에 염소와 실리콘이 많이 결합하여 박막이 형성되었다는 것을 알 수 있다.

[0052] 이와 같이 염소(Cl_2)가 포함되어 결정성이 높은 진성 반도체층을 형성하는 방법에 대해 설명하였지만, P형 반도체층 및 N형 반도체층도 진성 반도체층와 같은 방법으로 결정성이 높은 반도체층을 형성한 뒤, PN 에피텍셜 방법으로 도핑함으로써 P형 반도체층, N형 반도체층을 형성할 수 있다.

[0053] 도 2c를 참조하면, 반도체층이 형성된 기판(140) 상에 제2 전극(128)이 불투명 금속층으로 형성된다. 제2 전극(128)으로는 불투명한 재질인 금속층으로 형성되며, 예로 들어 알루미늄(Al), 알루미늄 합금, 구리(Cu) 등의 금속층으로 형성될 수 있다.

[0054] 이와 같이 본 발명과 같이 염소(Cl_2)를 포함한 실리콘 박막에 포함함으로써 결정성을 높일 수 있으며, 상기와 같은 공정 조건으로 염소(Cl_2)를 5~25sccm 주입만함으로써 공정상의 변화없이 결정성을 높일 수 있으므로 그에 따른 비용 절감 효과를 가질 수 있다.

[0055] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0056] 도 1은 본 발명의 실시 예에 따른 태양 전지 장치를 나타낸 도면이다.

[0057] 도 2a 내지 도 2c는 본 발명의 실시 예에 따른 태양 전지 장치의 제조 방법을 설명하기 위한 도면이다.

[0058] 도 3는 도 2b에 도시된 진성 반도체층을 형성하는 제조 방법을 상세히 설명하기 도면이다.

[0059] 도 4는 챔버 내에 5~25sccm의 염소(Cl_2) 함유량에 따른 결정성의 변화를 나타내고 있는 그래프이다.

[0060] 도 5는 챔버 내에 염소(Cl_2)를 20sccm 주입했을 경우에 실리콘 박막의 라만 스펙트라(Raman spectra)를 나타내고 있는 그래프이다.

[0061] 도 6은 챔버 내에 염소(Cl_2) 함유량에 따른 증착 속도를 나타내고 있는 그래프이다.

[0062] 도 7은 증착 압력에 따른 증착 속도의 변화를 나타내고 있는 그래프이다.

[0063] 도 8은 본 발명에 따른 공정 조건으로 형성된 나노 실리콘 박막에 따른 성분 분석 결과를 나타내고 있는 그래프이다.

[0064] <도면의 주용 부분에 대한 부호 설명>

[0065] 100 : 챔버 102 : 가스 공급 수단

[0066] 104 : 배기 수단 108 : 대향 전극

[0067] 112 : 고주파 전극 118 : 고주파 전력 공급 와이어

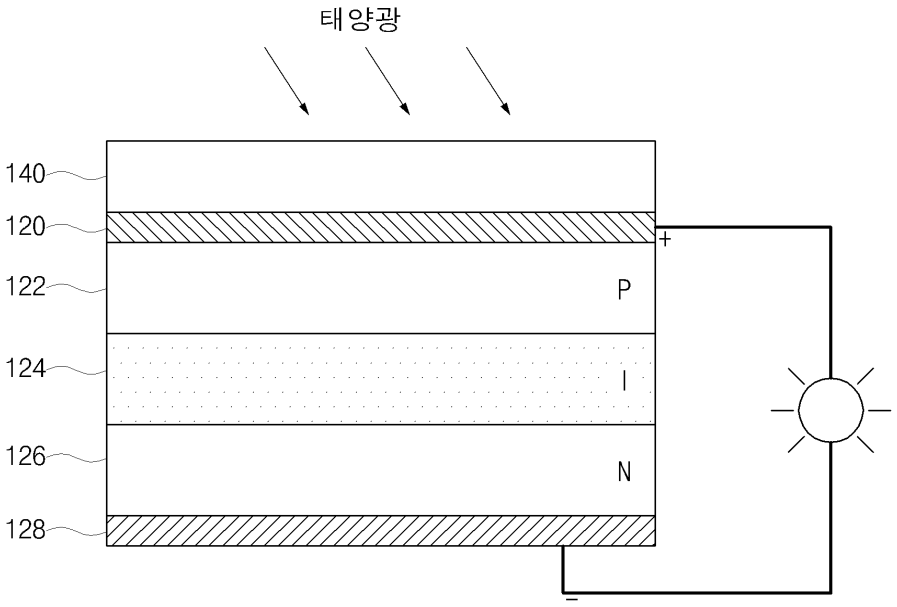
[0068] 120 : 제1 전극 122 : P형 반도체층

[0069] 124 : 진성 반도체층 126 : N형 반도체층

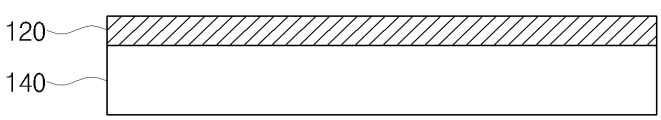
[0070] 128 : 제2 전극 140 : 기판

도면

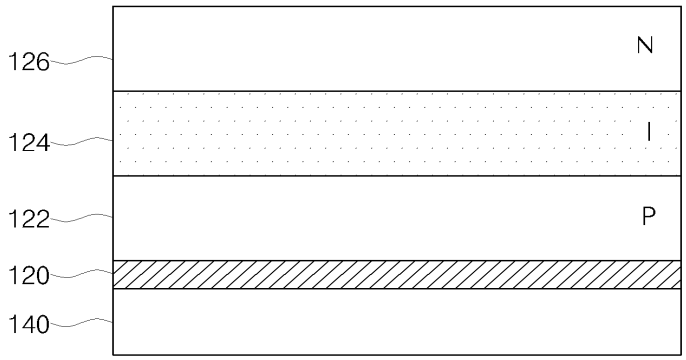
도면1



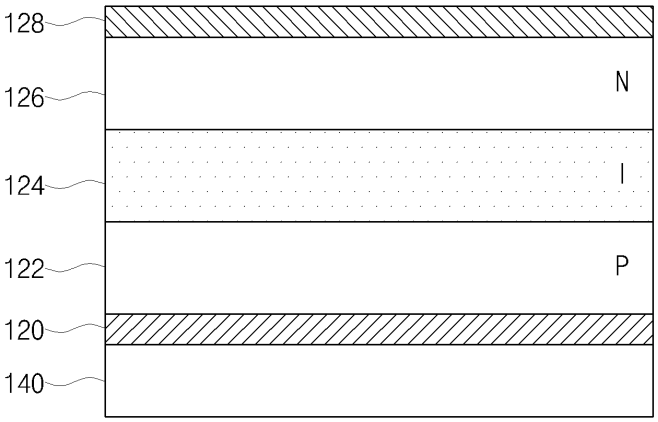
도면2a



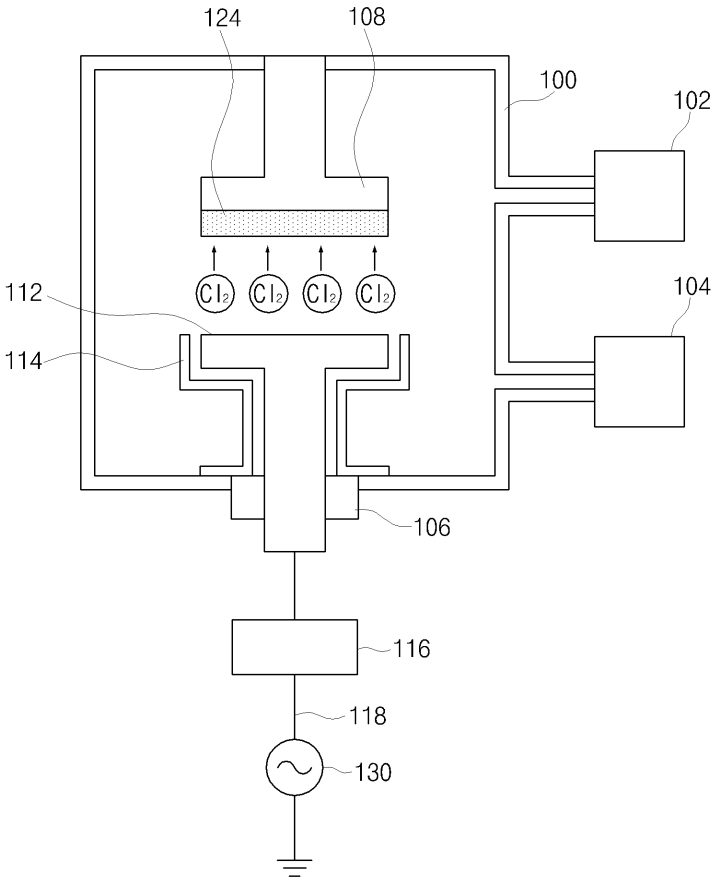
도면2b



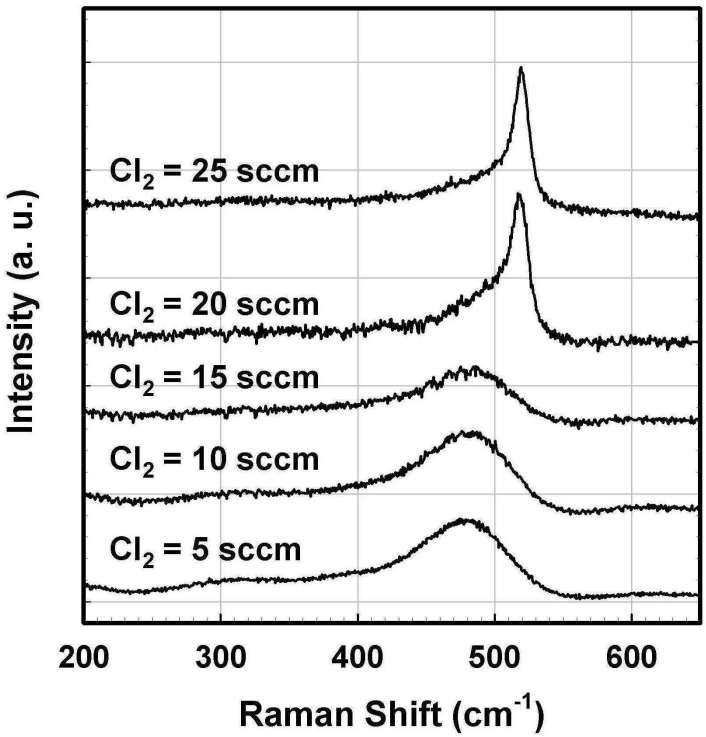
도면2c



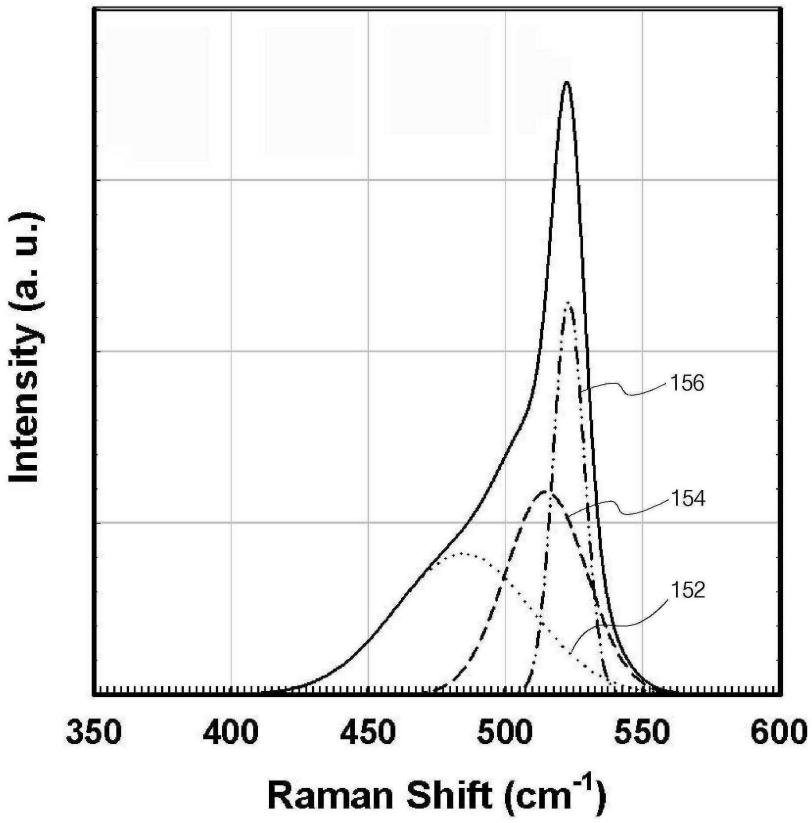
도면3



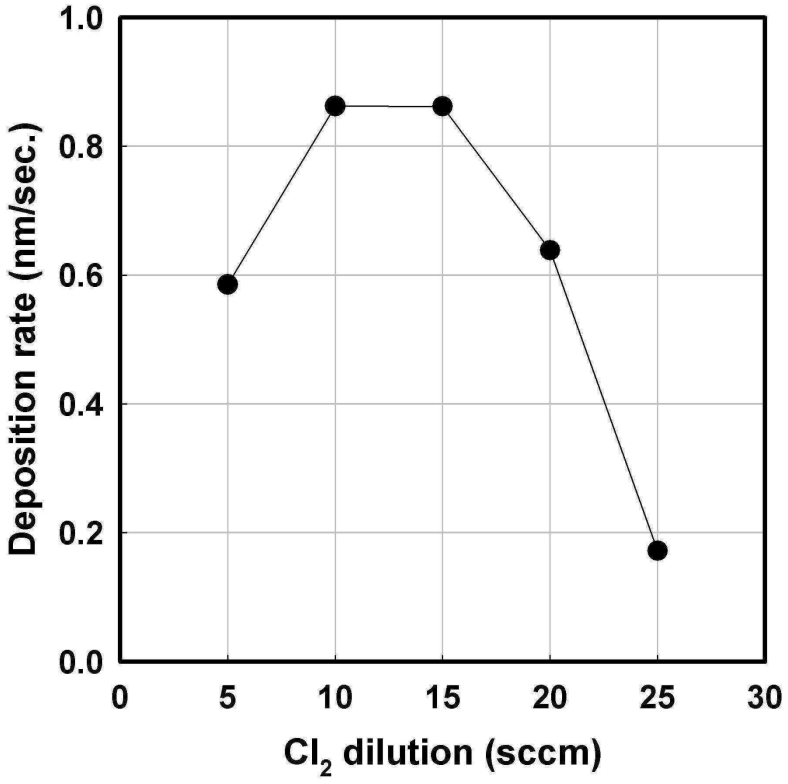
도면4


Cl2 = 25 sccm
Cl2 = 20 sccm
Cl2 = 15 sccm
Cl2 = 10 sccm
Cl2 = 5 sccm
Intensity (a. u.)
200
300
400
500
600
Raman Shift (cm-1)

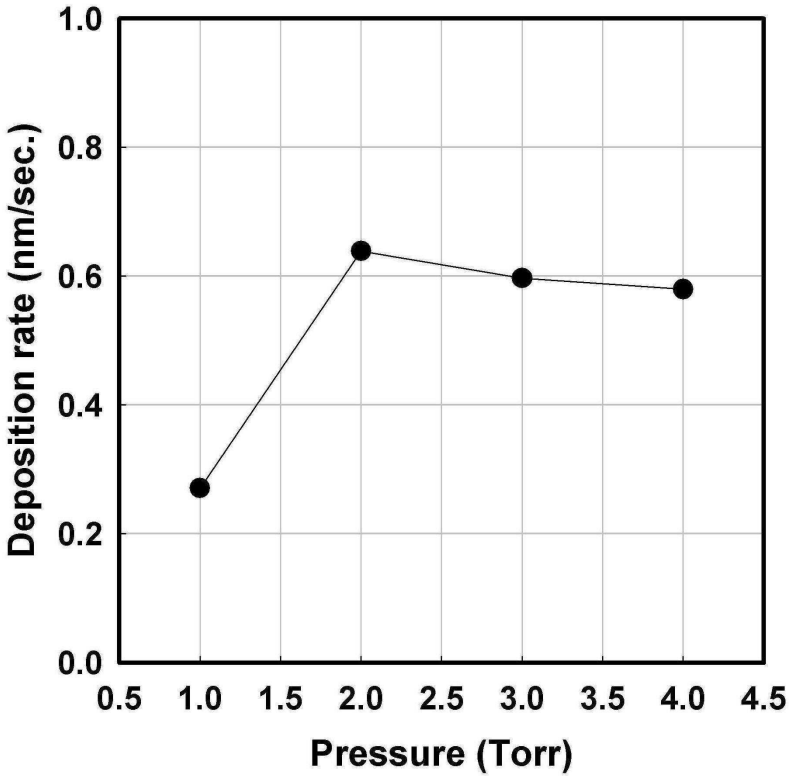
도면5


156
154
152
Intensity (a. u.)
350
400
450
500
550
600
Raman Shift (cm-1)

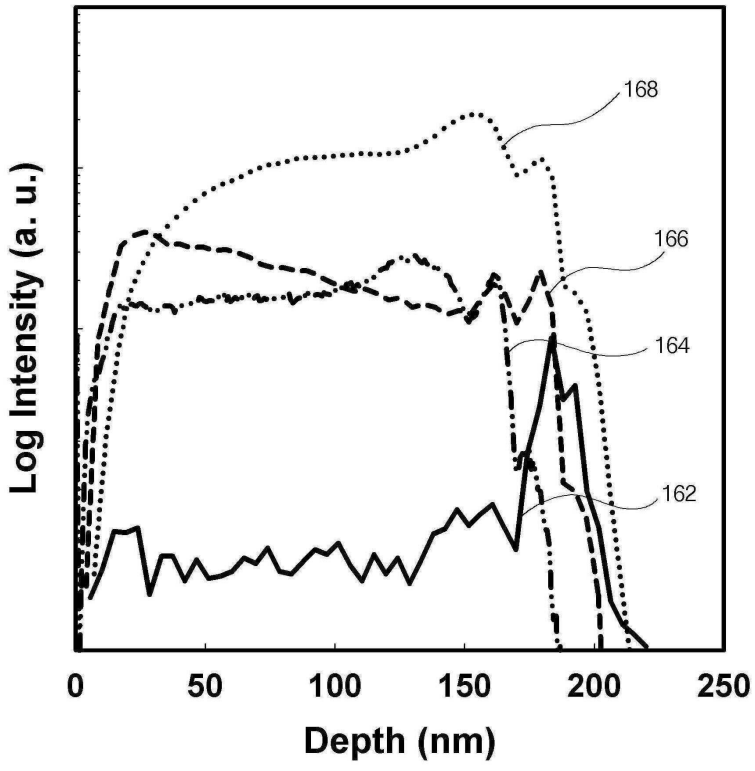
도면6


1.0
0.8
0.6
0.4
0.2
0.0
Deposition rate (nm/sec.)
0
5
10
15
20
25
30
Cl2 dilution (sccm)

도면7


Deposition rate (nm/sec.)
1.0
0.8
0.6
0.4
0.2
0.0
0.5
1.0
1.5
2.0
2.5
3.0
3.5
4.0
4.5
Pressure (Torr)

도면8


Log Intensity (a. u.)
168
166
164
162
0
50
100
150
200
250
Depth (nm)