

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 4 月 7 日(07.04.2016)



(10) 国際公開番号
WO 2016/052097 A1

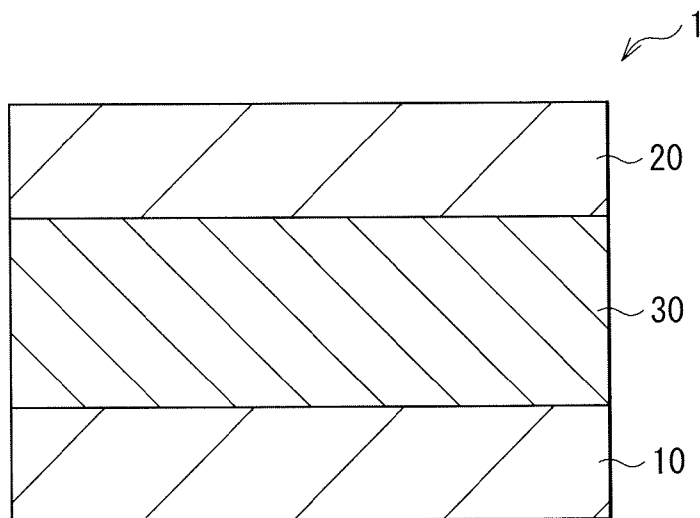
- (51) 国際特許分類:
H01L 27/105 (2006.01) *H01L 45/00* (2006.01)
G11C 11/15 (2006.01) *H01L 49/00* (2006.01)
G11C 13/00 (2006.01)
- (21) 国際出願番号: PCT/JP2015/075464
- (22) 国際出願日: 2015 年 9 月 8 日(08.09.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-201722 2014 年 9 月 30 日(30.09.2014) JP
- (71) 出願人: ソニー株式会社(SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 清 宏彰(SEI, Hiroaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 大場 和博(OHBA, Kazuhiro); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号 さわだビル 3 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: SWITCH ELEMENT AND MEMORY DEVICE

(54) 発明の名称: スイッチ素子および記憶装置



(57) Abstract: This switch element is provided with a first electrode, a second electrode disposed opposite the first electrode, and a switch layer provided between the first electrode and the second electrode, the switch layer comprising an amorphous material containing at least germanium (Ge) and nitrogen (N) or oxygen (O).

(57) 要約: 本技術のスイッチ素子は、第 1 電極および第 1 電極に対向配置された第 2 電極と、第 1 電極と第 2 電極との間に設けられたスイッチ層とを備え、スイッチ層は、少なくともゲルマニウム (Ge) と、窒素 (N) あるいは酸素 (O) とを含むアモルファス材料から構成されている。

WO 2016/052097 A1

明 細 書

発明の名称：スイッチ素子および記憶装置

技術分野

[0001] 本開示は、電極間にスイッチ特性を有するスイッチ層を備えたスイッチ素子およびこれを備えた記憶装置に関する。

背景技術

[0002] 近年、R e R A M (Resistance Random Access Memory)やP R A M (Phase-Change Random Access Memory)等の抵抗変化型メモリに代表されるデータストレージ用の不揮発性メモリの大容量化が求められている。しかしながら、現行のアクセストランジスタを用いた抵抗変化型メモリでは単位セルあたりのフロア面積が大きくなる。このため、例えばN A N D型等のフラッシュメモリと比較して同じ設計ルールを用いて微細化しても大容量化が困難であった。これに対して、交差する配線間の交点（クロスポイント）にメモリ素子を配置する、所謂クロスポイントアレイ構造を用いた場合には、単位セルあたりのフロア面積が小さくなり、大容量化を実現することが可能となる。

[0003] 一般的に、クロスポイントアレイ構造を用いた双方向メモリでは、任意のメモリセルを選択する方法として、 $V - V/2$ 選択方式が採用されている。この選択方式では、選択するメモリセルには、選択電圧として電圧 V が印加され、その他のセルには $0V$ あるいは $V/2$ が印加される。なお、 $V/2$ が印加されるメモリセルは半選択セルという。

[0004] クロスポイント型メモリでは、メモリセルの数を増やすことによって容量を大きくすることができるが、メモリセルの数が増えるにつれて、上記 $V/2$ が印加される各半選択セルに流れる電流の総量も増える。このため、省電力且つ、大容量なクロスポイント型のメモリを実現するためには、回路に流れる最大電流を抑える必要がある。即ち、メモリセルに電圧 V が印加されたとき（選択時）に流れる大きな電流値（オン）と、 $V/2$ が印加されたとき（半選択時）に流れる小さな電流値（オフ）との選択比（オン／オフ比）

が十分に確保されることが求められる。

- [0005] オン／オフ比は、各メモリセルを構成するメモリ素子にスイッチ素子組み合わせることによって大きくすることができる。メモリ素子としては、例えば、PNダイオードや金属酸化物を用いて構成された印加電圧に対して連続的に抵抗値が変化する、所謂、閾値電圧を持たない非線形抵抗型のもの（例えば、MIM）や、ある閾値電圧以上で抵抗値が小さくなるアバランシェダイオード等が挙げられる（例えば、非特許文献1，2参照）。この他、例えばカルコゲナイド材料を用いたスイッチ素子（オボニック閾値スイッチ（OTS；Ovonic Threshold Switch：例えば、特許文献1，2参照））が挙げられる。

先行技術文献

特許文献

- [0006] 特許文献1：特開2006-86526号公報
特許文献2：特開2010-157316号公報

非特許文献

- [0007] 非特許文献1：Jiun-Jia Huang他，2011 IEEE IEDM11-733～736
非特許文献2：Wootae Lee他，2012 IEEE VLSI Technology symposium p.37～38

発明の概要

- [0008] 上記スイッチ素子の中でも、閾値電圧を有するアバランシェダイオードやオボニック閾値スイッチは、選択時および非選択時（あるいは、半選択時）に印加される電圧 V および $V/2$ が、閾値電圧をまたぐように設定することで選択比を大きく取りやすく、メモリ素子として組み合わせるスイッチ素子として好ましい。特に、オボニック閾値スイッチは、詳細は後述するが、ある閾値電圧以上で抵抗値が下がり見かけ上の抵抗値がマイナスとなる負性抵抗特性もしくはS型負性抵抗特性を有するため、より選択比を大きく取りやすい。

- [0009] しかしながら、オボニック閾値スイッチを構成するカルコゲナイド材料は、化学的安定性および熱的安定性が低い。このため、大容量メモリを実現する際に用いられる半導体プロセス、例えば、エッチング等を用いる微細化プロセスや高温プロセスに対する耐性が低いという問題があった。
- [0010] 従って、半導体プロセスに対する安定性が高く、オン／オフ比の大きなスイッチ素子および記憶装置を提供することが望ましい。
- [0011] 本技術の一実施形態のスイッチ素子は、第1電極および第1電極に対向配置された第2電極と、第1電極と第2電極との間に設けられたスイッチ層とを備え、スイッチ層は、少なくともゲルマニウム（Ge）と、窒素（N）あるいは酸素（O）とを含むアモルファス材料から構成されたものである。
- [0012] 本技術の一実施形態の記憶装置は、記憶素子およびこれに接続された上記スイッチ素子を含むメモリセルを複数備えたものである。
- [0013] 本技術の一実施形態のスイッチ素子および一実施形態の記憶装置では、第1電極と第2電極との間に設けられたスイッチ層を、少なくともゲルマニウム（Ge）と、窒素（N）あるいは酸素（O）とを含むアモルファス材料から構成するようにした。上記材料は、半導体プロセスに対して親和性が高く、比較的、化学的および熱的に安定な材料であるため、半導体プロセスに対する安定性が向上する。
- [0014] 本技術の一実施形態のスイッチ素子または一実施形態の記憶装置によれば、第1電極と第2電極との間のスイッチ層を、少なくともゲルマニウム（Ge）と、窒素（N）あるいは酸素（O）とを含むアモルファス材料から構成するようにした。これにより、半導体プロセスに対して安定、且つ、メモリ素子の電圧印加時に流れる電流のオン／オフ比を大きくすることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

図面の簡単な説明

- [0015] [図1]本開示の一実施の形態に係るスイッチ素子の構成を表す断面図である。
[図2A]メモリ素子の電流電圧（I-V）特性を表す特性図である。

[図2B]スイッチ素子の電圧変化を表す特性図である。

[図2C]メモリセルのI-V特性を表す特性図である。

[図3]図1に示したスイッチ素子を備えたメモリセルアレイの一例を表す斜視図である。

[図4]図3に示したメモリセルの構成を表す断面図である。

[図5A]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図5B]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図5C]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図5D]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図5E]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図5F]図3に示したメモリセルアレイの他の例を表す斜視図である。

[図6A]本開示の変形例に係るスイッチ素子の構成の一例を表す断面図である。

[図6B]本開示の変形例に係るスイッチ素子の構成の他の例を表す断面図である。

[図6C]本開示の変形例に係るスイッチ素子の構成の他の例を表す断面図である。

[図7A]図6Cに示したスイッチ素子を備えたメモリセルの構成の一例を表す断面図である。

[図7B]図6Cに示したスイッチ素子を備えたメモリセルの構成の他の例を表す断面図である。

[図7C]図6Cに示したスイッチ素子を備えたメモリセルの構成の他の例を表す断面図である。

[図8]本開示の実験例1-1におけるI-V特性図である。

[図9]本開示の実験例1-2におけるI-V特性図である。

[図10]本開示の実験例2-2におけるI-V特性図である。

[図11]本開示の実験例2-4におけるI-V特性図である。

[図12]本開示の実験例2-12におけるI-V特性図である。

[図13]本開示の実験例2-13におけるI-V特性図である。

[図14] $S_i / (S_i + G_e)$ 比と閾値電圧との関係を表す特性図である。

[図15]本開示の実験3における含窒素比と閾値電圧との関係を表す特性図である。

[図16]本開示の実験3における含酸素比と閾値電圧との関係を表す特性図である。

[図17]本開示の実験例4-1におけるI-V特性図である。

[図18]本開示の実験例4-3におけるI-V特性図である。

[図19]本開示の実験例4-5におけるI-V特性図である。

[図20]本開示の実験例4-6におけるI-V特性図である。

[図21]本開示の実験例5-1におけるI-V特性図である。

[図22]本開示の実験例5-2におけるI-V特性図である。

発明を実施するための形態

[0016] 以下、本開示の実施の形態について、以下の順に図面を参照しつつ説明する。

1. 実施の形態（電極間にGeとNあるいはOとを含むスイッチ層を設けた例）

1-1. スイッチ素子

1-2. 記憶装置

2. 変形例（電極間に高抵抗層を追加した例）

3. 実施例

[0017] <1. 実施の形態>

（1-1. スイッチ素子）

図1は、本開示の一実施の形態に係るスイッチ素子1の断面構成を表したものである。このスイッチ素子1は、例えば、図3に示した、所謂クロスポイントアレイ構造を有するメモリセルアレイ2において複数配設されたうちの任意の記憶素子（記憶素子2Y；図3）を選択的に動作させるためのものである。スイッチ素子1（スイッチ素子2X；図3）は、記憶素子2Y（具

体的には記憶層40)に直列に接続されており、下部電極10(第1電極)、スイッチ層30および上部電極20(第2電極)をこの順に有するものである。

[0018] 下部電極10は、半導体プロセスに用いられる配線材料、例えば、タングステン(W)、窒化タングステン(WN)、窒化チタン(TiN)、銅(Cu)、アルミニウム(Al)、モリブデン(Mo)、タンタル(Ta)、窒化タンタル(TaN)およびシリサイド等により構成されている。下部電極10がCu等の電界でイオン伝導が生じる可能性のある材料により構成されている場合にはCu等よりなる下部電極10の表面を、W、WN、窒化チタン(TiN)、Ta₂N等のイオン伝導や熱拡散しにくい材料で被覆するようにしてもよい。

[0019] 本実施の形態におけるスイッチ層30は、ゲルマニウム(Ge)と、窒素(N)あるいは酸素(O)とを含むアモルファス材料から構成されている。スイッチ層30に含まれる窒素あるいは酸素は数%程度含まれていればよい。具体的には、窒素は、例えば3原子%以上40原子%以下を含んでいることが好ましく、酸素は、例えば3原子%以上55原子%以下を含んでいることが好ましい。これにより、スイッチ層30は、ある閾値電圧以上で見かけ上の抵抗値がマイナスとなる負性抵抗特性を有するようになり、スイッチ素子1に印加される電圧がある値(スイッチング閾値電圧)を超えたときに、電流を数桁倍流すようになる。

[0020] スイッチ層30は、この他、添加元素として、ホウ素(B)、炭素(C)およびケイ素(Si)のいずれか1種あるいは2種以上を含んでいることが好ましい。これら添加元素を用いることによって、オフ状態における電流値(オフ電流値)が減少し、メモリセルのオン/オフ比をさらに大きくすることができる。また、スイッチ層30の膜厚は、特に限定されないが、例えば50nm以下であることが好ましい。

[0021] なお、スイッチ層30は、本開示の効果を損なわない範囲でこれら以外の元素を含んでいてもかまわない。

- [0022] 上部電極 20 は、下部電極 10 と同様に公知の半導体配線材料を用いることができるが、ポストアニールを経てもスイッチ層 30 と反応しない安定な材料が好ましい。
- [0023] 本実施の形態のスイッチ素子 1 は、初期状態ではその抵抗値は高く（高抵抗状態（オフ状態））、電圧を印加すると、ある電圧（スイッチング閾値電圧）において低く（低抵抗状態（オン状態））なるスイッチ特性を有すると共に、負性抵抗特性を有する。また、スイッチ素子 1 は、印加電圧をスイッチング閾値電圧より下げる、あるいは、電圧の印加を停止すると高抵抗状態に戻るものであり、オン状態が維持されない。即ち、スイッチ素子 1 は、図示しない電源回路（パルス印加手段）から下部電極 10 および上部電極 20 を介して電圧パルスあるいは電流パルスの印加によって、スイッチ層 30 の相変化（非晶質相（アモルファス相）と結晶相）を生じないものである。
- [0024] 前述したように、メモリ（メモリセルアレイ）の大容量化は図 3 に示したような、交差する配線間のクロスポイント付近にメモリ素子とスイッチ素子とが積層されたメモリセルが配置されたクロスポイントアレイ構造を採用することで実現することができる。
- [0025] メモリセルを、メモリ素子のみから構成した場合、半選択電圧 $V/2$ がメモリセルに印加されたときに流れる電流値は、メモリ素子に $V/2$ の電圧が印加させたときの電流値と等しくなる。即ち、メモリ素子の抵抗状態が低い場合には大きな電流（オフ）が流れてしまうため、複数のメモリセルから構成されるクロスポイント型のメモリでは、任意のメモリセルを選択的に動作させることが難しい。
- [0026] これに対して、メモリセルを、メモリ素子とスイッチ素子とから構成、具体的には、互いに直列に接続した構成とする場合には、半選択電圧 $V/2$ がメモリセルに印加されたときに流れる電流値は、スイッチ素子の抵抗値がメモリ素子の抵抗値よりも大きければ、小さくなる。これは、印加電圧の大部分がスイッチ素子に分圧されるからであり、即ち、半選択セルに流れるリーク電流（オフ）が低減されるようになる。また、選択電圧 V がメモリセルに

印加されたとき、選択電圧 V がスイッチ素子の閾値電圧よりも大きな場合には、スイッチ素子の抵抗値が低下（スイッチ）して電流が流れるようになり（オン）、直列接続されたメモリ素子に電圧が印加されるようになる。即ち、メモリ素子の抵抗値を変化させて書き込みあるいは消去等の操作を行うことが可能となる。このように、メモリ素子とスイッチ素子とを組み合わせることにより、メモリセルの選択比（オン／オフ比）を大きくし、任意のメモリセルを選択的に動作させることが可能となる。

[0027] 前述したカルコゲナイド材料を用いたオボニック閾値スイッチは、ある閾値電圧（スイッチング閾値電圧）以上で見かけ上の抵抗値がマイナスとなる負性抵抗特性もしくはS型負性抵抗特性を有するため、オン／オフ比が大きく、クロスポイント型メモリのような複数のメモリセルを備えたメモリに用いるスイッチ素子として適しているといえる。

[0028] 負性抵抗特性を有するスイッチ素子の電流電圧（ $I-V$ ）特性は、スイッチ素子および既知の抵抗値を持つ負荷抵抗に対して電圧を印加し、その印加電圧を上昇させた際の電流を測定し、負荷抵抗に係る電圧を差し引くことで調べることができる。通常は、スイッチ素子に対して印加電圧を上昇させていくと電流値も上昇していく。ところが、負性抵抗を有するスイッチ素子では、ある閾値電圧以上で逆に電圧が減少していき、保持電圧と呼ばれる電圧まで下がったのち電流だけが上昇し、見かけ上の抵抗値がマイナスとなる。この負性抵抗特性は、スイッチ素子に対して電流値を上昇させていった際の電圧を測定することでも観測することができる。

[0029] 図2Aは、一般的なメモリ素子の $I-V$ 特性を表したものである。メモリ素子に印加する電圧を増加させていくと、閾値電圧（ V_0 ）に達した時点で抵抗値が高いオフ状態（A）から低抵抗状態へと変化（B）し、オン状態（C）になる。また、印加する電流を減少させていくと、抵抗値は、オン状態を維持したまま電圧が減少する（D）。このように、メモリ素子は、印加電圧を低下させても変化した抵抗値が保持されるヒステリシス特性を有している。図2Bは、負性抵抗特性を有するスイッチ素子（ X_0 ）および負性抵抗特性を

持たないスイッチ素子 (Y_0) に印加する電流を変化させたときに印加される電圧変化を表したものである。なお、縦軸は電流値を対数で表わしている。負性抵抗特性を持たないスイッチ素子に印加する電流を増加させていくと、電圧は Y_0 のように、単調に増加していく。一方、負性抵抗特性を有するスイッチ素子では、印加する電流を増加させていくと、閾値電圧 (V_{x0}) までは電圧は単調に増加する (A) が、閾値電圧 (V_{x0}) を超えると、電圧値が減少し (B)、見かけ上抵抗値がマイナスとなる。その後、電流値を上昇させても電圧は一定のままとなる (C)。なお、スイッチ素子は、負性抵抗特性の有無にかかわらず、ヒステリシス特性を持たない。

[0030] 図 2 C は、図 2 A に示した $I-V$ 特性を有するメモリ素子と、上記図 2 B に示した特性図を有するスイッチ素子 (X_0 , Y_0) とを直列に接続してメモリセル (X , Y) とし、その $I-V$ 特性を表したものである。図 2 C に示したように、メモリ素子とスイッチ素子とを組み合わせたメモリセルでは、印加電圧がある電圧 (閾値電圧) に達すると急峻な電流増加がみられる。この急峻な電流増加は、メモリ素子が高抵抗状態から低抵抗状態に変化した際に生じるものであり、この急峻な電圧変化が生じる電圧が、メモリセルのスイッチング閾値電圧である。このメモリセルのスイッチング閾値電圧を選択動作電圧 V (V_x , V_y ; オン)、その半分の電圧を半選択電圧 $V/2$ ($(V/2)_x$, $(V/2)_y$; オフ) とし、このときの電流値 (オン-オフ差) をそれぞれ比較すると、負性抵抗特性を有するスイッチ素子を用いたメモリセル (X) の方が、負性抵抗特性を持たないスイッチ素子を用いたメモリセル (Y) よりもオン/オフ比が大きいことがわかる。これは、スイッチ素子の閾値電圧以上の電圧がスイッチ素子に印加されると、その負性抵抗特性によって、スイッチ素子にかかる電圧値が減少し、その分メモリ素子に印加される分圧が増加することによる。即ち、より小さな印加電圧 V でメモリ素子をスイッチさせることができ、加えて、半選択電圧 $V/2$ も小さくなるため、メモリセルの半選択時のリーク電流を減らすことができる。

[0031] このように、負性抵抗特性を有するスイッチ素子は、負性抵抗特性を持た

ないスイッチ素子と比較してメモリセルのオン／オフ比を向上させることが可能となる。また、非選択（あるいは半選択）メモリセルに流れるリーク電流を低減することができる。このため、クロスポイント型メモリのように、複数のメモリセルを備えたメモリのスイッチ素子として好適であり、メモリセルの数を更に増やすことによって大容量化を実現することができる。

[0032] しかしながら、負性抵抗特性を有する、カルコゲナイド材料を用いたスイッチ素子は、クロスポイント型メモリ等を製造する際に用いられる半導体プロセスに対する耐性が低いという問題があった。具体的には、化学的安定性が低いため、エッチング等による微細化プロセス中における損傷や、比較的低融点であるため、高温プロセスでの状態安定性が懸念される。

[0033] これに対して、本実施の形態のスイッチ素子 1 では、スイッチ層 30 をゲルマニウム (Ge) と、窒素 (N) あるいは酸素 (O) とを含むアモルファス材料から構成するようにした。ゲルマニウム (Ge) と、窒素 (N) あるいは酸素 (O) とを含むアモルファス材料は、半導体プロセスに対する親和性が高く、比較的、化学的および熱的に安定な材料である。このため、エッチング等による微細化プロセスや、高温プロセスを容易に用いることが可能となる。

[0034] 以上のように、本実施の形態では、スイッチ層 30 を、半導体プロセスに対して親和性が高い、ゲルマニウム (Ge) と、窒素 (N) あるいは酸素 (O) とを含むアモルファス材料から構成するようにした。これにより、製造時に用いる半導体プロセスに対して化学的および熱的な安定性が向上し、信頼性が向上する。よって、大容量且つ、信頼性の高い記憶装置を提供することが可能となる。

[0035] (1-2. 記憶装置)

記憶装置（メモリ）は、後述する記憶素子 2 Y を多数、例えば列状やマトリクス状に配列することにより構成することができる。このとき、本開示のスイッチ素子 1 は、スイッチ素子 2 X として、記憶素子 2 Y と直列に接続されており、これによりメモリセル 2 A を構成している。メモリセル 2 A は、

配線を介してセンスアンプ、アドレスデコーダおよび書き込み・消去・読み出し回路等に接続される。

[0036] 図3は、交差する配線間の交点（クロスポイント）にメモリセル2 Aを配置した、所謂クロスポイントアレイ型の記憶装置（メモリセルアレイ2）の一例を表したものである。このメモリセルアレイ2では、各メモリセル2 Aに対して、Y軸方向に延伸すると共に、下部電極1 0に相当する配線（例えばビット線；B L（行ライン））と、X軸方向に延伸すると共に、上部電極2 0に相当する配線（例えばワード線；W L（縦ライン））とを交差するよう設けられている。このように、クロスポイントアレイ構造を用いることにより、単位セルあたりのフロア面積を小さくすることが可能であり、大容量化を実現することが可能となる。更に、ビット線、メモリセル2 Aおよびワード線から構成される単位構造がZ軸方向に積層された3次元立体構造とすることによって、より高密度、且つ、大容量なメモリを実現することができる。なお、ビット線あるいはワード線を上下のメモリセルで共有する構造としてもよい。また、ビット線、メモリセル2 Aおよびワード線から構成される単位構造の積層間に、層間絶縁膜（図示せず）を設けてもよい。

[0037] メモリセル2 Aを構成する記憶素子2 Yは、例えば、下部電極、記憶層4 0および上部電極をこの順に有するものである。記憶層4 0は、例えば下部電極側から抵抗変化層4 2およびイオン源層4 1が積層された積層構造あるいは抵抗変化層4 2の単層構造によって構成されている。なお、ここではスイッチ層3 0と記憶層4 0との間には中間電極5 0（第3電極）が設けられており、この中間電極5 0がスイッチ素子2 Xの上部電極と、記憶素子2 Yの下部電極とを兼ねている。具体的には、メモリセル2 Aは、例えば図4に示したように、下部電極1 0と上部電極2 0との間に、スイッチ層3 0、中間電極5 0、抵抗変化層4 2およびイオン源層4 1がこの順に積層された構成を有する。

[0038] なお、上記のように、メモリセルアレイ2における下部電極1 0および上部電極2 0は、それぞれビット線（B L）およびワード線（W L）でもよい

し、あるいは、ビット線（BL）およびワード線（WL）に挟まれるように、下部電極10および上部電極20を形成してもよい。図3に示したスイッチ素子2Xおよび記憶素子2Yは、具体的には、それぞれスイッチ層30および記憶層40に相当する。また、図3では中間電極50を省略して指名している。

[0039] 記憶層40は、上記のように、例えばイオン源層41と抵抗変化層42との積層構造のような構成を有する、所謂抵抗変化型記憶素子（メモリ素子）であればよい。例えば遷移金属酸化物からなる抵抗変化メモリ、PCM（相変化型メモリ）あるいはMRAM（磁気抵抗変化型メモリ）を用いてもかまわない。

[0040] イオン源層41は、電界の印加によって抵抗変化層42内に伝導パスを形成する可動元素と、例えば遷移金属元素（周期律表第4族～第6族）およびカルコゲン元素を含んでいる。このため、イオン源層41は化学的安定性や耐熱性が高い。可動元素としては、例えばCuなどの遷移金属元素やAlなどが挙げられる。その他にも、マンガン（Mn）、コバルト（Co）、鉄（Fe）、ニッケル（Ni）および白金（Pt）、Si等や酸素（O）や窒素（N）を含んでもかまわない。

[0041] 抵抗変化層42は、例えば金属元素または非金属元素の酸化物あるいは窒化物によって構成されており、下部電極10と上部電極20との間に所定の電圧を印加した場合にその抵抗値が変化するものである。具体的には、下部電極10と上部電極20との間に電圧が印加されると、イオン源層41に含まれる遷移金属元素が抵抗変化層42内に移動して伝導パスが形成され、抵抗変化層42は低抵抗化する。あるいは、抵抗変化層42内で酸素欠陥や窒素欠陥等の構造欠陥が生じて伝導パスが形成され、抵抗変化層42は低抵抗化する。また、逆方向の電圧を印加することによって伝導パスは切断、または導電性が変化する。これにより、抵抗変化層42は高抵抗化する。

[0042] なお、抵抗変化層42に含まれる金属元素および非金属元素は必ずしもすべてが酸化物の状態でなくてもよく、一部が酸化されている状態であっても

よい。また、抵抗変化層 4 2 の初期抵抗値は、例えば数 MΩ から数百 GΩ 程度の素子抵抗が実現されればよく、素子の大きさやイオン源層 4 1 の抵抗値によってもその最適値が変化するが、その膜厚は例えば 1 nm ~ 10 nm 程度が好ましい。

[0043] 中間電極 5 0 は、例えば電界の印加によってカルコゲナイドを含むスイッチ層 3 0 およびイオン源層 4 1 中へイオンの溶解・析出等の酸化還元反応およびイオンの移動が生じにくい不活性な材料であれば特に問わない。なお、中間電極 5 0 は必ずしも設ける必要はなく、適宜省略してもかまわない。

[0044] 記憶素子 2 Y は、図示しない電源回路（パルス印加手段）から下部電極 1 0 および上部電極 2 0 を介して電圧パルスあるいは電流パルスを印加すると、記憶層 4 0 の電気的特性（抵抗値）が変化する抵抗変化型の記憶素子であり、これにより情報の書き込み、消去、更に読み出しが行われる。

[0045] 具体的には、記憶素子 2 Y では、初期状態（高抵抗状態）の素子に対して「正方向」（例えば第 1 電極側を負電位、第 2 電極側を正電位）の電圧または電流パルスが印加されると、イオン源層に含まれる金属元素（例えば、遷移金属元素）がイオン化して記憶層中（例えば、抵抗変化層中）に拡散、あるいは酸素イオンが移動することによって抵抗変化層中に酸素欠陥が生成する。これにより記憶層内に酸化状態の低い低抵抗部（伝導パス）が形成され、抵抗変化層の抵抗が低くなる（記録状態）。この低抵抗な状態の素子に対して「負方向」（例えば第 1 電極側を正電位、第 2 電極側を負電位）へ電圧パルスが印加されると、抵抗変化層中の金属イオンがイオン源層中へ移動、あるいはイオン源層から酸素イオンが移動して伝導パス部分の酸素欠陥が減少する。これにより金属元素を含む伝導パスが消滅し、抵抗変化層の抵抗が高い状態となる（初期状態または消去状態）。なお、記憶層 4 0 を抵抗変化層 4 2 の単層で構成する場合には、正方向の電圧（または電流パルス）が印加される場合と、抵抗変化層 4 2 に印加される電界によって欠陥が生成され、負方向へ電圧パルスが印加されると、欠陥は抵抗変化層内の酸素イオンや窒素イオンの移動によって修復される。

[0046] なお、クロスポイントアレイ型のメモリセルアレイ 2 は、図 3 に示した構造に限定されるものではない。例えば、図 5 A に示したように、WL は X 軸方向に、BL は Z 軸方向に延伸すると共に、それぞれ一对の WL および BL が対向する交点にメモリセル 2 A を有する構造としてもよい。また、図 5 B に示したように、X 軸方向および Z 軸方向にそれぞれ延伸する WL および BL の交点の両面に、それぞれメモリセル 2 A を有する構造としてもよい。更に、図 5 C に示したように、BL が X 軸方向に、WL が Z 軸方向に延伸するようにしてもよい。また、WL および BL は必ずしも一方向に延伸する必要はなく、例えば、図 5 D に示したように、WL の一部が X 軸方向あるいは Y 軸方向に延伸するような構造としてもよい。あるいは、図 5 E に示したように、あるいは、WL が X 軸方向から Y 軸方向に連続して屈折するようにしてもよい。更にまた、図 5 F に示したように、WL を、複数の BL に対して、共通としてもよい。

[0047] なお、本実施の形態の記憶装置（メモリセルアレイ 2）では、抵抗変化型の記憶素子 2 Y を用いたメモリ装置を例に説明したが、これに限らず、各種のメモリ装置に適用することができる。例えば、一度だけ書き込みが可能な PROM、電氣的に消去が可能な EEPROM、或いは、高速に書き込み・消去・再生が可能な、いわゆる RAM 等、いずれのメモリ形態でも適用することが可能である。

[0048] < 2. 変形例 >

図 6 A は、上記実施の形態に係る本開示の変形例としてのスイッチ素子 3 A の断面構成の一例を表したものである。このスイッチ素子 3 A は、下部電極 1 0 と上部電極 2 0 との間に、スイッチ層 3 0 に加えて高抵抗層 7 0 が設けられた点が、上記スイッチ素子 1 とは異なる。なお、上記実施の形態と同一の構成要素については同一符号を付してその説明は省略する。

[0049] 高抵抗層 7 0 は、例えば、スイッチ層 3 0 よりも絶縁性が高く、例えば、金属元素あるいは非金属元素の酸化物や窒化物、またはこれらの混合物を含んで構成されている。

[0050] なお、本変形例におけるスイッチ素子3は、スイッチ層30と高抵抗層70とが接していればよい。ここでは、高抵抗層70をスイッチ層30に対して下部電極10側に設けた例を示したが、これに限らず、スイッチ層30に対して上部電極20側に設けても構わない。更に、例えば、図6Bに示したように、スイッチ層30に対して、下部電極10および上部電極20の両側、即ち、スイッチ層30を高抵抗層70A、70Bで挟むようにしてもよい。あるいは、スイッチ層30を2層（スイッチ層30A、30B）とし、スイッチ層30Aとスイッチ層30Bとの間に高抵抗層70を設けるようにしてもよい。更にまた、ここでは示していないが、スイッチ層および高抵抗層70をそれぞれ複数組積層した多層構造としてもよい。

[0051] また、クロスポイントアレイ構造を有するメモリセルアレイ2において、本変形例のスイッチ素子3A～3Cと、記憶素子2Yとを直列に接続するメモリセル4としては、例えば、図7A～図7Cに示したような積層構造が挙げられる。ここで、図7A～図7Cは、図6Cに示したスイッチ素子3Cを用いたものである。図7Aに示したメモリセル4Aは、スイッチ層30Bの上部電極側に中間電極50を介して記憶層40を積層したものである。図7Bに示したメモリセル4Bは、中間電極50を省略したものである。図7Cに示したメモリセル4Cは、スイッチ層30Aと高抵抗層70との間に記憶層を設けたものである。このように、スイッチ素子3と記憶素子2Yとを直列に接続する場合には、スイッチ層30（スイッチ層30A、30B）、高抵抗層70と記憶層40との積層順は特に問わない。

[0052] なお、本変形例における記憶装置は、記憶層40に、所謂PCMおよびMRAMの構成を適用した場合も同様である。

[0053] <3. 実施例>

以下、本開示の具体的な実施例について説明する。

[0054] （実験1）

まず、TiNよりなる下部電極10を逆スパッタによってクリーニングした。次に、成膜チャンバー内に窒素を流しながらリアクティブスパッタによ

ってTiN上にGe-Nxからなるスイッチ層30を20nmの膜厚で成膜したのち、Wを30nmの膜厚で形成して上部電極20とした。続いて、320℃、2時間の熱処理およびパターニングを行ったのち、固定抵抗を直列に接続することによって特性測定用のスイッチ素子（実験例1-1, 1 Resistance-1 Selector素子）を作製した。また、成膜チャンバー内に酸素を流した以外は同様の方法を用いて、Ge-Oxからなるスイッチ層30を有する特性測定用のスイッチ素子（実験例1-2）を作製した。実験例1-1, 1-2の各層の組成については、「下部電極／スイッチ層／上部電極」の順に以下に示す。これら実験例1-1, 1-2に対して、印加電圧 V_{in} を、 $0V \rightarrow 6V \rightarrow 0V \rightarrow -6V \rightarrow 0V$ のように変化したDCループ測定を行い、スイッチ素子のみの電圧に対する電流変化（抵抗変化）を調べた。

（実験例1-1）TiN／Ge-Nx（20nm）／W（30nm）

（実験例1-2）TiN／Ge-Ox（30nm）／W（30nm）

[0055] 図8および図9は、実験例1-1および実験例1-2における印加電圧と各電極に流れる電流値との関係（IV特性）を表したものである。横軸は特性測定用のスイッチ素子のみに印加された電圧 V_{se} （印加電圧 V_{in} から直列抵抗にかかる電圧を引いた値）であり、縦軸は各電圧 V_{se} において測定された電流値である。なお、この測定において印加電圧 V_{in} は主にスイッチ層30と直列抵抗に分圧される。

[0056] 図8からわかるように、Ge-Nxからなるスイッチ層30を備えた実験例1-1では、1.5V付近で電流がより多く流れるようになっている。これは、1.5V付近でスイッチ層30の抵抗値が高抵抗状態から低抵抗状態にスイッチしたためであり、この抵抗値が変化する電圧をスイッチング閾値電圧という。即ち、Ge-Nxからなるスイッチ層30はスイッチング閾値電圧以上で抵抗値が下がり電流がより大きく流れるようになるスイッチ特性を有することがわかる。更に、閾値電圧を境にスイッチ素子にかかる V_{se} が逆に低下しており負性抵抗特性を有することがわかる。また、このIV曲線から、実験例1-1は、電流が多く流れるオン状態は維持されず、ヒス

テリシスを持たないことがわかった。更に、マイナス（－）側の印加電圧に対しても対称の特性を有することがわかった。これら特性は、図 9 から、Ge-Nx からなるスイッチ層 30 を有する実験例 1-2 も有することがわかった。即ち、ゲルマニウムと窒素あるいはゲルマニウムと酸素とを組み合わせた材料から構成されたスイッチ層 30 を備えたスイッチ素子 1 は負性抵抗特性およびスイッチ特性を有することがわかった。

[0057] (実験 2)

次に、スイッチ層 30 を SiGe-Nx から構成し、その成膜時において流入させるガスの流量組成を変えた以外は、実験 1 と同様の方法を用いて以下のサンプル（実験例 2-1～2-13）を作製した。各サンプルにおけるガスの流量組成は、アルゴン（Ar）ガス流量を 75 sccm、窒素（N₂）流量を 10 sccm とし、Si / (Si + Ge) の割合が、それぞれ 0%，7%，13%，20%，25%，49%，59%，69%，78%，85%，90%，97%，100% となるようにした。なお、実験例 2-1～2-13 の各層の組成については、「下部電極／スイッチ層／上部電極」の順に以下に示す。また、各サンプルにおけるスイッチ層 30 および上部電極 20 の膜厚は、それぞれ 30 nm である。これらサンプルに対して、実験 1 と同様に DC ループ測定を行い、電圧に対する電流変化（抵抗変化）を調べた。

(実験例 2-1) TiN / Ge-Nx / W

(実験例 2-2) TiN / Si7-Ge93-Nx / W

(実験例 2-3) TiN / Si13-Ge87-Nx / W

(実験例 2-4) TiN / Si20-Ge80-Nx / W

(実験例 2-5) TiN / Si25-Ge75-Nx / W

(実験例 2-6) TiN / Si49-Ge51-Nx / W

(実験例 2-7) TiN / Si59-Ge41-Nx / W

(実験例 2-8) TiN / Si69-Ge31-Nx / W

(実験例 2-9) TiN / Si78-Ge22-Nx / W

(実験例 2-10) TiN / Si85-Ge15-Nx / W

(実験例 2-11) $\text{TiN}/\text{Si}_{90}\text{-Ge}_{10}\text{-N}_x/\text{W}$

(実験例 2-12) $\text{TiN}/\text{Si}_{97}\text{-Ge}_3\text{-N}_x/\text{W}$

(実験例 2-13) $\text{TiN}/\text{Si-N}_x/\text{W}$

[0058] 図 10～図 13 は、それぞれ実験例 2-2, 2-6, 2-11, 2-13 の I-V 特性表わしたものである。図 13 から、スイッチ層 30 を Si-N_x のみで構成した場合には、スイッチ特性が得られないことがわかった。これに対して、図 10, 図 11 から、 Ge-N_x からなるスイッチ層 30 に Si を加えることにより、図 9 と比較してオフ電流値が減少すると共に、スイッチング後の電流値との差が大きくなり、抵抗変化がより明確になることがわかった。即ち、スイッチ層 30 は、 Ge-N_x だけでなく、ケイ素 (Si) を添加することによってスイッチ特性をより改善することができることがわかった。

[0059] また、図 12 から、スイッチ層 30 に含まれる Si が $\text{Si} + \text{Ge}$ に対して 90 原子%以上 97 原子%以下の場合には、スイッチ特性は有するものの、劣化により電圧増加時と減少時の電流値の差が大きく、繰り返し用いることは困難であることがわかった。また、図 13 に示したように、 $\text{Si} 100\%$ である実験例 2-13 では、スイッチ特性を示さなかった。これらのことから、 Si の比率が多いものはスイッチ特性が不安定になりやすく、ばらつきが生じやすくなると考えられる。また、図 10 等から Si が 0%以上 7%以下の実験例 2-1, 2-2 では、スイッチ特性はえられるものの、このスイッチ特性による電圧変化が小さく、オフ時におけるリーク電流が比較的大きいことがわかった。

[0060] 図 14 は、実験例 2-1～2-13 の $\text{Si}/(\text{Si} + \text{Ge})$ 比に対するスイッチング閾値電圧をプロットしたものである。なお、スイッチ特性を持たない場合のスイッチング閾値電圧は 0 としている。図 14 から、 Si はスイッチ層 30 に $\text{Si} + \text{Ge}$ に対して 0%～97%の範囲での添加でスイッチング閾値電圧および負性抵抗特性およびスイッチ特性を有することがわかった。換言すると、 Si-N_x 膜は、 Ge が 3%以上含まれていれば負性抵抗特

性およびスイッチ特性を有することがわかる。即ち、ケイ素、ゲルマニウムおよび窒素から構成されるスイッチ層30を備えたスイッチ素子1では、 $\text{Si} + \text{Ge}$ に対する Si の含有量が0%以上97%以下で負性抵抗特性およびスイッチ特性が得られ、さらに好ましくは、 $\text{Si} + \text{Ge}$ に対する Si の含有量は7%以上90%以下となる。また、 Ge の比で言い換えると、 $\text{Ge} + \text{Si}$ に対する Ge の割合が、3%以上100%以下で負性抵抗特性およびスイッチ特性が得られ、さらに好ましくは、 Ge が10%以上93%以下であるといえる。

[0061] (実験3)

次に、実験3として、スイッチ層30を構成する Si と Ge との比率を $\text{Si} : \text{Ge} = 6 : 4$ とし、その成膜時において流入させるガスの流量組成を変えた以外は、実験1と同様の方法を用いて以下のサンプル(実験例3-1~3-9)を作製した。各サンプルにおけるガスの流量組成は、アルゴン(Ar)ガス流量を75 sccm、窒素(N_2)流量を0, 2, 5, 7, 10, 15, 20, 25, 30 sccmとした。同様に、スイッチ層30を構成する Si と Ge との比率を $\text{Si} : \text{Ge} = 5 : 5$ とし、ガスの流量組成は、アルゴン(Ar)ガス流量を75 sccm、酸素(O_2)流量を0, 1, 2, 5, 10, 15, 20 sccmとしてサンプル(実験例3-10~3-16)を作製した。表1, 2は、これらサンプルにおけるN含有量あるいはO含有量をそれぞれXPSを用いて測定し、まとめたものである。また、これらサンプルに対して、実験1と同様にDCループ測定を行い、電圧に対する電流変化(抵抗変化)を調べ、各窒素(N)あるいは酸素(O)の含有量に対するスイッチング閾値電圧の変化を図15($\text{SiGe}-\text{Nx}$)および図16($\text{SiGe}-\text{Ox}$)に示した。

[0062]

[表1]

	窒素 (N ₂) 流量	XPS 測定値 (%)
実験例 3-1	0	0
実験例 3-2	2	3
実験例 3-3	5	18
実験例 3-4	7	23
実験例 3-5	10	27
実験例 3-6	15	32
実験例 3-7	20	36
実験例 3-8	25	40
実験例 3-9	30	42

[0063] [表2]

	窒素 (N ₂) 流量	XPS 測定値 (%)
実験例 3-10	0	0
実験例 3-11	1	3
実験例 3-12	2	20
実験例 3-13	5	30
実験例 3-14	10	36
実験例 3-15	15	42
実験例 3-16	20	51

[0064] 図 15 から、窒素の含有量が 3 原子%以上 40 原子%以下の範囲ではスイッチング閾値電圧が存在すると共に、電圧印加に急激に電流値が変化する負性抵抗特性およびスイッチ特性を有することがわかった。また、窒素含有量が 0 原子%または 43 原子%ではスイッチング閾値電圧は存在せず、スイッ

チ特性が見られなかった。従って、 SiGe-Nx からなるスイッチ層30において負性抵抗特性およびスイッチ特性が得られる窒素含有量は3原子%以上40原子%以下とすることが好ましいことがわかった。一方、図16から酸素の含有量が3原子%以上55原子%以下の範囲ではスイッチング閾値電圧が存在すると共に、電圧印加に急激に電流値が変化する負性抵抗特性およびスイッチ特性を有することがわかった。また、酸素含有量が0原子%または60原子%ではスイッチング閾値電圧は存在せず、スイッチ特性が見られなかった。従って、 SiGe-Ox からなるスイッチ層30において負性抵抗特性およびスイッチ特性が得られる酸素含有量は3原子%以上55原子%以下とすることが好ましいことがわかった。

[0065] (実験4)

次に、実験4として、上記実験1と同様の方法を用い、成膜チャンバー内にアルゴンガスおよび窒素ガスを流しつつ、添加元素として炭素(C)あるいはホウ素(B)、またはその両方を含む GeNx からなるスイッチ層30を成膜し、サンプル(実験例4-1~4-3)を作製した。また、同様に、窒素ガスの代わりに酸素ガスを成膜チャンバー内に流して、添加元素として炭素(C)あるいはホウ素(B)、またはその両方を含む GeOx からなるスイッチ層30を成膜し、サンプル(実験例4-4)を作製した。さらに、アルゴンガスおよび窒素ガスを成膜チャンバー内に流して、添加元素としてケイ素(Si)、炭素(C)を用いたサンプル(実験例4-5)およびケイ素(Si)、ホウ素(B)を用いたサンプル(実験例4-6)を作製した。各サンプルにおけるスイッチ層30の組成比を以下に示す。なお、スイッチ層30および上部電極20の膜厚は、それぞれ30nmである。これらサンプルに対して、実験1と同様にDCループ測定を行い、電圧に対する電流変化(抵抗変化)を調べた。図17~図20は、それぞれ、実験例4-1, 4-3, 4-5, 4-6におけるIV特性を表したものであり、表3は、各サンプルにおけるスイッチング閾値電圧をまとめたものである。

(実験例4-1) TiN/C20-Ge80-Nx/W

(実験例 4-2) TiN/B25-Ge85-Nx/W

(実験例 4-3) TiN/B56-C-14-Ge30-Nx/W

(実験例 4-4) TiN/B56-C-14-Ge30-Ox/W

(実験例 4-5) TiN/Si20-C20-Ge60-Nx/W

(実験例 4-6) TiN/B5-Si47.5-Ge47.5-Nx/W

[0066] [表3]

	スイッチング 閾値電圧 (V)
実験例 4-1	2.1
実験例 4-2	2.0
実験例 4-3	3.0
実験例 4-4	2.4
実験例 4-5	2.5
実験例 4-6	2.8

[0067] 実験 1 における実験例 1-1 の I-V 特製と比較すると、添加元素として C を用いることによって、スイッチ層 30 はオフ時の電流値が下がり、スイッチング閾値電圧後の電流値との差が明確になった。また、負性抵抗特性が明確になった。実験例 4-1 と実験例 4-3 とを比較すると、添加元素として、さらにホウ素を用いることによって、オフ時の電流値が更に減少し、スイッチング閾値電圧後の電流値との差が更に上昇することがわかった。即ち、スイッチ層 30 に用いる添加元素は、実験 2 で用いたケイ素だけでなく、さらにホウ素や炭素を用いることで、スイッチ層 30 のスイッチ特性を向上させることができることがわかった。

[0068] また、図 20 および図 21 から、添加元素としてケイ素、ホウ素、炭素を 2 種以上混合して用いても負性抵抗特性およびスイッチ特性を改善できることがわかった。以上のことから、本開示のスイッチ層を構成する Ge-Nx、Ge-Ox には、添加元素として、ケイ素、ホウ素、炭素をいずれか 1 種あるいは 2 種以上を組み合わせ用いることによって、オフ時のリーク電流を

減少させる等のスイッチ特性の更なる改善ができることがわかった。

[0069] なお、ケイ素と炭素とは同族元素で同じ価数を取りうるため性質が類似していると考えられる。炭素とゲルマニウムと窒素の組み合わせの混合は、ケイ素とゲルマニウムと窒素と同じ範囲で同等の効果が得られると推測できる。このことから、スイッチ層30に添加する炭素の好ましい割合は、ケイ素と同様に、ゲルマニウムと炭素とで100%としたとき、ゲルマニウムの割合が3～100%でスイッチ特性が得られるが、さらに好ましくはゲルマニウムが10～93%となると考えられる。

[0070] また、ホウ素の価数は3であるので、ゲルマニウムに対する比としてはケイ素や炭素より多く添加されても特性改善効果を得ることができると推測される。ホウ素添加の場合は、上記のケイ素（あるいは炭素）の組成範囲に対してケイ素や炭素の一部または全てをホウ素で置換する。その場合、ケイ素（あるいは炭素）を1個置換する場合、ホウ素は4/3個置換する形となる。これにより、ホウ素とゲルマニウムと窒素の組み合わせの場合、ゲルマニウムの割合が2～100%でスイッチ特性が得られるが、さらに好ましくはゲルマニウムが8～91%であると考えられる。

[0071] 更に、ケイ素、炭素、ホウ素の各々の添加元素が特性改善に効果があることから、これらのうち2種類以上を同時ゲルマニウムと、窒素あるいは酸素と組み合わせても添加元素による特性向上の効果が得られ、それぞれの添加元素とゲルマニウムの割合を考慮すると、窒素あるいは酸素以外の元素比で少なくともゲルマニウムが3%以上あればスイッチ特性を有し、好ましくはゲルマニウムの割合が10～91%あれば添加元素による特性改善の効果がより明確に表れると推測できる。

[0072] (実験5)

まず、実験例5-1として、TiNよりなる下部電極10を逆スパッタによってクリーニングした。次に、成膜チャンバー内に窒素を流しながらリアクティブスパッタによってTiN上にGe-Nxからなるスイッチ層30Aを10nmの膜厚で成膜したのち、SiNx膜を5nmの膜厚に形成して高

抵抗層 70 を形成した。更に、この高抵抗層 70 上に、Ge-Nx からなるスイッチ層 30A を 10 nm の膜厚で成膜したのち、W を 30 nm の膜厚で形成して上部電極 20 とした。また、実験例 5-2 として、TiN よりなる下部電極 10 を逆スパッタによってクリーニングしたのち、TiN 上に SiNx 膜を 10 nm の膜厚に形成して高抵抗層 70 を形成した。次に、成膜チャンバー内にアルゴン (Ar) および窒素 (N) あるいは酸素 (O) を流しながらリアクティブスパッタによって Ge-Nx からなるスイッチ層 30 を 30 nm の膜厚で成膜したのち、さらに、高抵抗層 70B を成膜したのち、W を 30 nm の膜厚で形成して上部電極 20 とした。以下、上記実験 1 と同様の方法を用いてスイッチ素子 3 を作製した。以下に、実験例 5-1 および実験例 5-2 の各層の組成比を、「下部電極／スイッチ層／高抵抗層／スイッチ層／上部電極」(実験例 5-1)、「下部電極／高抵抗層／スイッチ層／高抵抗層／上部電極」(実験例 5-2) の順に示す。また、実験例 5-1 および実験例 5-2 の I-V 特性を図 21、図 22 に示す。

(実験例 5-1) TiN / Si50-Ge50-Nx (10 nm) / SiNx (5 nm) / Si50-Ge50-Nx (10 nm) / W (30 nm)

(実験例 5-2) TiN / SiNx (5 nm) / Si50-Ge50-Nx (10 nm) / SiNx (5 nm) / W (30 nm)

[0073] 図 21、22 からわかるように、下部電極 10 と上部電極 20 との間にスイッチ層 30 のほかに高抵抗層 70 を設けても、負性抵抗特性およびスイッチ特性およびスイッチング閾値電圧が存在することがわかった。

[0074] 以上、実施の形態、変形例および実施例を挙げて本開示を説明したが、本開示は、上記実施の形態等に限定されるものではなく、種々変形することが可能である。

[0075] なお、上記実施の形態、変形例および実施例に記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

[0076] また、本技術は以下のような構成も取ることができる。

(1) 第1電極および前記第1電極に対向配置された第2電極と、前記第1電極と前記第2電極との間に設けられたスイッチ層とを備え、前記スイッチ層は、少なくともゲルマニウム(Ge)と、窒素(N)あるいは酸素(O)とを含むアモルファス材料から構成されているスイッチ素子。

(2) 前記スイッチ層は、添加元素として、ホウ素(B)、炭素(C)およびケイ素(Si)のうちの少なくとも1種を含んでいる、前記(1)に記載のスイッチ素子。

(3) 前記スイッチ層に含まれる窒素(N)は、3原子%以上40原子%以下である、前記(1)または(2)に記載のスイッチ素子。

(4) 前記スイッチ層に含まれる酸素(O)は、3原子%以上55原子%以下である、前記(1)乃至(3)のうちのいずれか1つに記載のスイッチ素子。

(5) 前記スイッチ層に含まれるケイ素(Si)に対するゲルマニウム(Ge)の含有量は、3%以上である、前記(2)乃至(4)のうちのいずれか1つに記載のスイッチ素子。(6) 前記スイッチ層に含まれる前記添加元素に対するゲルマニウム(Ge)の含有量は、10%以上93%以下である、前記(2)乃至(4)のうちのいずれか1つに記載のスイッチ素子。

(7) 前記スイッチ層の膜厚は50nm以下である、前記(1)乃至(6)のうちのいずれか1つに記載のスイッチ素子。

(8) 前記スイッチ層は、印加電圧を所定の閾値電圧以上とすることにより低抵抗状態に、該閾値電圧以下に減少させることにより再び高抵抗状態に変化する、前記(1)乃至(7)のうちのいずれか1つに記載のスイッチ素子。

(9) 前記第1電極および前記第2電極の間に、金属元素又は非金属元素の酸化物あるいは窒化物を含む高抵抗層を有する、前記(1)乃至(8)のうちのいずれか1つに記載のスイッチ素子。

(10) 前記高抵抗層は、前記スイッチ層の前記第1電極側および前記第2電極側の少なくとも一方の面に設けられている、前記(9)に記載のスイッ

チ素子。

(11) 記憶素子および前記記憶素子に接続されたスイッチ素子を含むメモリセルを複数備え、前記スイッチ素子は、第1電極および前記第1電極に対向配置された第2電極と、前記第1電極と前記第2電極との間に設けられたスイッチ層とを有し、前記スイッチ層は、少なくともゲルマニウム(Ge)と窒素(N)あるいは酸素(O)とからなるアモルファス材料を含んでいる記憶装置。

(12) 前記記憶素子は前記スイッチ素子の前記第1電極および前記第2電極間に記憶層を有する、前記(11)に記載の記憶装置。

(13) 前記記憶層および前記スイッチ層は前記第1電極と前記第2電極との間に第3電極を介して積層されている、前記(12)に記載の記憶装置。

(14) 前記記憶層はテルル(Te)、硫黄(S)およびセレン(Se)から選ばれる少なくとも1種のカルコゲン元素を含むイオン源層と、抵抗変化層とを含む、前記(12)または(13)に記載の記憶装置。

(15) 複数の行ラインおよび複数の列ラインを有し、前記複数の行ラインと複数の列ラインとの各交差領域付近に前記メモリセルが配置されている、前記(11)乃至(14)のうちのいずれか1つに記載の記憶装置。

(16) 前記記憶層は、遷移金属酸化物からなる抵抗変化層、相変化型メモリ層、磁気抵抗変化型メモリ層のいずれかである、前記(12)乃至(15)のうちのいずれか1つに記載の記憶装置。

[0077] 本出願は、日本国特許庁において2014年9月30日に出願された日本特許出願番号2014-201722号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0078] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 第1電極および前記第1電極に対向配置された第2電極と、前記第1電極と前記第2電極との間に設けられたスイッチ層とを備え、
前記スイッチ層は、少なくともゲルマニウム（Ge）と、窒素（N）あるいは酸素（O）とを含むアモルファス材料から構成されている
スイッチ素子。
- [請求項2] 前記スイッチ層は、添加元素として、ホウ素（B）、炭素（C）およびケイ素（Si）のうちの少なくとも1種を含んでいる、請求項1に記載のスイッチ素子。
- [請求項3] 前記スイッチ層に含まれる窒素（N）は、3原子%以上40原子%以下である、請求項1に記載のスイッチ素子。
- [請求項4] 前記スイッチ層に含まれる酸素（O）は、3原子%以上55原子%以下である、請求項1に記載のスイッチ素子。
- [請求項5] 前記スイッチ層に含まれるケイ素（Si）に対するゲルマニウム（Ge）の含有量は、3%以上である、請求項2に記載のスイッチ素子。
- [請求項6] 前記スイッチ層に含まれる前記添加元素に対するゲルマニウム（Ge）の含有量は、10%以上93%以下である、請求項2に記載のスイッチ素子。
- [請求項7] 前記スイッチ層の膜厚は50nm以下である、請求項1に記載のスイッチ素子。
- [請求項8] 前記スイッチ層は、印加電圧を所定の閾値電圧以上とすることにより低抵抗状態に、該閾値電圧以下に減少させることにより再び高抵抗状態に変化する、請求項1に記載のスイッチ素子。
- [請求項9] 前記第1電極および前記第2電極の間に、金属元素又は非金属元素の酸化物あるいは窒化物を含む高抵抗層を有する、請求項1に記載のスイッチ素子。
- [請求項10] 前記高抵抗層は、前記スイッチ層の前記第1電極側および前記第2

電極側の少なくとも一方の面に設けられている、請求項 9 に記載のスイッチ素子。

[請求項11] 記憶素子および前記記憶素子に接続されたスイッチ素子を含むメモリセルを複数備え、

前記スイッチ素子は、

第 1 電極および前記第 1 電極に対向配置された第 2 電極と、前記第 1 電極と前記第 2 電極との間に設けられたスイッチ層とを有し、

前記スイッチ層は、少なくともゲルマニウム (Ge) と窒素 (N) あるいは酸素 (O) とからなるアモルファス材料を含んでいる

記憶装置。

[請求項12] 前記記憶素子は前記スイッチ素子の前記第 1 電極および前記第 2 電極間に記憶層を有する、請求項 11 に記載の記憶装置。

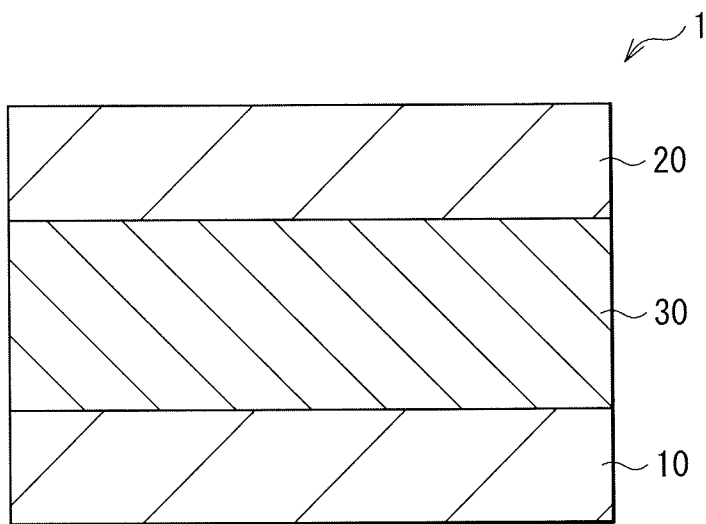
[請求項13] 前記記憶層および前記スイッチ層は前記第 1 電極と前記第 2 電極との間に第 3 電極を介して積層されている、請求項 12 に記載の記憶装置。

[請求項14] 前記記憶層はテルル (Te), 硫黄 (S) およびセレン (Se) から選ばれる少なくとも 1 種のカルコゲン元素を含むイオン源層と、抵抗変化層とを含む、請求項 12 に記載の記憶装置。

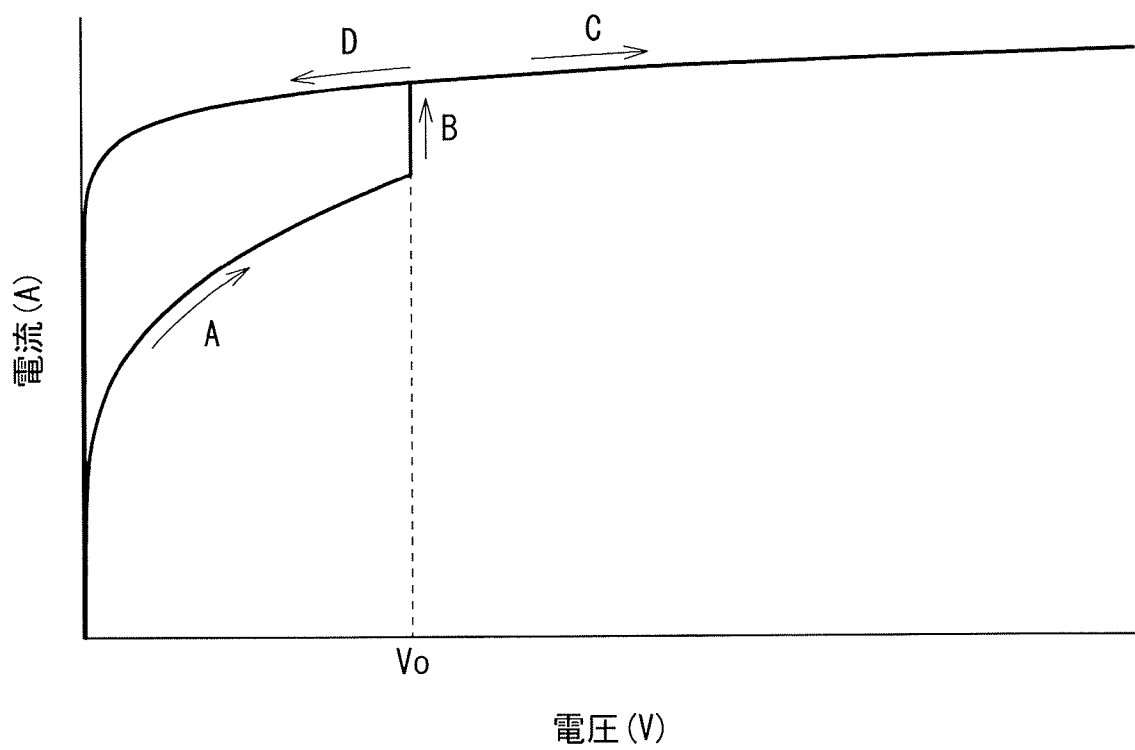
[請求項15] 複数の行ラインおよび複数の列ラインを有し、前記複数の行ラインと複数の列ラインとの各交差領域付近に前記メモリセルが配置されている、請求項 11 に記載の記憶装置。

[請求項16] 前記記憶層は、遷移金属酸化物からなる抵抗変化層、相変化型メモリ層、磁気抵抗変化型メモリ層のいずれかである、請求項 12 に記載の記憶装置。

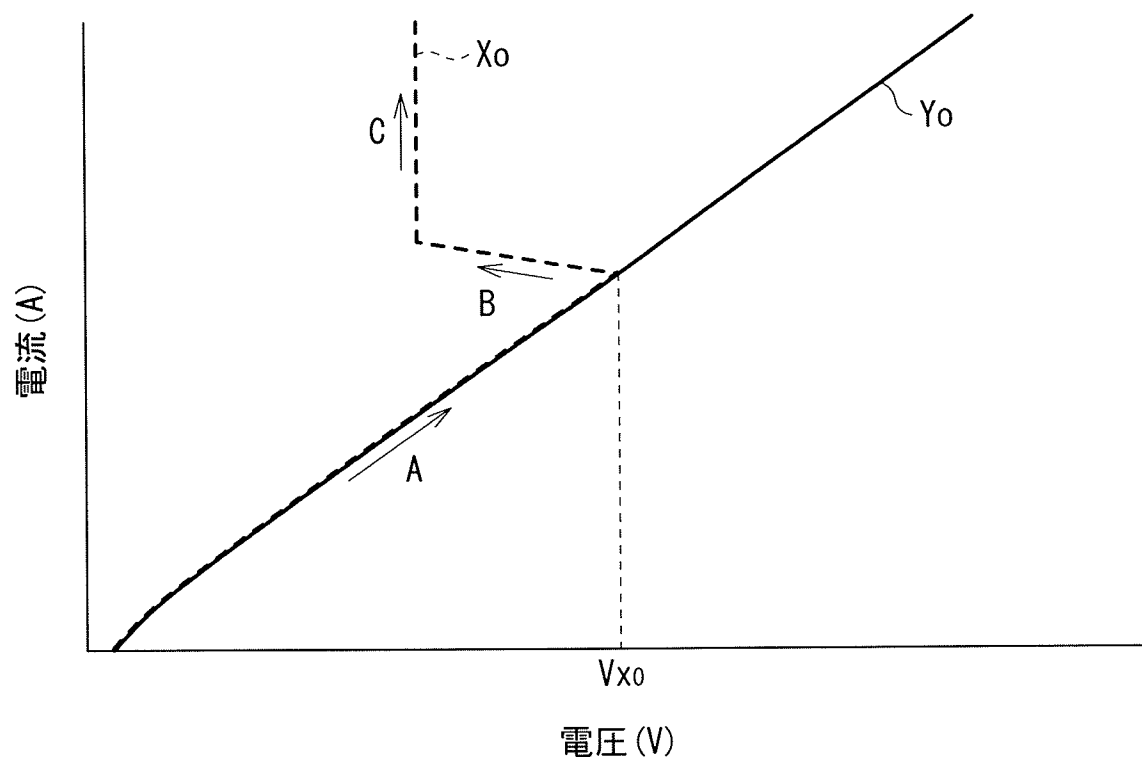
[図1]



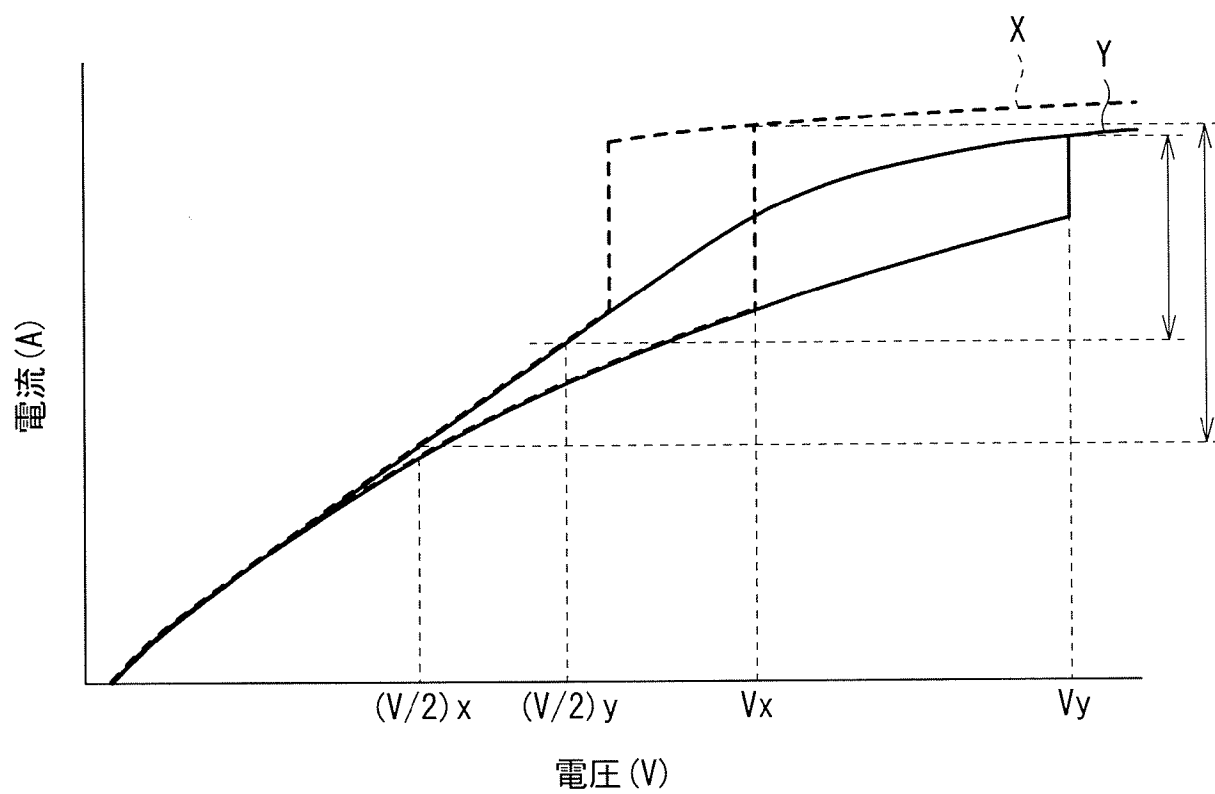
[図2A]



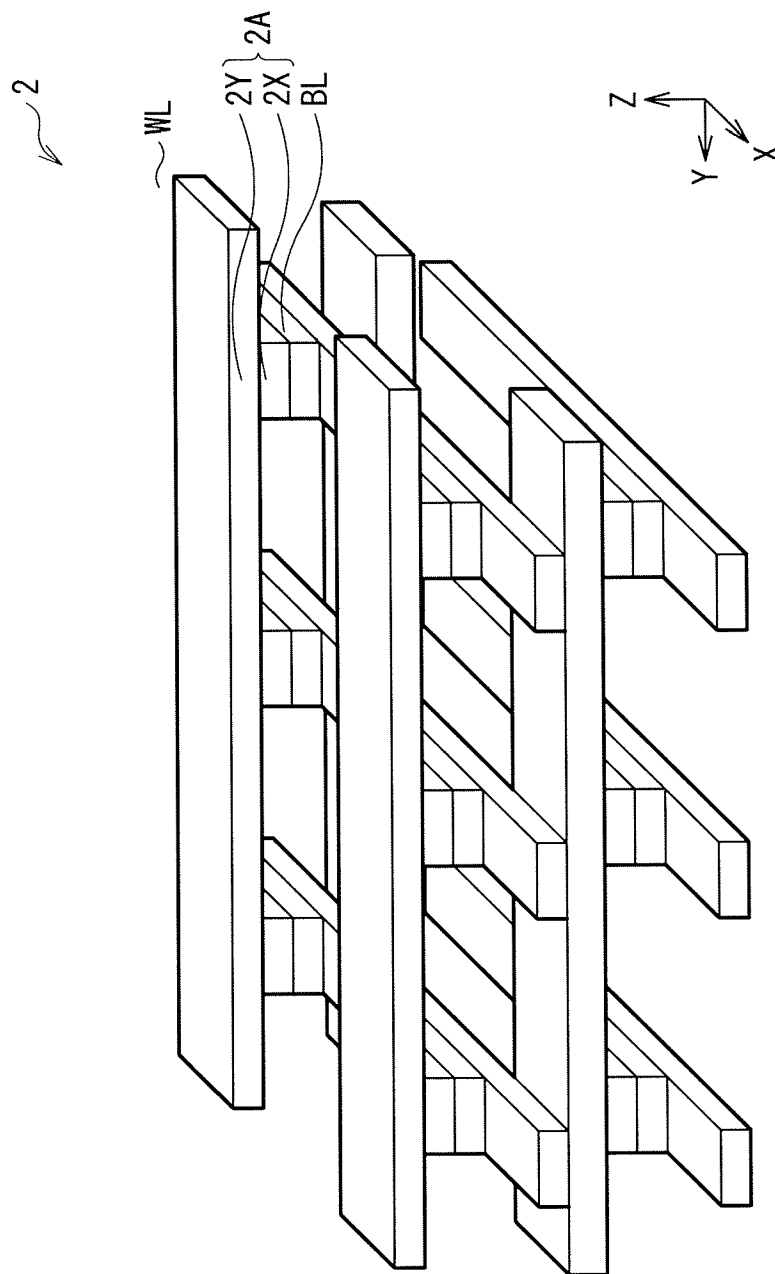
[図2B]



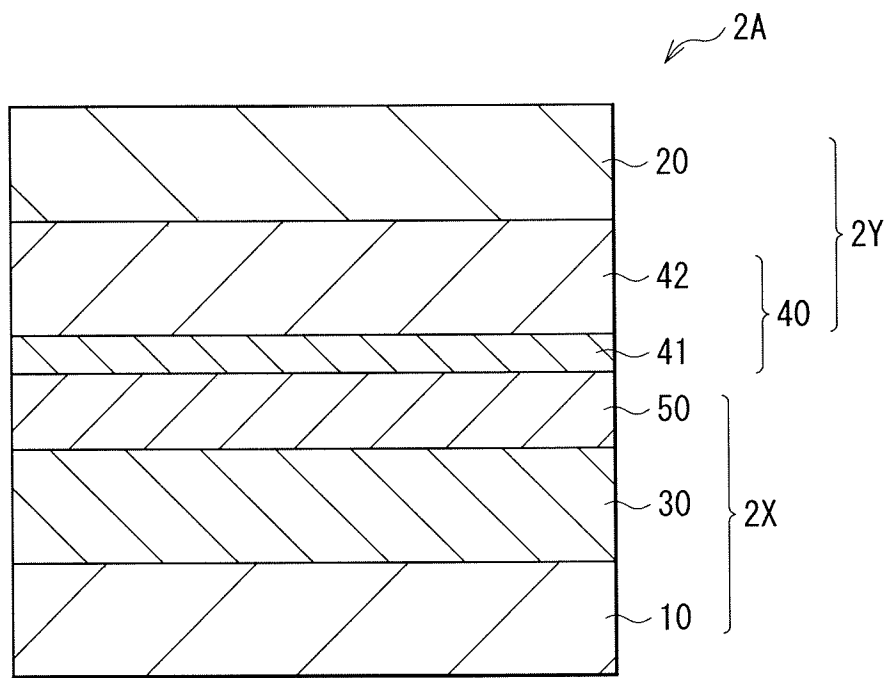
[図2C]



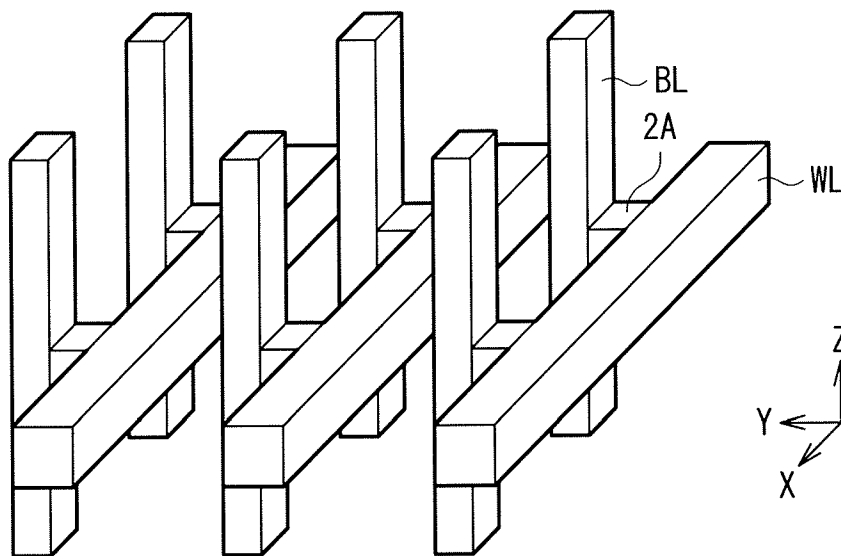
[図3]



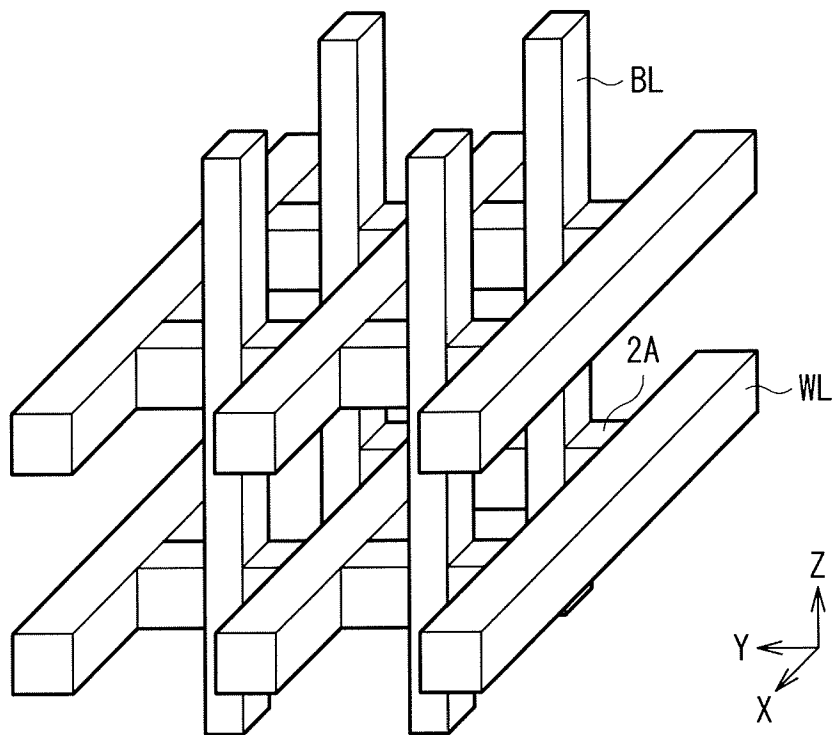
[図4]



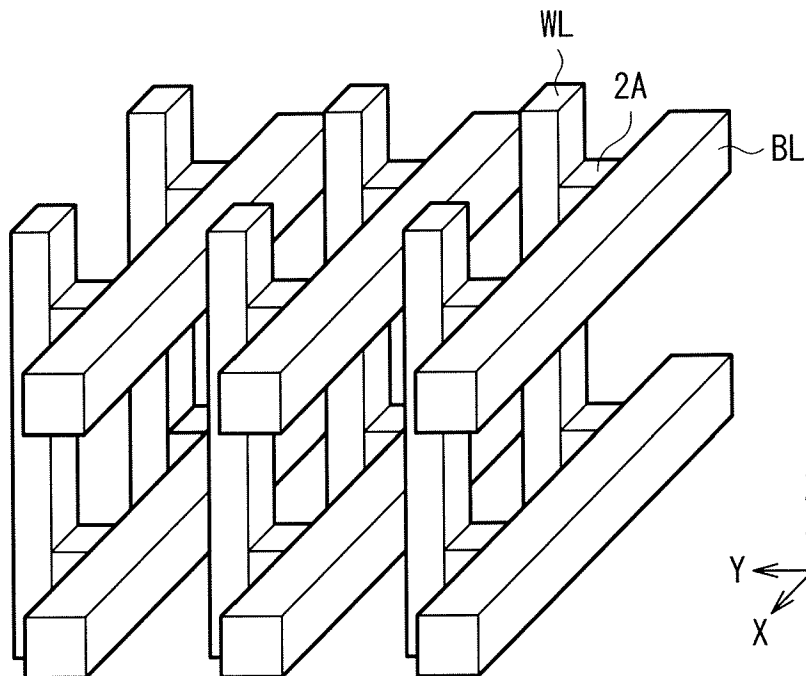
[図5A]



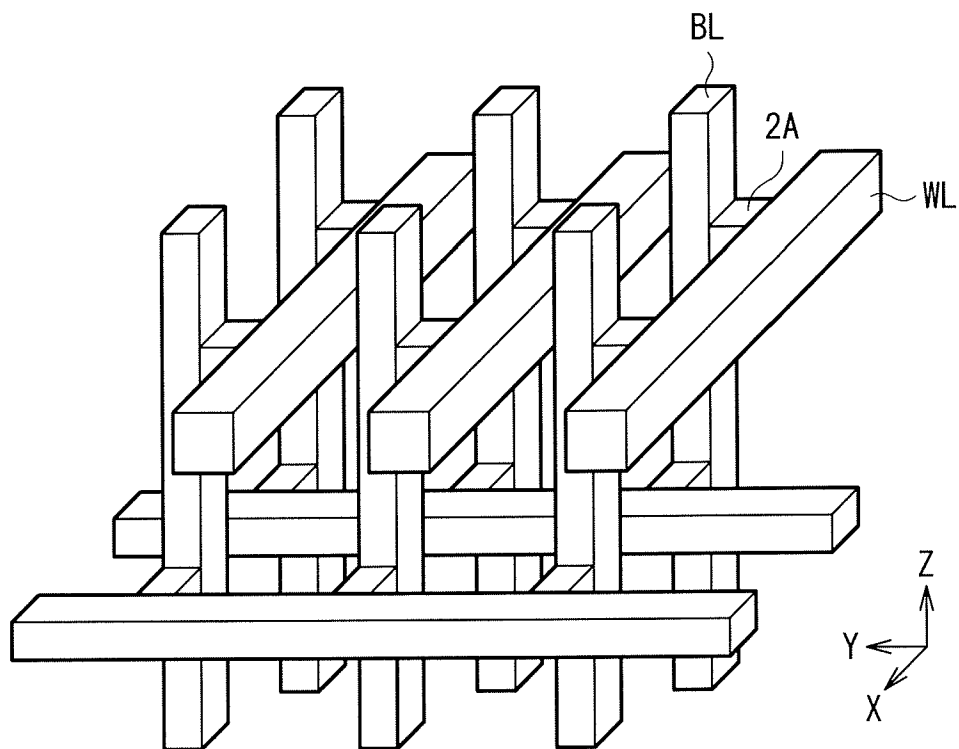
[図5B]



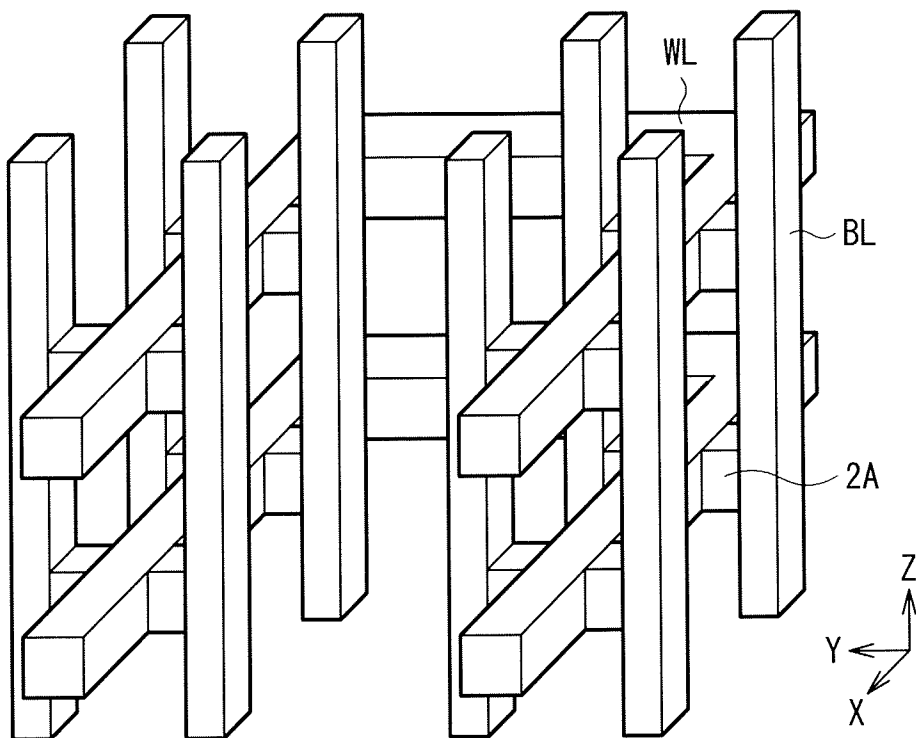
[図5C]



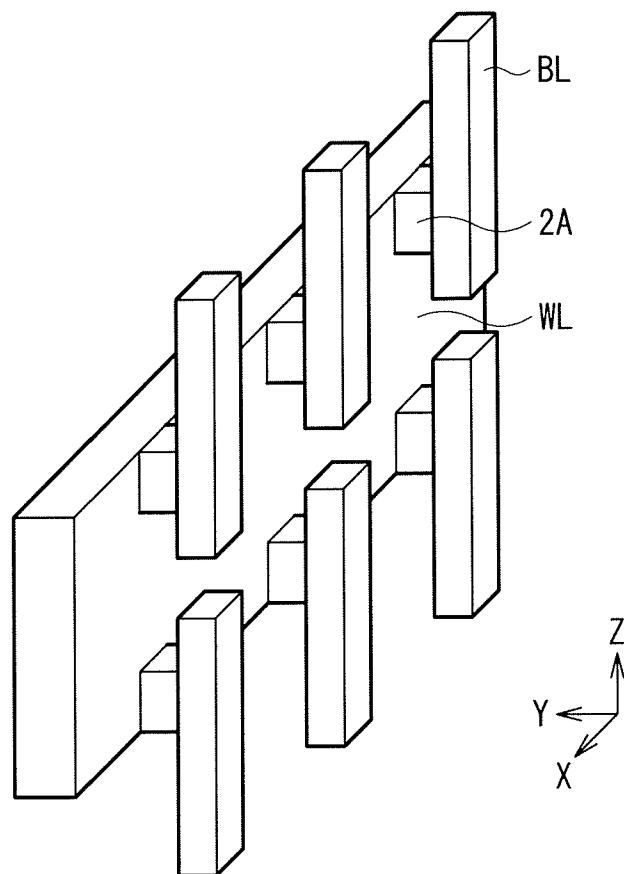
[図5D]



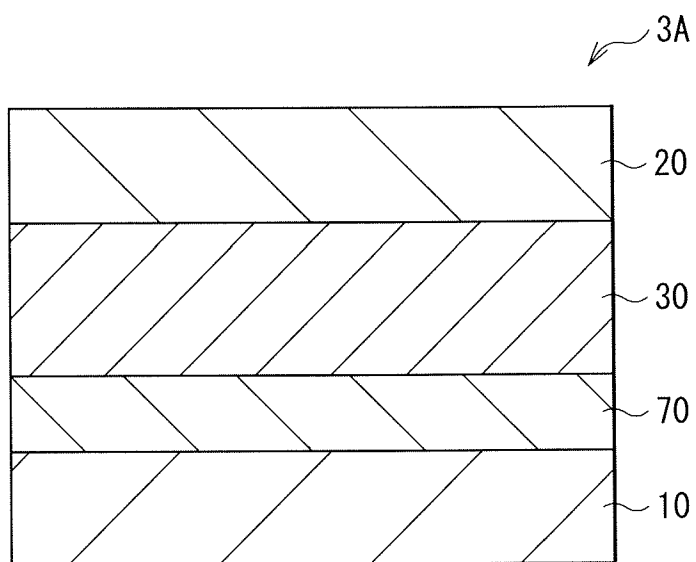
[図5E]



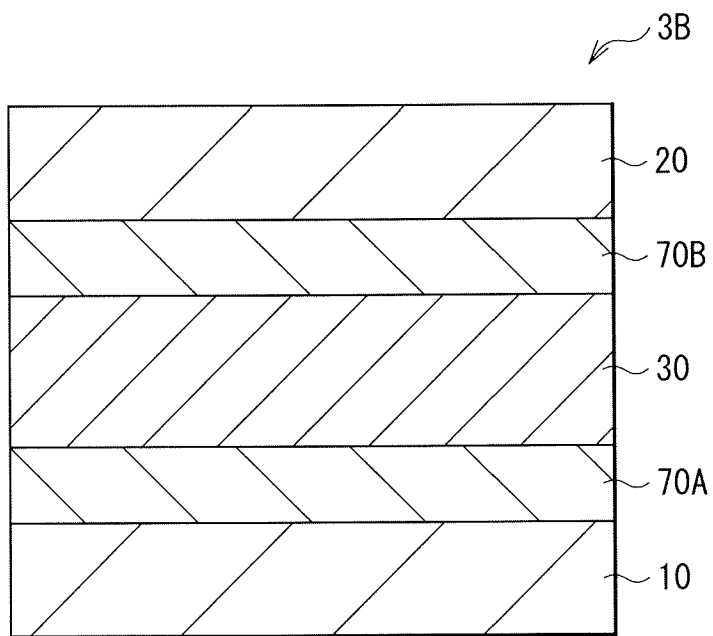
[図5F]



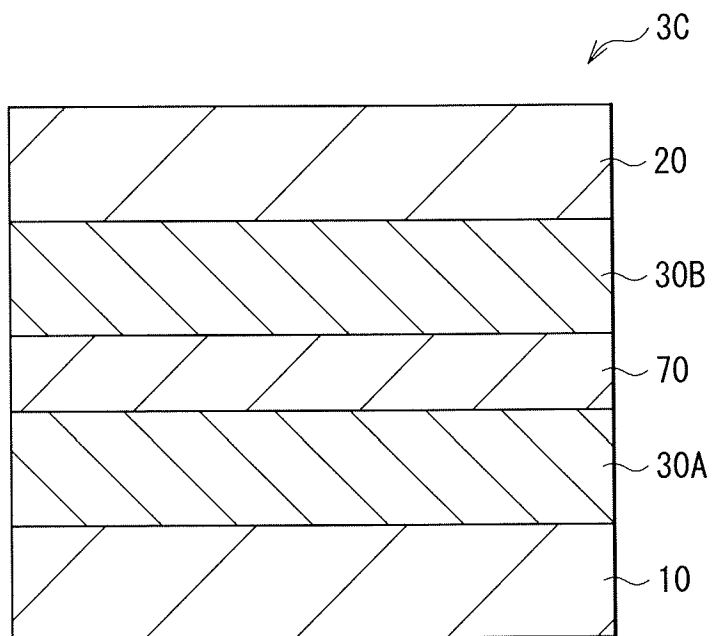
[図6A]



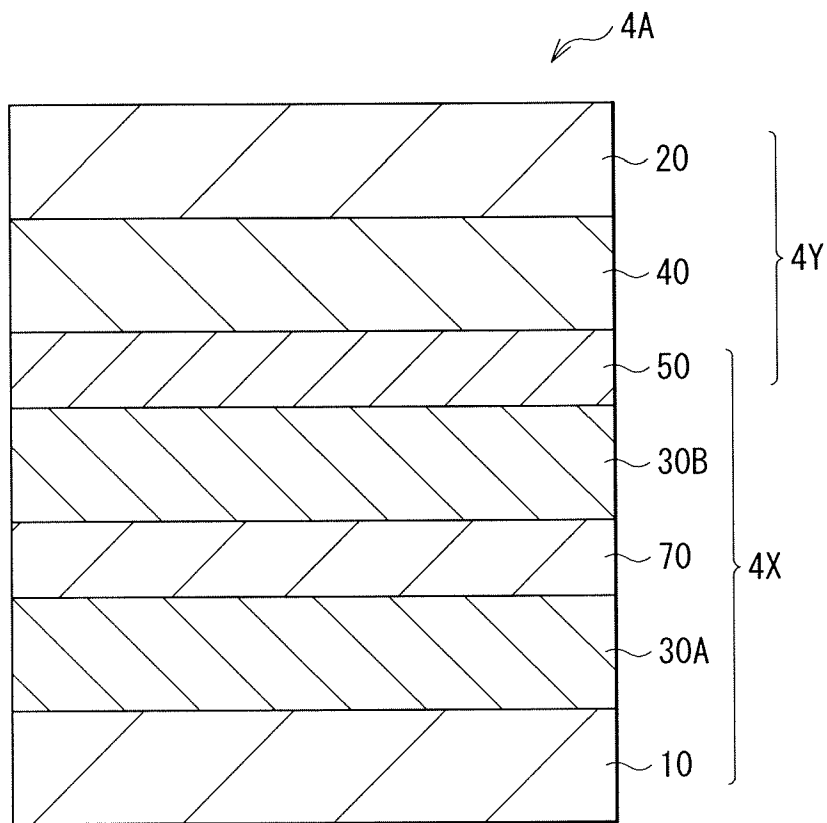
[図6B]



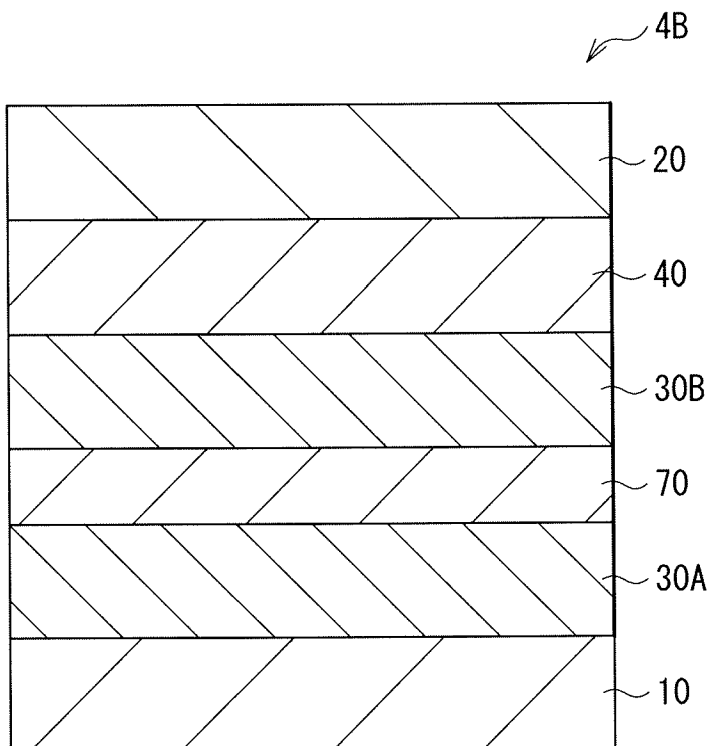
[図6C]



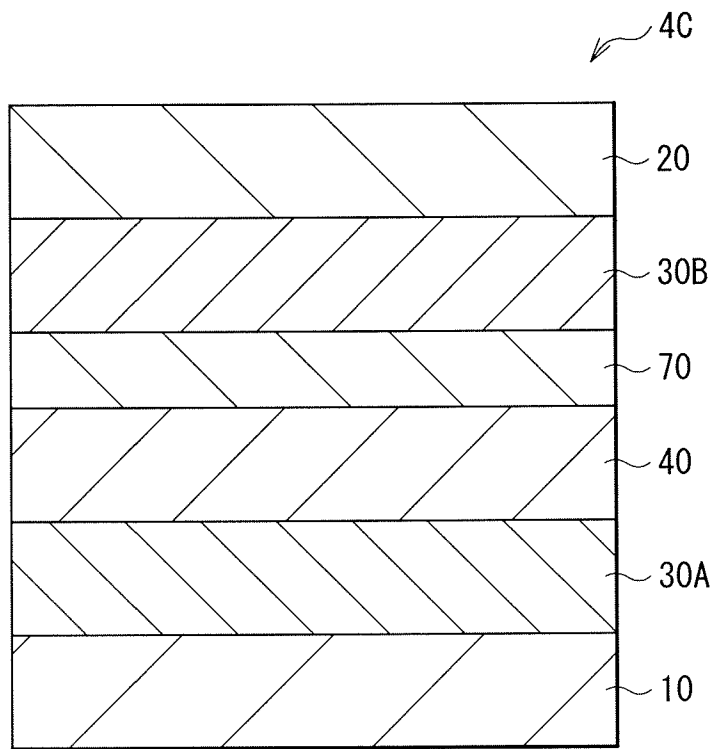
[図7A]



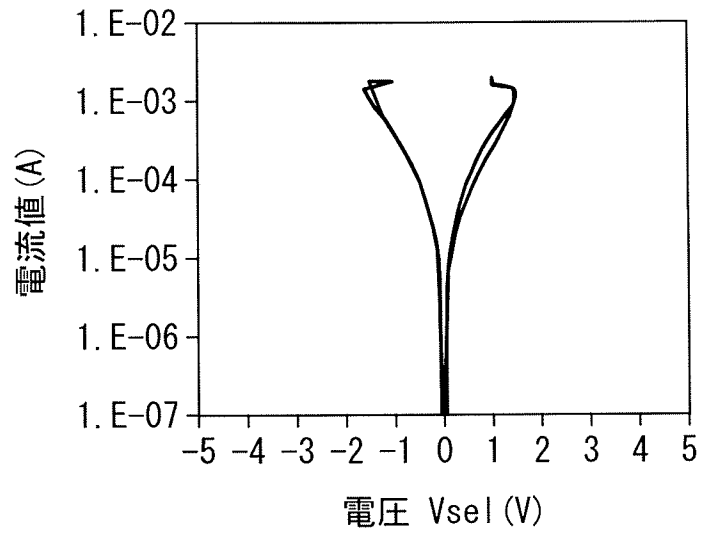
[図7B]



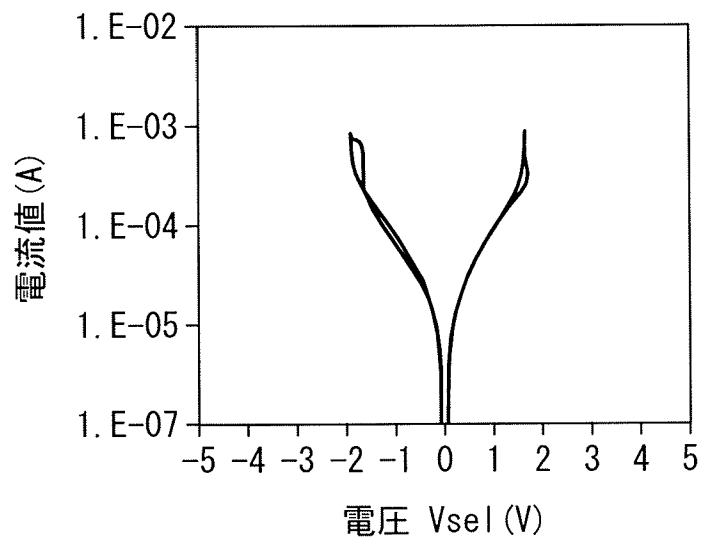
[図7C]



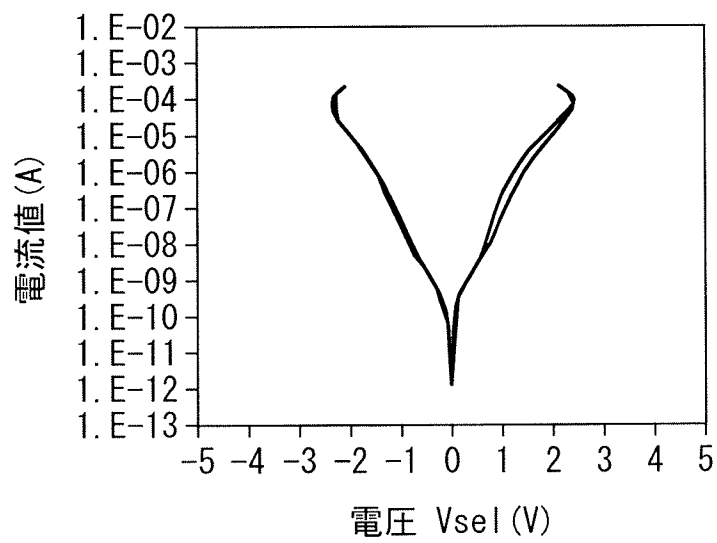
[図8]



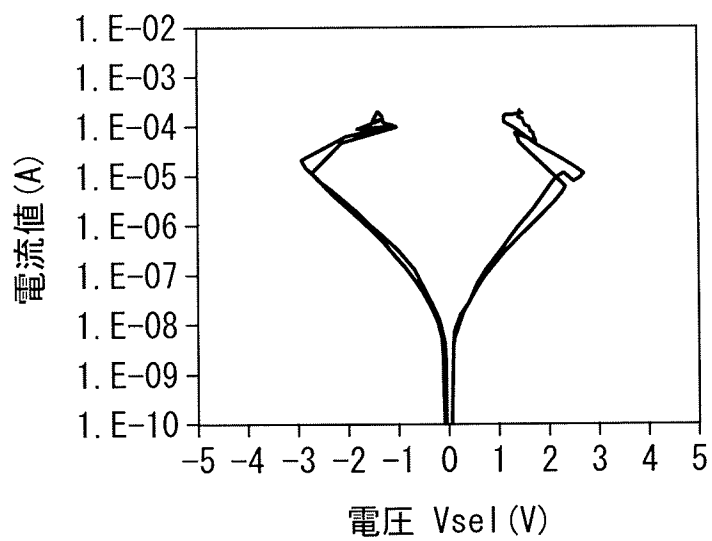
[図9]



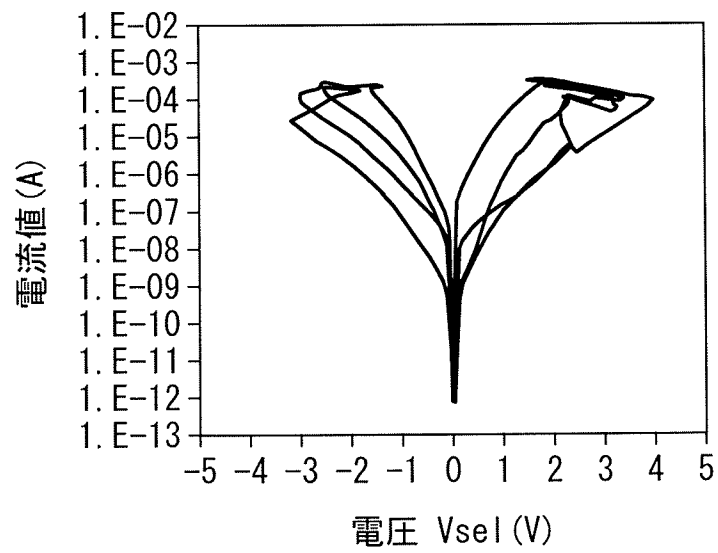
[図10]



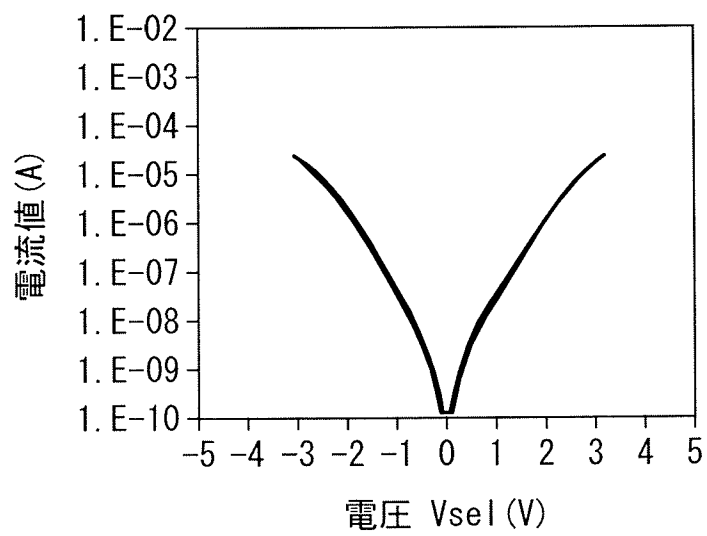
[図11]



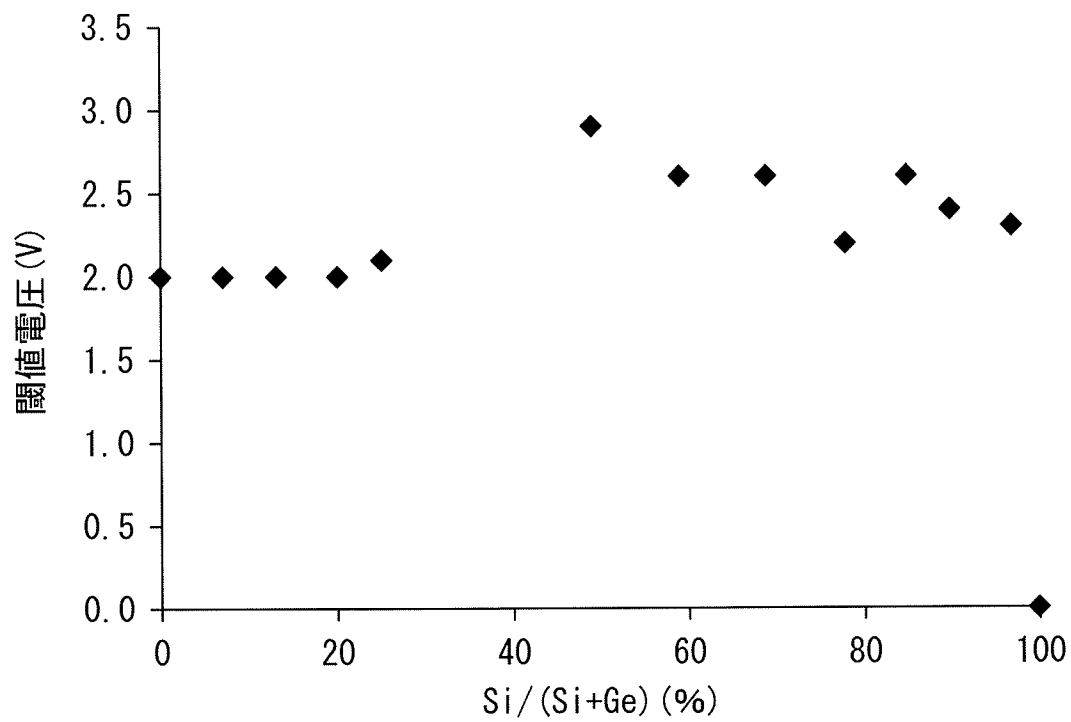
[図12]



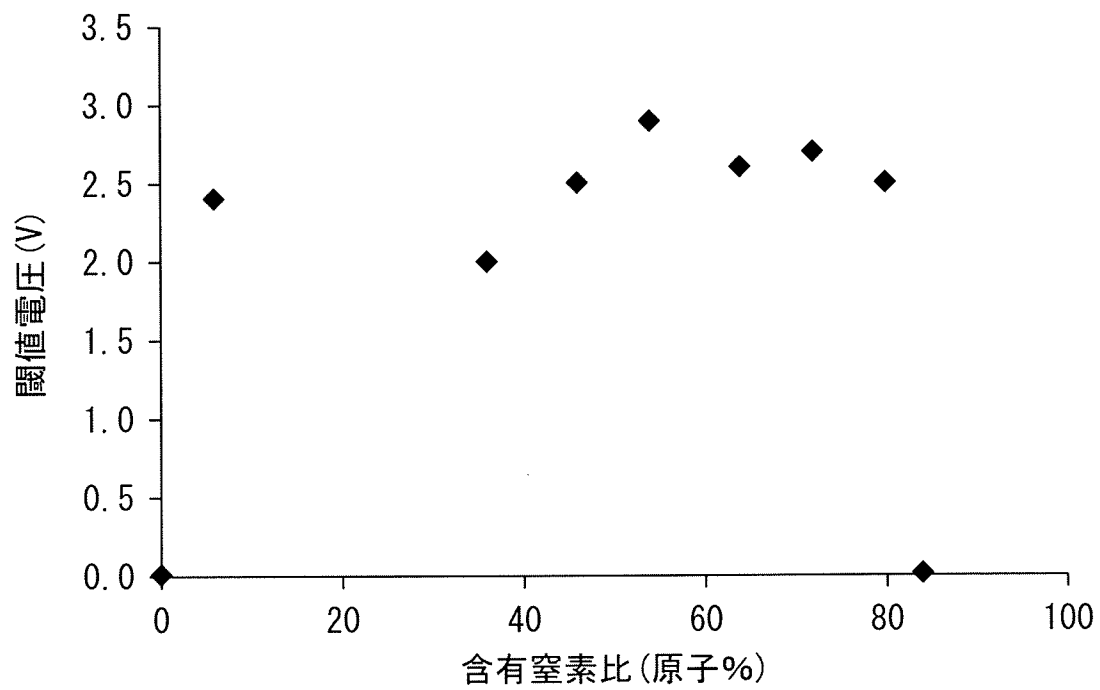
[図13]



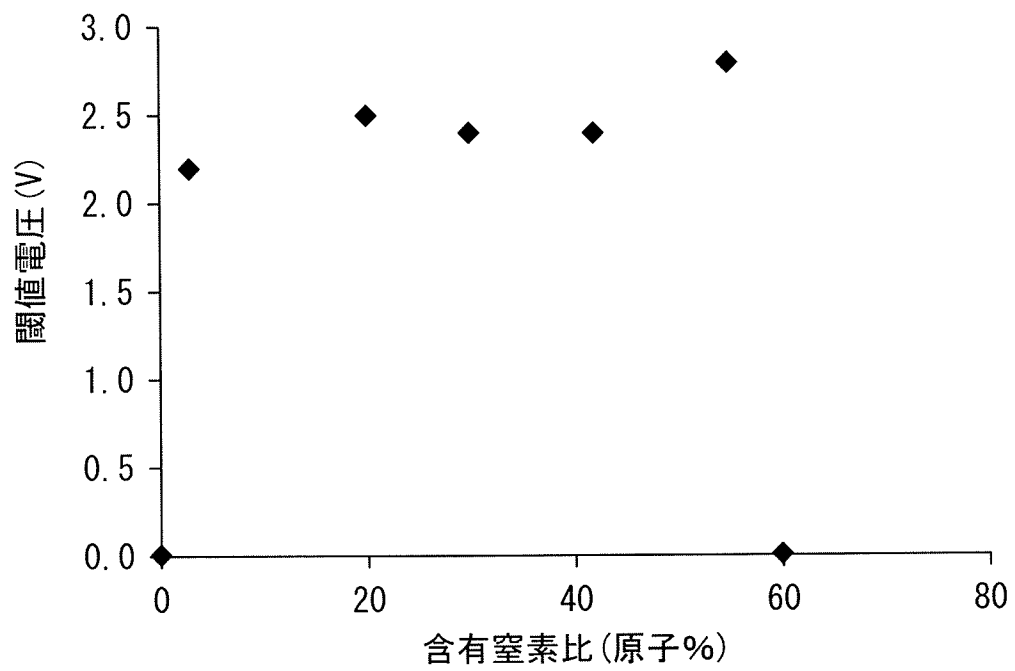
[図14]



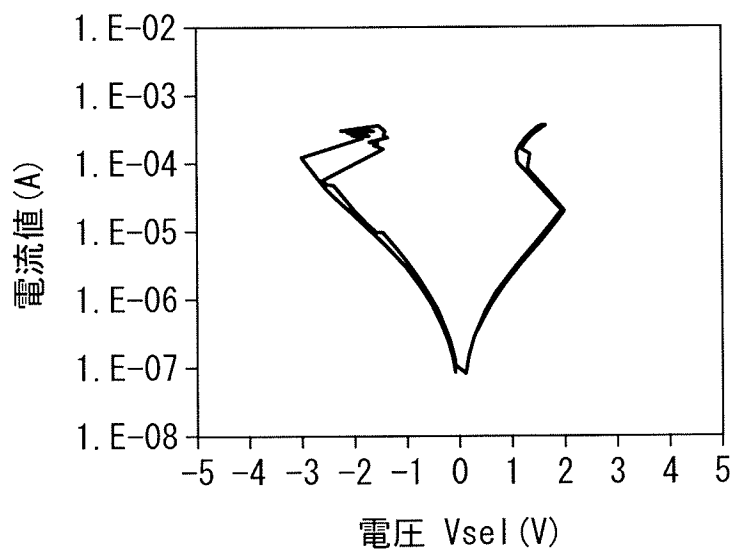
[図15]



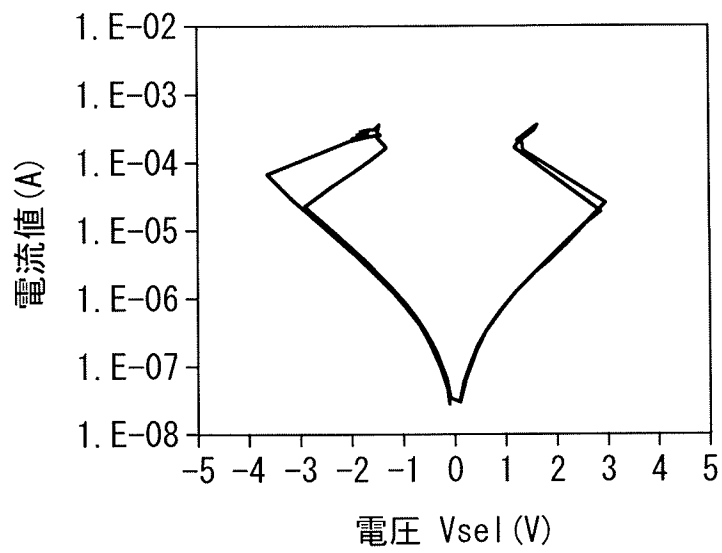
[図16]



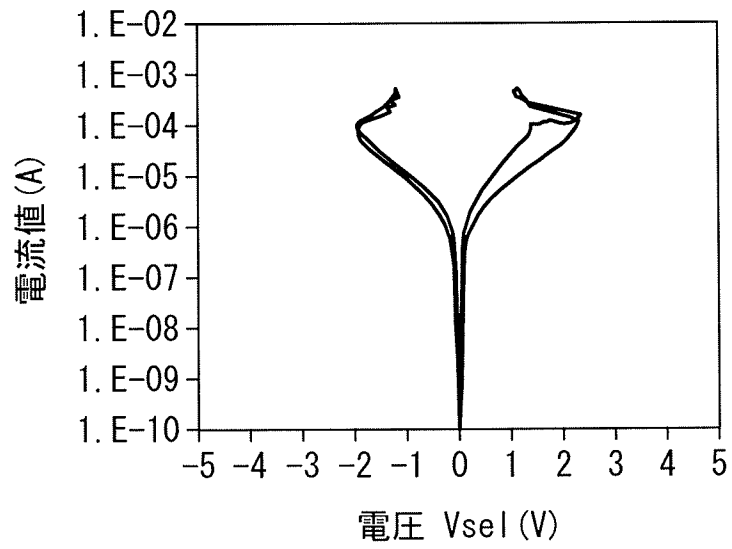
[図17]



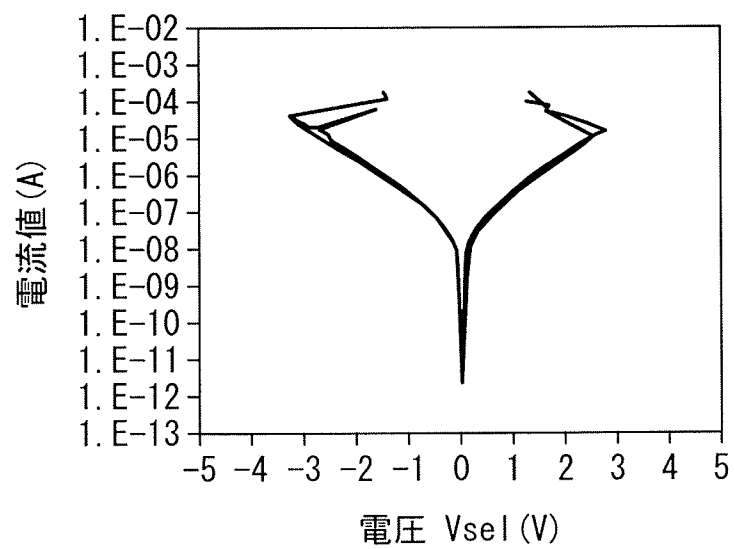
[図18]



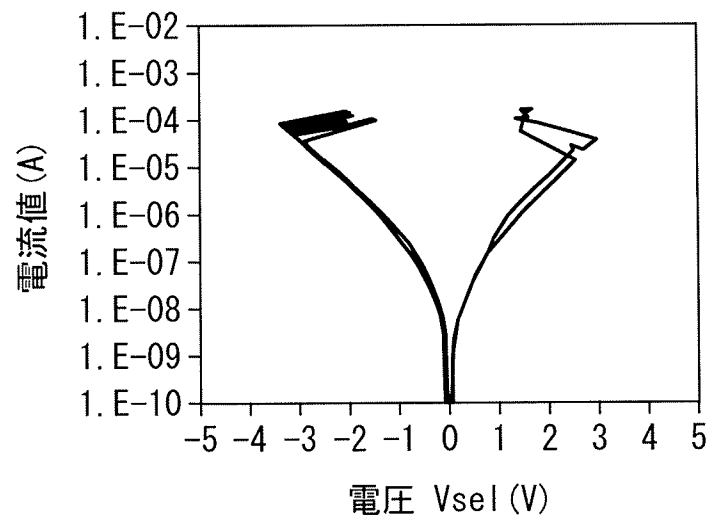
[図19]



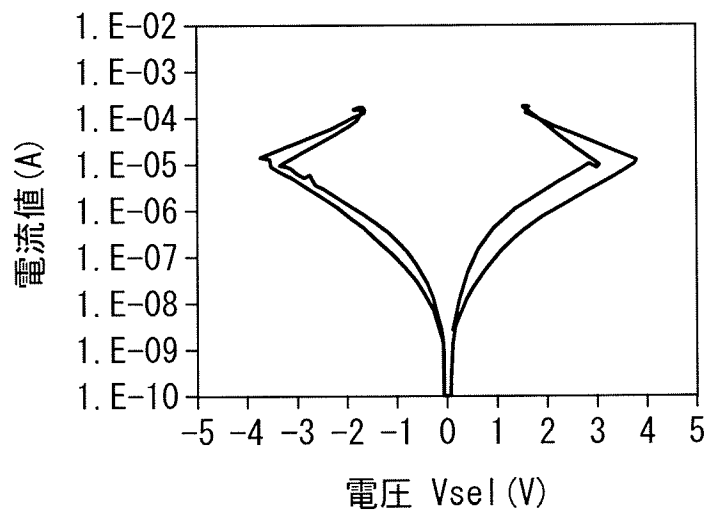
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075464

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/105(2006.01)i, G11C11/15(2006.01)i, G11C13/00(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/105, G11C11/15, G11C13/00, H01L45/00, H01L49/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-534835 A (Ovonyx, Inc.), 24 September 2009 (24.09.2009), paragraphs [0005] to [0016]; fig. 1, 3 & US 2007/0247899 A1 paragraphs [0013] to [0024]; fig. 1, 3 & WO 2007/127014 A2 & KR 10-2008-0114801 A & CN 101427396 A & TW 00I342023 B	1-16
Y	JP 2010-161376 A (Samsung Electronics Co., Ltd.), 22 July 2010 (22.07.2010), paragraph [0045] & US 2010/0176365 A1 paragraph [0052] & KR 10-2010-0082604 A	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
19 October 2015 (19.10.15)

Date of mailing of the international search report
27 October 2015 (27.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/075464

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-086526 A (Ovonyx, Inc.), 30 March 2006 (30.03.2006), paragraph [0011] & US 2006/0073652 A1 paragraph [0020] & KR 10-2006-0051381 A & TW 00I296435 B	8-10
Y	WO 2013/039496 A1 (INTEL CORP.), 21 March 2013 (21.03.2013), page 3, line 25 to page 4, line 24; fig. 1 & JP 2014-530491 A & US 2013/0256624 A1 & TW 201332173 A & KR 10-2014-0053325 A	12-14, 16
Y	WO 2014/103577 A1 (Sony Corp.), 03 July 2014 (03.07.2014), paragraphs [0017] to [0018] & CN 104871313 A	14
A	JP 2009-520374 A (Koninklijke Philips Electronics N.V.), 21 May 2009 (21.05.2009), paragraph [0035] & US 2008/0303014 A1 & WO 2007/072308 A1 & EP 1966841 A1 & DE 602006016864 D & CN 101461071 A & AT 480873 T	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L27/105(2006.01)i, G11C11/15(2006.01)i, G11C13/00(2006.01)i, H01L45/00(2006.01)i, H01L49/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L27/105, G11C11/15, G11C13/00, H01L45/00, H01L49/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-534835 A（オボニックス インク）2009.09.24, [0005]-[0016], 図 1, 3 & US 2007/0247899 A1, [0013]-[0024], FIGS 1, 3 & WO 2007/127014 A2 & KR 10-2008-0114801 A & CN 101427396 A & TW 00I342023 B	1-16
Y	JP 2010-161376 A（三星電子株式会社）2010.07.22, [0045] & US 2010/0176365 A1, [0052] & KR 10-2010-0082604 A	1-16

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 0 . 2 0 1 5

国際調査報告の発送日

2 7 . 1 0 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 俊哉

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

9 5 5 4

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-086526 A (オヴォニクス・インコーポレイテッド) 2006. 03. 30, [0011] & US 2006/0073652 A1, [0020] & KR 10-2006-0051381 A & TW 00I296435 B	8-10
Y	WO 2013/039496 A1 (INTEL CORPORATION) 2013. 03. 21, 第3頁25行-第4頁24行, 図1 & JP 2014-530491 A & US 2013/0256624 A1 & TW 201332173 A & KR 10-2014-0053325 A	12-14, 16
Y	WO 2014/103577 A1 (ソニー株式会社) 2014. 07. 03, [0017]-[0018] & CN 104871313 A	14
A	JP 2009-520374 A (コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ) 2009. 05. 21, [0035] & US 2008/0303014 A1 & WO 2007/072308 A1 & EP 1966841 A1 & DE 602006016864 D & CN 101461071 A & AT 480873 T	1-16