

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 10 月 5 日(05.10.2017)



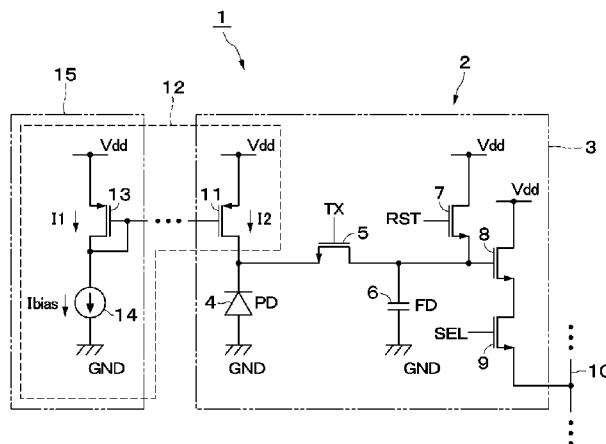
(10) 国際公開番号
WO 2017/169775 A1

- (51) 国際特許分類:
H04N 5/369 (2011.01) *H04N 5/359* (2011.01)
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)
- (21) 国際出願番号: PCT/JP2017/010370
- (22) 国際出願日: 2017 年 3 月 15 日(15.03.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-065466 2016 年 3 月 29 日(29.03.2016) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 相原 康敏(AIBARA Yasutoshi); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人広和特許事務所(HIROWA PATENT FIRM); 〒1600023 東京都新宿区西新宿 3 丁目 1 番 3 号 西新宿小出ビル 4 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: IMAGE SENSOR

(54) 発明の名称: 画像センサ

Fig. 1



(57) Abstract: A pixel circuit (3) includes a photodiode (4) and a constant-current transistor (11). A ground voltage GND is applied to the anode of the photodiode (4). A power supply voltage Vdd is applied to the cathode of the photodiode (4) via the constant-current transistor (11). The constant-current transistor (11) constitutes a secondary transistor of a current mirror circuit (12). The current mirror circuit (12) is configured from the constant-current transistor (11), a primary transistor (13), and a constant-current source (14). The current mirror circuit (12) sends, to the constant-current transistor (11), a current I2 of a predetermined ratio with respect to a current I1 flowing in the primary transistor (13).

(57) 要約:

[続葉有]

WO 2017/169775 A1



画素回路（３）は、フォトダイオード（４）および定電流トランジスタ（１１）を含んでいる。フォトダイオード（４）のアノードには、グランド電圧 GND が印加される。フォトダイオード（４）のカソードには、定電流トランジスタ（１１）を介して電源電圧 V_{dd} が印加される。定電流トランジスタ（１１）は、カレントミラー回路（１２）の二次側トランジスタを構成している。カレントミラー回路（１２）は、定電流トランジスタ（１１）と、一次側トランジスタ（１３）と、定電流源（１４）とによって構成されている。カレントミラー回路（１２）は、一次側トランジスタ（１３）に流れる電流 I_1 に対して予め決められた比率の電流 I_2 を、定電流トランジスタ（１１）に流す。

明 細 書

発明の名称：画像センサ

技術分野

[0001] 本発明は、光電荷によって画像を検出する画像センサに関する。

背景技術

[0002] 従来、フォトダイオードにMOSトランジスタを接続し、このトランジスタを用いて余剰な光電荷をフォトダイオードから除去する画像センサが知られている（例えば、非特許文献1，2参照）。

先行技術文献

非特許文献

[0003] 非特許文献1：David Stoppa, ISSCC(International Solid State Circuit Conference) 2015 Tutorial 10, "CMOS Sensors for 3D Imaging" p.42

非特許文献2：相澤清晴、浜本隆之編著、「映像情報メディア基幹技術シリーズ9 CMOSイメージセンサ」、コロナ社、2012年8月、p.177

発明の概要

[0004] ところで、非特許文献1に記載された画像センサは、フォトダイオードに接続されたMOSトランジスタをスイッチとして動作させて、フォトダイオードに蓄積された光電荷を全て除去して、フォトダイオードをリセットさせるものである。しかしながら、この構成は、例えば高背景光のようなノイズ成分の光電荷だけを除去するものではないため、必要な光電荷を残すことができないという問題がある。

[0005] また、非特許文献2に記載された画像センサは、フォトダイオードに接続されたMOSトランジスタをサブスレッショルド領域で動作させて、余剰な光電荷だけを除去している。しかしながら、この構成は、素子を作成する際のプロセスの影響を受け易く、製造ばらつきが生じる傾向がある。これに加え、非特許文献2に記載された画像センサは、電源電圧の変動や温度変動のような種々の影響も受け易いという問題がある。

[0006] 本発明は上述の問題に鑑みなされたものであり、本発明の目的は、製造ばらつきを抑制して、ノイズを除去することができる画像センサを提供することにある。

[0007] (1) . 上記課題を解決するために、本発明による画像センサは、フォトダイオードと、前記フォトダイオードに接続され、前記フォトダイオードに蓄積された光電荷を減少させるトランジスタとを備え、前記トランジスタは予め決められた所定値の電流を流す定電流トランジスタであることを特徴としている。

[0008] 本発明によれば、フォトダイオードには定電流トランジスタを接続したから、定電流トランジスタに流れる電流の大きさを適宜設定することによって、例えば背景光等のノイズ成分の光電荷をフォトダイオードから除去することができる。また、定電流トランジスタは所定値の電流を流すように動作するから、電流値が安定する。このため、例えばサブスレッショルド領域で動作させるトランジスタを用いた場合に比べて、プロセス、電源電圧、温度等の変動のような種々の影響を受け難く、ノイズの除去特性を安定化させることができる。

[0009] (2) . 本発明では、前記定電流トランジスタは、一次側トランジスタに流れる電流に対して予め決められた比率の電流を流すカレントミラー回路の二次側トランジスタである。

[0010] この構成によれば、カレントミラー回路の一次側トランジスタに流れる電流に対して一定比率の電流を、定電流トランジスタに流すことができる。また、カレントミラー回路の一次側トランジスタに流れる電流の大きさに応じて、定電流トランジスタに流れる電流の大きさを設定することができる。このため、例えば素子の製造後であっても、定電流トランジスタに流れる電流の大きさを調整することができる。

[0011] (3) . 本発明では、前記カレントミラー回路は、前記一次側トランジスタに流れる電流を増加または減少させることができる。

[0012] この構成によれば、一次側トランジスタに流れる電流の大きさに応じて、

二次側トランジスタである定電流トランジスタに流れる電流の大きさを調整することができる。

[0013] (4) . 本発明では、前記カレントミラー回路の一次側トランジスタに接続された複数個の他の二次側トランジスタを有し、前記他の二次側トランジスタは他の一次側トランジスタに流れる電流に対して予め決められた比率の電流を流してなる他のカレントミラー回路をさらに備え、前記他のカレントミラー回路は、複数個の他の二次側トランジスタのうち前記カレントミラー回路の一次側トランジスタに電流を流すものが選択可能な構成としている。

[0014] この構成によれば、複数個の他の二次側トランジスタについて、個別にONとOFFを切り換えることによって、複数個の他の二次側トランジスタに流れる電流の総和を増加または減少させることができる。この結果、複数個の他の二次側トランジスタに流れる電流の総和に応じて、カレントミラー回路の一次側トランジスタに流れる電流の大きさを調整することができる。

[0015] (5) . 本発明では、前記他のカレントミラー回路は、前記フォトダイオードに入力される光の露光量に応じて前記カレントミラー回路の一次側トランジスタに電流を流す前記他の二次側トランジスタを選択する構成としている。

[0016] この構成によれば、フォトダイオードに入力される光の露光量に応じて、ON状態となる他の二次側トランジスタを選択することができる。このため、他の二次側トランジスタに流れる電流の総和を調整することができ、カレントミラー回路の一次側トランジスタに流す電流を増加または減少させることができる。また、ON状態となった他の二次側トランジスタの個数、または、互いに電流の大きさが異なる複数個の他の二次側トランジスタを切り換えることによって、カレントミラー回路の一次側トランジスタに流す電流の大きさを、デジタル量として調整することができる。このため、カレントミラー回路の一次側トランジスタに流す電流を、デジタル制御することができる。

図面の簡単な説明

[0017] [図1]本発明の第1の実施の形態による画像センサを示す回路図である。

[図2]図1中のフォトダイオードのカソード電圧等の一例を示すタイミングチャートである。

[図3]本発明の第2の実施の形態による画像センサを示す回路図である。

[図4]本発明の第3の実施の形態による画像センサを示す回路図である。

[図5]本発明の第4, 第5の実施の形態による画像撮影システムを示すブロック図である。

[図6]本発明の第4の実施の形態による電圧設定処理を示す流れ図である。

[図7]本発明の第5の実施の形態による電圧設定処理を示す流れ図である。

[図8]比較例による画像センサを示す回路図である。

[図9]図8中のフォトダイオードのカソード電圧等の一例を示すタイミングチャートである。

発明を実施するための形態

[0018] 以下、本発明の実施の形態による画像センサについて添付図面を参照しつつ詳細に説明する。

[0019] 図1は本発明の第1の実施の形態による画像センサ1を示している。この画像センサ1は、複数の画素回路3（1個のみ図示）からなる画素部2と、電流源回路15とを備えている。画像センサ1は、画素部2に入力される画像を撮影し、電気信号に変換して出力する。

[0020] 画素回路3は、フォトダイオード4（PD）と、転送トランジスタ5と、フローティングディフュージョン容量6（FD）と、リセットトランジスタ7と、増幅トランジスタ8と、選択トランジスタ9と、定電流トランジスタ11とを含んでいる。画素回路3は、半導体基板に形成されている。

[0021] 転送トランジスタ5、リセットトランジスタ7、増幅トランジスタ8、および、選択トランジスタ9は、いずれもNMOSトランジスタによって構成されている。転送トランジスタ5のゲートには、転送トランジスタ制御信号TXが印加される。リセットトランジスタ7のゲートには、リセットトランジスタ制御信号RSTが印加される。選択トランジスタ9のゲートには、選

択トランジスタ制御信号SELが印加される。

[0022] フォトダイオード4は、入射光の強度や光量に応じた光電荷（電子）を蓄積する。フォトダイオード4のアノードには、グラウンド電圧GNDが印加される。フォトダイオード4のカソードは、転送トランジスタ5のソースと接続されている。転送トランジスタ5のドレインは、リセットトランジスタ7のソースに接続されると共に、増幅トランジスタ8のゲートに接続されている。リセットトランジスタ7のドレインには、電源電圧V_{dd}が印加される。増幅トランジスタ8のドレインには、電源電圧V_{dd}が印加される。選択トランジスタ9のソースは、垂直信号線10と接続されている。選択トランジスタ9のドレインは、増幅トランジスタ8のソースと接続されている。

[0023] フローティングディフュージョン容量6の一方の端子は、転送トランジスタ5のドレインと接続される。フローティングディフュージョン容量6は、一般に配線寄生容量で主に構成されるが、その他方の端子に、グラウンド電圧GNDが印加された構成とみなせる。フローティングディフュージョン容量6は、光電荷を信号電荷として蓄積し、光電荷を電圧に変換するフローティングディフュージョン（フローティング領域）の等価容量である。

[0024] 定電流トランジスタ11は、PMOSトランジスタによって構成されている。定電流トランジスタ11は、カレントミラー回路12の折返し先になる二次側トランジスタを構成している。カレントミラー回路12は、定電流トランジスタ11と、一次側トランジスタ13と、定電流源14とによって構成されている。カレントミラー回路12は、折返し元になる一次側トランジスタ13に流れる電流I₁に対して予め決められた比率の電流I₂を、定電流トランジスタ11に流す。

[0025] なお、一次側トランジスタ13に流れる電流I₁と、定電流トランジスタ11に流れる電流I₂との比率は、一次側トランジスタ13のサイズと定電流トランジスタ11のサイズとの比率によって決まる。即ち、一次側トランジスタ13のサイズW₁と定電流トランジスタ11のサイズW₂の比率（W₁/W₂）に応じて、電流I₁に対する電流I₂の比率（I₂=I₁×W₂/W₁）が決ま

る。

[0026] 以下では、説明を簡略化するために、一次側トランジスタ 13 のサイズと定電流トランジスタ 11 のサイズとが同じ場合を前提に説明する。この場合、カレントミラー回路 12 は、一次側トランジスタ 13 の電流 I_1 と同じ大きさの電流 I_2 を定電流トランジスタ 11 に流す。本発明はこれに限らず、一次側トランジスタ 13 と定電流トランジスタ 11 が、互いに異なるサイズであってもよい。

[0027] 定電流トランジスタ 11 のドレインは、フォトダイオード 4 のカソードに接続されている。定電流トランジスタ 11 のソースには、電源電圧 V_{dd} が印加される。このため、定電流トランジスタ 11 は、フォトダイオード 4 のうち光電荷（電子）を蓄積する側（カソード側）に接続されている。

[0028] 一次側トランジスタ 13 は、定電流トランジスタ 11 と同じく、PMOS トランジスタによって構成されている。一次側トランジスタ 13 のドレインは、定電流源 14 に接続されている。このため、一次側トランジスタ 13 には、定電流源 14 による電流 I_{bias} が流れる。一次側トランジスタ 13 のソースには、電源電圧 V_{dd} が印加される。一次側トランジスタ 13 のゲートは、一次側トランジスタ 13 のドレインに接続されると共に、二次側トランジスタとなる定電流トランジスタ 11 のゲートに接続されている。これにより、一次側トランジスタ 13 のドレインーソース間に電流 I_1 ($I_1 = I_{bias}$) が流れたときには、二次側トランジスタとなる定電流トランジスタ 11 のドレインーソース間にも、電流 I_1 と同じ大きさの電流 I_2 が流れる。このとき、カレントミラー回路 12 のうち定電流トランジスタ 11 を省いた部分が、定電流トランジスタ 11 に流れる電流 I_2 の大きさを設定する電流源回路 15 を構成している。

[0029] なお、図 1 には、構成を簡略化するために、1 つの増幅トランジスタ 8 に対し、1 つのフォトダイオード 4 を接続した構成を示した。一般的な構成では、画素部 2 の面積効率を上げるために、1 つの増幅トランジスタ 8 に対し、フォトダイオード 4 および転送トランジスタ 5 の組を複数並列接続する。

この場合でも、各組の1つのフォトダイオード4に対し、1つの定電流トランジスタ11を接続することで、図1に示した構成と同じ効果を得ることができる。

[0030] 本発明の第1の実施の形態による画像センサ1は以上のような構成を有するものであり、次に画素回路3の動作について、図1および図2を参照して説明する。

[0031] 図2に示すように、リセットトランジスタ7は、リセットトランジスタ制御信号RSTにより導通状態(ON)に設定される。このとき、転送トランジスタ5も、転送トランジスタ制御信号TXにより導通状態に設定される。これにより、フォトダイオード4およびフローティングディフュージョン容量6は、いずれもリセットされる。リセット動作が終了すると、転送トランジスタ5およびリセットトランジスタ7は、遮断状態(OFF)に切り換わる。

[0032] 画素回路3のフォトダイオード4は、入射光に応じた光電荷が発生する。このため、フォトダイオード4のカソード電圧は、光電荷に応じて低下する。このとき、定電流トランジスタ11には、カレントミラー回路12の一次側トランジスタ13の電流I1と同じ大きさの電流I2が流れる。このため、フォトダイオード4に発生した光電荷の一部は、電流I2に応じて除去される。これにより、カソード電圧が降下するときの傾きは、電流I2の大きさに応じて緩やかになる。

[0033] リセット動作が終了してから予め決められた電荷蓄積期間Tcが経過する前に、フローティングディフュージョン容量6の基準レベルの電圧を読み出す。このとき、選択トランジスタ9は、選択トランジスタ制御信号SELにより一時的に導通状態(ON)に設定される。これにより、フォトダイオード4の光電荷の転送前の状態で、フローティングディフュージョン容量6の電圧が垂直信号線10へ出力される。基準レベルの読み出し動作が終了すると、選択トランジスタ9は遮断状態(OFF)に切り換わる。

[0034] 次に、リセット動作が終了してから電荷蓄積期間Tcが経過すると、フォト

ダイオード４に蓄積された光電荷の信号を読み出す。このとき、転送トランジスタ５は、転送トランジスタ制御信号ＴＸにより導通状態（ＯＮ）に設定される。選択トランジスタ９も、選択トランジスタ制御信号ＳＥＬにより導通状態（ＯＮ）に設定される。

[0035] フォトダイオード４に蓄積された光電荷は、導通状態に設定された転送トランジスタ５を経由して、フローティングディフュージョンに転送され、フローティングディフュージョン容量６は、充電される。増幅トランジスタ８は、このフローティングディフュージョン容量６の電圧を増幅し、選択トランジスタ９を経由して、垂直信号線１０へ出力する。

[0036] ここで、フォトダイオード４には、入射光の光量に応じた光電荷が蓄積される。従って、図２中の二点鎖線に示すように、定電流トランジスタ１１からの電流Ｉ２が供給されない場合（ $I_2 = 0$ ）には、背景光の光電荷によって、フォトダイオード４が飽和してしまうことがある。

[0037] そこで、本実施の形態による画像センサ１は、定電流トランジスタ１１に電流Ｉ２を流すことによって、背景光の光電荷を除去している。このような、余剰な光電荷の除去効果について、以下に具体的に説明する。

[0038] まず、図８に示す比較例による画像センサ２１について、背景光の光電荷の除去動作を説明する。この比較例による画像センサ２１は、第１の実施の形態による画素回路３と同様な画素回路２２を備えている。このため、画素回路２２は、フォトダイオード４と、転送トランジスタ５と、フローティングディフュージョン容量６と、リセットトランジスタ７と、増幅トランジスタ８と、選択トランジスタ９とを含んでいる。

[0039] 但し、フォトダイオード４のカソードは、ＮＭＯＳトランジスタ２３のソースと接続されている。ＮＭＯＳトランジスタ２３のドレインには、電源電圧Ｖ_{dd}を供給している。この点で、比較例の画像センサ２１は、第１の実施の形態による画像センサ１とは異なる。

[0040] 図９に、比較例による画像センサ２１を動作させる場合のタイミングチャートの一例を示す。このタイミングチャートは、例えばデジタルカメラのよ

うにメカニカルなシャッタを想定せず、常に光が入射していることを想定している。そのため、常に光電荷がフォトダイオード4で発生する。さらに、入射光強度を一定と想定すると、電荷蓄積期間 T_c 中にフォトダイオード4では単位時間当たり一定量の光電荷が発生し、フォトダイオード4のカソード電圧は、一定の傾きで下降する。

[0041] 例えば、NMOSトランジスタ23からの電流 I_{st} が供給されない場合（ $I_{st}=0$ ）には、入射光強度が強過ぎると、フォトダイオード4に蓄積された光電荷が、飽和電子数まで達する。この場合には、図9中の二点鎖線に示すように、電荷蓄積期間 T_c の途中で下限電圧まで達し、正常な信号レベルが読み出すことができなくなる。

[0042] このとき、比較例による画像センサ21では、NMOSトランジスタ23を閾値以下のサブスレッショルド領域で動作（弱反転動作）させている。これにより、フォトダイオード4に電流 I_{st} が流れるから、図9中の実線に示すように、フォトダイオード4のカソード電圧は、その変化の傾きが緩やかになる。このため、信号レベルの読み出しタイミングで下限電圧に張り付くことは、回避できる。

[0043] しかしながら、NMOSトランジスタ23を弱反転動作させた場合には、プロセス変動、電源変動、ゲート電圧変化、温度変化の影響を受け易く、電流 I_{st} は不安定な傾向がある。この結果、図9中に破線で示すように、フォトダイオード4のカソード電圧の傾きは、画素毎に、また同じ画素でも時間によってばらついてしまうという問題がある。

[0044] 次に、第1の実施の形態による画像センサ1について、背景光の光電荷の除去動作を説明する。

[0045] 図2に、第1の実施の形態による画像センサ1を動作させる場合のタイミングチャートの一例を示す。図2では、図9と同様に、入射光強度が一定の場合を想定している。このとき、電荷蓄積期間 T_c 中にフォトダイオード4では単位時間当たり一定の光電荷が発生し、フォトダイオード4のカソード電圧は、一定の傾きで下降する。

- [0046] このとき、本実施の形態の画像センサ１では、フォトダイオード４にはカレントミラー回路１２の二次側トランジスタとなる定電流トランジスタ１１を接続した。この定電流トランジスタ１１を経由して一定の電流Ｉ２が供給されると、フォトダイオード４に蓄積された光電荷が、電源電圧 V_{dd} 側（電源）に排出される。
- [0047] 第１の実施の形態では、定電流トランジスタ１１はカレントミラー回路１２を構成しているため、フォトダイオード４に予め決められた電流Ｉ２を安定的に供給することができる。これにより、フォトダイオード４に過剰な光電荷が蓄積されるのを抑制することができる。この結果、高強度の背景光が入射されたときでも、電荷蓄積期間 T_c の間にフォトダイオード４が飽和するのを抑制することができる。従って、背景光の影響を低減して、検出対象物からの光に応じた所望の信号レベルを検出することができる。
- [0048] また、第１の実施の形態では、定電流トランジスタ１１を飽和領域で動作させる。このため、プロセスの影響を受け難く、素子毎の特性ばらつきを抑制することができる。これに加えて、電源電圧 V_{dd} の変動や温度変化の影響を受け難く、信号レベルを安定させることができる。この結果、第１の実施の形態では、画素毎のばらつきや同じ画素での経時変化を抑えることができる。
- [0049] かくして、第１の実施の形態によれば、フォトダイオード４には定電流トランジスタ１１を接続したから、定電流トランジスタ１１に流れる電流Ｉ２の大きさを適宜設定することによって、例えば背景光等のノイズ成分の光電荷をフォトダイオード４から除去することができる。また、定電流トランジスタ１１は所定値の電流Ｉ２を流すように動作するから、電流Ｉ２の大きさ（電流値）が安定する。このため、プロセス、電源電圧、温度等の変動のような種々の影響を受け難く、ノイズの除去特性を安定化させることができる。
- [0050] また、定電流トランジスタ１１はカレントミラー回路１２の二次側トランジスタであるから、カレントミラー回路１２の一次側トランジスタ１３に流れる電流Ｉ１と同じ大きさの電流Ｉ２を定電流トランジスタ１１に流すことが

できる。また、カレントミラー回路 12 の一次側トランジスタ 13 に流れる電流 I1 の大きさに応じて、定電流トランジスタ 11 に流れる電流 I2 の大きさを設定することができる。このため、例えば素子の製造後であっても、定電流トランジスタ 11 に流れる電流の大きさを調整することができる。

[0051] なお、比較例のように、NMOS トランジスタのみで構成される画素回路 22 に対し、第 1 の実施の形態では、定電流トランジスタ 11 となる PMOS トランジスタを追加している。このため、画像センサ 1 は、画素サイズが大きくなる傾向がある。一方、観賞用で一般的なデジタルカメラや携帯端末などに要求される高画素数の画像センサと比較して、測距用の画像センサ 1 では、低画素数のため画素サイズ縮小の要求が低く、高背景光対策が必要となる。このため、測距用の画像センサ 1 に本発明を適用したときには、その効果が大きい。

[0052] 次に、図 3 は本発明の第 2 の実施の形態を示している。第 2 の実施の形態の特徴は、NMOS トランジスタを用いてカレントミラー回路を構成したことにある。なお、第 2 の実施の形態では、前述した第 1 の実施の形態と同一の構成要素に同一符号を付し、その説明を省略するものとする。

[0053] 第 2 の実施の形態による画像センサ 31 は、第 1 の実施の形態による画像センサ 1 と同様に、複数の画素回路 33（1 個のみ図示）からなる画素部 32 と、電流源回路 37 とを備えている。

[0054] 画素回路 33 は、第 1 の実施の形態による画素回路 3 とほぼ同様に構成されている。このため、画素回路 33 は、フォトダイオード 4 と、転送トランジスタ 5 と、フローティングディフュージョン容量 6 と、リセットトランジスタ 7 と、増幅トランジスタ 8 と、選択トランジスタ 9 と、定電流トランジスタ 34 とを含んでいる。

[0055] 第 2 の実施の形態では、フォトダイオード 4 のカソードには、電源電圧 V_{dd} が印加される。フォトダイオード 4 のアノードは、転送トランジスタ 5 のソースと接続されている。この場合、フォトダイオード 4 は、入射光の強度や光量に応じた光電荷（正孔）を蓄積する。

- [0056] また、リセットトランジスタ 7 のドレインには、グランド電圧 GND と $NMOS$ トランジスタの閾値電圧 V_{th} とを加算した値よりも大きなリセット電圧 V_{reset} ($V_{reset} > GND + V_{th}$) が印加される。
- [0057] 定電流トランジスタ 34 は、他のトランジスタ 5, 7, 8, 9 と同様に、 $NMOS$ トランジスタによって構成されている。定電流トランジスタ 34 は、カレントミラー回路 35 の折返し先になる二次側トランジスタを構成している。カレントミラー回路 35 は、定電流トランジスタ 34 と、一次側トランジスタ 36 と、定電流源 14 とによって構成されている。カレントミラー回路 35 は、折返し元になる一次側トランジスタ 36 に流れる電流 I_1 に対して予め決められた比率の電流 I_2 を、定電流トランジスタ 34 に流す。
- [0058] なお、一次側トランジスタ 36 に流れる電流 I_1 と、定電流トランジスタ 34 に流れる電流 I_2 との比率は、一次側トランジスタ 36 のサイズと定電流トランジスタ 34 のサイズとの比率によって決まる。以下では、説明を簡略化するために、一次側トランジスタ 36 のサイズと定電流トランジスタ 34 のサイズとが同じ場合、即ち電流 I_1 と電流 I_2 が同じ大きさとなる場合を前提に説明する。本発明はこれに限らず、一次側トランジスタ 36 と定電流トランジスタ 34 が、互いに異なるサイズであってもよい。
- [0059] 定電流トランジスタ 34 のドレインは、フォトダイオード 4 のアノードに接続されている。定電流トランジスタ 34 のソースには、グランド電圧 GND が印加される。このため、定電流トランジスタ 34 は、フォトダイオード 4 のうち光電荷（正孔）を蓄積する側（アノード側）に接続されている。
- [0060] 一次側トランジスタ 36 は、定電流トランジスタ 34 と同じく、 $NMOS$ トランジスタによって構成されている。一次側トランジスタ 36 のドレインには、定電流源 14 を介して、電源電圧 V_{dd} が印加される。一次側トランジスタ 36 のソースには、グランド電圧 GND が印加される。一次側トランジスタ 36 のゲートは、一次側トランジスタ 36 のドレインに接続されると共に、二次側トランジスタとなる定電流トランジスタ 34 のゲートに接続されている。これにより、一次側トランジスタ 36 のドレインーソース間に電流

I_1 ($I_1 = I_{bias}$) が流れたときには、二次側トランジスタとなる定電流トランジスタ 34 のドレインソース間にも、電流 I_1 と同じ大きさの電流 I_2 が流れる。このとき、カレントミラー回路 35 のうち定電流トランジスタ 34 を省いた部分が、定電流トランジスタ 34 に流れる電流 I_2 の大きさを設定する電流源回路 37 を構成している。

[0061] かくして、第 2 の実施の形態でも、第 1 の実施の形態とほぼ同様の作用効果を得ることができる。第 1 の実施の形態と比較して、第 2 の実施の形態では、PMOS トランジスタを追加せず NMOS トランジスタのみで画素回路 33 を構成することができるから、製造工程において、マスク追加が不要となり、製造コストの増大を抑制することができる。

[0062] 一方、光電荷が正孔を用いているため、電荷移動度が低くなる。これに加えて、リセット電圧 V_{reset} は、電源電圧 V_{dd} やグランド電圧 GND とは別個に安定して供給する必要がある。即ち、フォトダイオード 4 に蓄積された光電荷をリセットする場合、第 1 の実施の形態では、電源電圧 V_{dd} 側に光電荷（電子）を放出することで、増幅トランジスタ 8 のソース電圧は、電源電圧 V_{dd} 寄りに上昇する。これに対し、第 2 の実施の形態では、光電荷（正孔）をグランド寄りに放出するため、リセット時、増幅トランジスタ 8 のソース電圧は、グランド電圧 GND 寄りに下降する。しかし、増幅トランジスタ 8 のゲート電圧は、ソース電圧より閾値電圧 V_{th} 分、高く設定しなければ、増幅トランジスタ 8 がオフ状態となり、リセット電圧 V_{reset} に対応する電圧を増幅トランジスタ 8 のソースに出力できなくなる。そのため、リセットトランジスタ 7 のドレインに供給するリセット電圧 V_{reset} をグランド電圧 GND より閾値電圧 V_{th} 以上、高く設定する必要があり、別途リセット電圧線 38 が必要となる。

[0063] 次に、図 4 は本発明の第 3 の実施の形態を示している。第 3 の実施の形態の特徴は、カレントミラー回路が一次側トランジスタに流れる電流を可変に設定できる構成としたことにある。なお、第 3 の実施の形態では、前述した第 1 の実施の形態と同一の構成要素に同一符号を付し、その説明を省略する

ものとする。

[0064] 第3の実施の形態による画像センサ41は、第1の実施の形態による画像センサ1と同様に、複数の画素回路3（1個のみ図示）からなる画素部2と、電流源回路49とを備えている。

[0065] 定電流トランジスタ11は、カレントミラー回路42の折返し先になる二次側トランジスタを構成している。カレントミラー回路42は、定電流トランジスタ11と、一次側トランジスタ43と、定電流源14を含む可変電流源回路44とによって構成されている。カレントミラー回路42は、折返し元になる一次側トランジスタ43に流れる電流I1に対して予め決められた比率の電流I2を、定電流トランジスタ11に流す。

[0066] なお、一次側トランジスタ43に流れる電流I1と、定電流トランジスタ11に流れる電流I2との比率は、一次側トランジスタ43のサイズと定電流トランジスタ11のサイズとの比率によって決まる。以下では、説明を簡略化するために、一次側トランジスタ43のサイズと定電流トランジスタ11のサイズとが同じ場合、即ち電流I1と電流I2が同じ大きさとなる場合を前提に説明する。本発明はこれに限らず、一次側トランジスタ43と定電流トランジスタ11が、互いに異なるサイズであってもよい。

[0067] 一次側トランジスタ43は、定電流トランジスタ11と同じく、PMOSトランジスタによって構成されている。一次側トランジスタ43のドレインは、可変電流源回路44を構成する複数個（例えばm個）の電流設定用二次側トランジスタ46のドレインに接続されている。一次側トランジスタ43のソースには、電源電圧V_{dd}が印加される。一次側トランジスタ43のゲートは、一次側トランジスタ43のドレインに接続されると共に、二次側トランジスタとなる定電流トランジスタ11のゲートに接続されている。これにより、一次側トランジスタ43のドレインーソース間に電流I1が流れたときには、二次側トランジスタとなる定電流トランジスタ11のドレインーソース間にも、電流I1と同じ大きさの電流I2が流れる。

[0068] 可変電流源回路44は、他のカレントミラー回路を構成している。可変電

流源回路 44 は、定電流源 14 と、電流設定用一次側トランジスタ 45（他の一次側トランジスタ）と、複数個の電流設定用二次側トランジスタ 46（他の二次側トランジスタ）とを含んでいる。可変電流源回路 44 は、折返し元になる電流設定用一次側トランジスタ 45 に流れる電流 I_a に対して予め決められた比率の電流 I_b を、折返し先になる電流設定用二次側トランジスタ 46 に流す。

[0069] なお、電流設定用一次側トランジスタ 45 に流れる電流 I_a と、電流設定用二次側トランジスタ 46 に流れる電流 I_b との比率は、電流設定用一次側トランジスタ 45 のサイズと電流設定用二次側トランジスタ 46 のサイズとの比率によって決まる。以下では、説明を簡略化するために、電流設定用一次側トランジスタ 45 のサイズと電流設定用二次側トランジスタ 46 のサイズとが同じ場合、即ち電流 I_a と電流 I_b が同じ大きさとなる場合を前提に説明する。

[0070] 本発明はこれに限らず、電流設定用一次側トランジスタ 45 と電流設定用二次側トランジスタ 46 が、互いに異なるサイズであってもよい。また、複数個の電流設定用二次側トランジスタ 46 も、互いに異なるサイズであってもよい。この場合、複数個の電流設定用二次側トランジスタ 46 のサイズの比率は、例えばバイナリー符号や温度計符号に応じたものでもよく、他の符号に応じたものでもよい。複数個の電流設定用二次側トランジスタ 46 を互いに異なるサイズに形成した場合には、複数個の電流設定用二次側トランジスタ 46 に流れる電流 I_b を、互いに異なる大きさにすることができる。このため、一次側トランジスタ 43 に流れる電流 I_1 の大きさを調整するときの自由度を高めることができる。

[0071] 電流設定用一次側トランジスタ 45 および電流設定用二次側トランジスタ 46 は、いずれも NMOS トランジスタによって構成されている。電流設定用一次側トランジスタ 45 のドレインには、定電流源 14 を介して、電源電圧 V_{dd} が印加される。電流設定用一次側トランジスタ 45 のソースには、グランド電圧 GND が印加される。電流設定用一次側トランジスタ 45 のゲー

トは、電流設定用一次側トランジスタ 4 5 のドレインに接続されると共に、第 1 のスイッチ 4 7 を介して電流設定用二次側トランジスタ 4 6 のゲートに接続されている。

[0072] 電流設定用二次側トランジスタ 4 6 のドレインは、一次側トランジスタ 4 3 のドレインに接続されている。電流設定用二次側トランジスタ 4 6 のソースには、グランド電圧 GND が印加される。電流設定用二次側トランジスタ 4 6 のゲートは、第 1 のスイッチ 4 7 を介して電流設定用二次側トランジスタ 4 6 のゲートに接続されると共に、第 2 のスイッチ 4 8 を介してグランドに接続されている。

[0073] 第 1 のスイッチ 4 7 には、例えばデータ処理部（図示せず）から制御信号がそのまま入力される。第 2 のスイッチ 4 8 には、データ処理部から制御信号が NOT 回路 4 8 A を介して入力される。このため、第 1, 第 2 のスイッチ 4 7, 4 8 には、データ処理部から互いに逆の切換状態となるような制御信号が入力される。これにより、第 1, 第 2 のスイッチ 4 7, 4 8 は、一方が接続状態（ON）となったときに、他方が遮断状態（OFF）となるように動作する。

[0074] このとき、複数個の電流設定用二次側トランジスタ 4 6 のうち、そのゲートが電流設定用一次側トランジスタ 4 5 のゲートに接続されたものは、電流設定用一次側トランジスタ 4 5 のドレインーソース間の電流 I_a ($I_a = I_{bias}$) をコピーする。即ち、電流設定用二次側トランジスタ 4 6 のドレインーソース間にも、電流 I_a と同じ大きさの電流 I_b が流れる。一方、複数個の電流設定用二次側トランジスタ 4 6 のうちそのゲートがグランドに接続されたものは、OFF 状態となり、ドレインーソース間には電流 I_b は流れなくなる ($I_b = 0$)。

[0075] このように、第 1, 第 2 のスイッチ 4 7, 4 8 は、複数個の電流設定用二次側トランジスタ 4 6 から電流 I_a のコピーを実行するものを選択するものである。従って、全ての第 1 のスイッチ 4 7 が ON のときには、電流 I_a ($I_a = I_{bias}$) の m 倍の大きさとなった電流 I_1 が、カレントミラー回路 4 2 の一

次側トランジスタ43に流れる。一方、全ての第1のスイッチ47がOFFのときには、カレントミラー回路42の一次側トランジスタ43には電流I1が流れなくなる。一次側トランジスタ43に流れる電流I1の大きさは電流Ibの総和によって決まるから、電流I1の大きさを、第1のスイッチ47がONになる個数によって調整することができる。

[0076] このとき、カレントミラー回路42のうち定電流トランジスタ11を省いた部分が、定電流トランジスタ11に流れる電流I2の大きさを設定する電流源回路49を構成している。

[0077] かくして、第3の実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができる。第3の実施の形態では、カレントミラー回路42の一次側トランジスタ43に接続された複数個の電流設定用二次側トランジスタ46を有する他のカレントミラー回路（可変電流源回路44）をさらに備えた。これに加え、可変電流源回路44は、複数個の電流設定用二次側トランジスタ46のうちカレントミラー回路42の一次側トランジスタ43に電流を流すものが選択可能な構成とした。このため、複数個の電流設定用二次側トランジスタ46の動作状態を切り換えることによって、カレントミラー回路42の一次側トランジスタ43に流れる電流の大きさを調整することができる。

[0078] なお、第3の実施の形態では、複数個の電流設定用二次側トランジスタ46に流れる電流Ibを互いに同じ大きさにしたが、複数個の電流設定用二次側トランジスタ46に流れる電流Ibを、互いに異なる大きさにしてもよい。この場合、ON状態となる電流設定用二次側トランジスタ46の個数に限らず、ON状態となる電流設定用二次側トランジスタ46を切り換えることによって、カレントミラー回路42の一次側トランジスタ43に流す電流I1を調整することができる。このため、例えば複数個の電流設定用二次側トランジスタ46に流れる電流Ibの比率をバイナリー符号等に応じて設定したときには、カレントミラー回路42の一次側トランジスタ43に流す電流I1を、デジタル制御することができる。

[0079] また、第3の実施の形態は、第1の実施の形態による画素部2（画素回路3）に適用した場合を例示したが、第2の実施の形態による画素部32（画素回路33）に適用してもよい。

[0080] 次に、図5および図6は本発明の第4の実施の形態を示している。第4の実施の形態の特徴は、第1の実施の形態による画像センサを用いて画像撮影システムを構成したことにある。なお、第4の実施の形態では、前述した第1の実施の形態と同一の構成要素に同一符号を付し、その説明を省略するものとする。

[0081] 画像撮影システム51は、第1の実施の形態による画像センサ1と、読み出し部52と、データ処理部53とを備えている。なお、画像撮影システム51の画像センサ1、読み出し部52およびデータ処理部53は、近年、互いの半導体基板が同一化される傾向にある。本発明では、画像センサ1、読み出し部52およびデータ処理部53の半導体基板は、互いに同一か、別個かは問わない。

[0082] 読み出し部52は、プログラマブルゲインアンプおよびA/D変換回路を備えている。読み出し部52は、画素部2（画素回路3）が垂直信号線10を經由して出力するアナログ信号を、デジタル信号に変換して出力する。このため、読み出し部52は、画素部2によって撮影された撮影画像のデジタル信号を、画素出力信号としてデータ処理部53に出力する。

[0083] データ処理部53は、ロジックIC、マイクロプロセッサ等によって構成されている。データ処理部53は、入力側が読み出し部52に接続され、出力側が電流源回路15に接続されている。データ処理部53は、図6に示す電流設定処理を実行し、読み出し部52からの画素出力信号に応じて、電流源回路15を制御する。これにより、画素回路3の定電流トランジスタ11に流れる電流12は、画素出力信号に応じて調整される。

[0084] 次に、データ処理部53による電流設定処理について、図6を参照しつつ説明する。なお、電流設定処理の開始時には、フレーム用のカウンタnの初期値は「1」に設定されているものとする。

- [0085] 電流設定処理が開始されると、まずステップ1～3が実行される。ステップ1では、データ処理部53等の電源をONに切り換えて、データ処理部53等を起動する。ステップ2では、フォトダイオード4が飽和するか否かを判定するための判定値 D_{sat} をレジスタに設定する。ステップ3では、画像センサ1によって撮像を開始する。
- [0086] 続くステップ4では、現在のカウンタ n の値に応じて n 番目のフレームについて画素出力信号の平均値 D_{ave} を取得し、ステップ5に移行する。なお、平均値 D_{ave} は、フレーム内の全画素の演算結果に限定せず、間引いた画素での演算結果であってもよい。
- [0087] ステップ5では、画素出力信号の平均値 D_{ave} が判定値 D_{sat} よりも小さいか否かを判定する。ステップ5で「NO」と判定したときには、画素出力信号の平均値 D_{ave} が判定値 D_{sat} よりも大きく ($D_{sat} \leq D_{ave}$)、フォトダイオード4が入射光によって飽和する状態になっている。このため、ステップ6に移行して、データ処理部53は電流源回路15を制御し、次フレーム ($n+1$ 番目のフレーム) の画素出力信号を取得するときに、一次側トランジスタ13に流れる電流 I_1 の供給を開始させる。これにより、画素回路3の定電流トランジスタ11は、電流 I_1 と同じ大きさの電流 I_2 が流れるから、フォトダイオード4に蓄積される光電荷は、その一部が電流 I_2 に応じて除去される。この結果、フォトダイオード4の飽和を抑制して、撮影画像に応じた信号レベルを取得することができる。
- [0088] 一方、ステップ5で「YES」と判定したときには、画素出力信号の平均値 D_{ave} が判定値 D_{sat} よりも小さく ($D_{sat} > D_{ave}$)、フォトダイオード4が入射光によって飽和しない状態となっている。このため、ステップ7に移行して、データ処理部53は電流源回路15を制御し、次フレーム ($n+1$ 番目のフレーム) の画素出力信号を取得するときに、一次側トランジスタ13に流れる電流 I_1 の供給を停止させる。これにより、画素回路3の定電流トランジスタ11に流れる電流 I_2 も停止するから、フォトダイオード4は、入射光の強度等に応じた光電荷を全て蓄積する。この結果、フォトダイオード

4に蓄積された光電荷に基づいて、撮影画像に応じた信号レベルを取得することができる。

[0089] ステップ6, 7の処理が終了すると、ステップ8に移行して、カウンタ n の値を1つ増加させる。続くステップ9では、カウンタ n の値に基づいて、撮像が終了しているか否かを判定する。具体的には、カウンタ n の値が全てのフレームの数に応じた値 N よりも大きい($n > N$)か否かを判定する。ステップ9で「NO」と判定したときには、撮像が終了していないから、ステップ4以降の処理を繰り返す。

[0090] 一方、ステップ9で「YES」と判定したときには、全てのフレームについて電流の設定が終了している。このため、ステップ10に移行して、データ処理部53等の電源をOFFに切り換えて、データ処理部53等を停止させる。

[0091] かくして、第4の実施の形態でも、第1の実施の形態とほぼ同様の作用効果を得ることができる。第4の実施の形態では、前フレームでの露光量に応じて、次フレームの画素出力信号を取得するときに、電流源回路15（一次側トランジスタ13）に流れる電流 I_1 のONとOFFを設定する。このため、フォトダイオード4の飽和を抑制しつつ、撮影画像の画素出力信号を取得することができる。

[0092] なお、第4の実施の形態では、第1の実施の形態による画像センサ1を用いた場合を例示したが、第2の実施の形態による画像センサ31を用いてもよい。

[0093] 次に、図5および図7は本発明の第5の実施の形態を示している。第5の実施の形態の特徴は、第3の実施の形態による画像センサを用いて画像撮影システムを構成したことにある。なお、第5の実施の形態では、前述した第3の実施の形態と同一の構成要素に同一符号を付し、その説明を省略するものとする。

[0094] 画像撮影システム61は、第3の実施の形態による画像センサ41と、読み出し部62と、データ処理部63とを備えている。

- [0095] 読み出し部 6 2 は、第 4 の実施の形態による読み出し部 5 2 をほぼ同様に構成されている。読み出し部 6 2 は、画素回路 3 が垂直信号線 1 0 を経由して出力するアナログ信号を、デジタル信号に変換して出力する。このため、読み出し部 6 2 は、画素部 2 によって撮影された撮影画像のデジタル信号を、画素出力信号としてデータ処理部 6 3 に出力する。
- [0096] データ処理部 6 3 は、ロジック IC、マイクロプロセッサ等によって構成されている。データ処理部 6 3 は、入力側が読み出し部 6 2 に接続され、出力側が電流源回路 4 9 に接続されている。データ処理部 6 3 は、図 7 に示す電流設定処理を実行し、読み出し部 6 2 からの画素出力信号に応じて、電流源回路 4 9 を制御する。これにより、画素回路 3 の定電流トランジスタ 1 1 に流れる電流 I 2 は、画素出力信号に応じて調整される。
- [0097] 次に、データ処理部 6 3 による電流設定処理について、図 7 を参照しつつ説明する。なお、電流設定処理の開始時には、フレーム用のカウンタ n の初期値は「1」に設定されているものとする。
- [0098] 電流設定処理が開始されると、まずステップ 1 1 ~ 1 3 が実行される。ステップ 1 1 では、データ処理部 6 3 等の電源を ON に切り換えて、データ処理部 6 3 等を起動する。ステップ 1 2 では、フォトダイオード 4 が飽和するか否かを判定するための判定値 D_{sat} と、フォトダイオード 4 に蓄積される光電荷が不足するか否かを判定するための判定値 D_{min} とをそれぞれレジスタに設定する。このとき、判定値 D_{sat} は、適切な撮像を行うために必要な画素出力信号の最高値に対応している。また、判定値 D_{min} は、適切な撮像を行うために必要な画素出力信号の最低値に対応している。ステップ 1 3 では、画像センサ 4 1 によって撮像を開始する。
- [0099] 続くステップ 1 4 では、現在のカウンタ n の値に応じて n 番目のフレームについて画素出力信号の平均値 D_{ave} を取得する。なお、平均値 D_{ave} は、フレーム内の全画素の演算結果に限定せず、間引いた画素での演算結果であってもよい。
- [0100] 続くステップ 1 5 では、画素出力信号の平均値 D_{ave} が判定値 D_{sat} よりも

小さいか否かを判定する。ステップ15で「NO」と判定したときには、画素出力信号の平均値 D_{ave} が判定値 D_{sat} よりも大きく ($D_{sat} \leq D_{ave}$)、フォトダイオード4が入射光によって飽和する状態になっている。このため、ステップ16に移行して、データ処理部63は電流源回路49を制御し、次フレーム ($n+1$ 番目のフレーム) の画素出力信号を取得するときに、一次側トランジスタ43に流れる電流 I_1 を増加させる。

[0101] 一方、ステップ15で「YES」と判定したときには、画素出力信号の平均値 D_{ave} は判定値 D_{sat} よりも小さい ($D_{sat} > D_{ave}$)。このため、ステップ17に移行して、画素出力信号の平均値 D_{ave} が判定値 D_{min} よりも大きい
か否かを判定する。

[0102] ステップ17で「NO」と判定したときには、画素出力信号の平均値 D_{ave} が判定値 D_{min} よりも小さく ($D_{min} \geq D_{ave}$)、画素出力信号が過度に低下した状態になっている。このため、ステップ18に移行して、データ処理部63は電流源回路49を制御し、次フレーム ($n+1$ 番目のフレーム) の画素出力信号を取得するときに、一次側トランジスタ43に流れる電流 I_1 を減少させる。

[0103] 一方、ステップ17で「YES」と判定したときには、画素出力信号の平均値 D_{ave} は判定値 D_{min} よりも大きい ($D_{min} < D_{ave}$)。このため、ステップ19に移行して、データ処理部63は、次フレーム ($n+1$ 番目のフレーム) の画素出力信号を取得するときに、一次側トランジスタ43に流れる電流 I_1 の大きさを、現在の値に固定する。

[0104] ステップ16, 18, 19の処理が終了すると、ステップ20に移行して、カウンタ n の値を1つ増加させる。続くステップ21では、カウンタ n の値に基づいて、撮像が終了しているか否かを判定する。具体的には、カウンタ n の値が全てのフレームの数に応じた値 N よりも大きい ($n > N$) か否かを判定する。ステップ21で「NO」と判定したときには、撮像が終了していないから、ステップ14以降の処理を繰り返す。

[0105] 一方、ステップ21で「YES」と判定したときには、全てのフレームに

ついて電流の設定が終了している。このため、ステップ22に移行して、データ処理部63等の電源をOFFに切り換えて、データ処理部63等を停止させる。

[0106] 次に、図7に示す電流設定処理を踏まえて、画像撮影システム61の具体的な動作について説明する。

[0107] 第1のフレームでの画像データの平均値 D_{ave} が所定の明るさ以上の場合、高背景光であると判定する。このため、画像撮影システム61は、フォトダイオード4の蓄積部の過剰な光電荷を一定電流 I_2 で放出するために、次の第2のフレームで一定電流 I_2 を大きくする。さらに、第2のフレームでも画像データの平均値 D_{ave} が所定の明るさ以上の場合、再び高背景光であると判定する。このため、画像撮影システム61は、その次の第3のフレームで一定電流 I_2 をさらに大きくする。

[0108] このように、画像撮影システム61は、画像データの平均値 D_{ave} が、レジスタ等で設定された判定値 D_{sat} によって設定した所定の明るさ以下に収まるまで、一定電流 I_2 を大きくする。これにより、画像撮影システム61は、高背景光による光電荷を除去する。

[0109] また、被写体や背景光も常に変化する。このため、背景光が弱くなった場合は、画像撮影システム61は、レジスタ等で設定された判定値 D_{min} により設定した所定の明るさ以上に収まるまで、一定電流 I_2 を小さくする、または、一定電流 I_2 を停止させる。これにより、画像撮影システム61は、被写体の所望信号が黒潰れするのを防止する。

[0110] 従って、図2のタイミングチャートにおいて、画像撮影システム61の電流制御を反映した場合、フォトダイオード4のカソード電圧の傾きが制御されることになる。即ち、定電流トランジスタ11の電流 I_2 が大きいほど光電荷の排出が増える。このため、電荷蓄積期間 T_c 等では、フォトダイオード4の電圧の傾きは小さくなり、光電荷がフォトダイオード4内に飽和し難くなる。一方、入射光強度が弱い場合、定電流トランジスタ11の電流 I_2 を小さくすれば、フォトダイオード4の電圧の傾きが大きくなるよう制御すること

ができる。

[0111] かくして、第5の実施の形態でも、第1, 第3, 第4の実施の形態とほぼ同様の作用効果を得ることができる。第5の実施の形態では、前のフレームの露光量に対応して、定電流トランジスタ11に流れる電流I2の大きさをデジタル制御する。このとき、フォトダイオード4に入力される光の露光量に応じてカレントミラー回路42の一次側トランジスタ43に流す電流を増加または減少させる。このため、画像撮影システム61は、撮影環境（被写体の光量）の変化に適応的に動作することができる。

[0112] また、カレントミラー回路42の一次側トランジスタ43に流す電流I1の大きさを、可変電流源回路44の電流設定用二次側トランジスタ46が駆動する個数等によって、デジタル量として調整することができる。このため、例えばデータ処理部63のレジスタの設定に応じて、カレントミラー回路42の一次側トランジスタ43に流す電流I1をデジタル制御することができる。

[0113] なお、前記各実施の形態は例示であり、異なる実施の形態で示した構成の部分的な置換または組み合わせが可能であることは言うまでもない。

符号の説明

- [0114] 1, 31, 41 画像センサ
3, 33 画素回路
4 フォトダイオード
11, 34 定電流トランジスタ（二次側トランジスタ）
12, 35, 42 カレントミラー回路
13, 36, 43 一次側トランジスタ
14 定電流源
15, 37, 49 電流源回路
44 可変電流源回路（他のカレントミラー回路）
45 電流設定用一次側トランジスタ（他の一次側トランジスタ）
46 電流設定用二次側トランジスタ（他の二次側トランジスタ）

5 1, 6 1 画像撮影システム

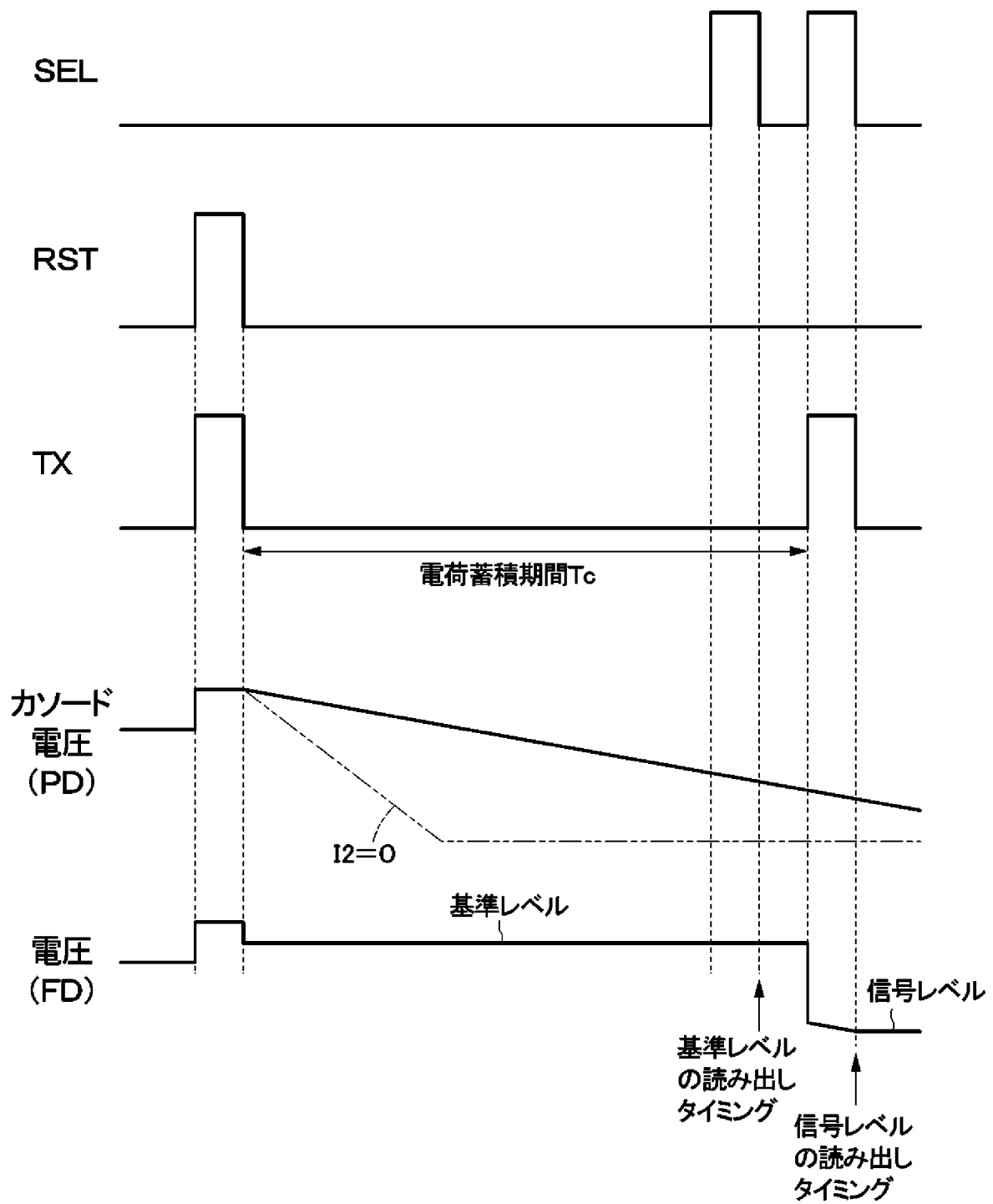
5 3, 6 3 データ処理部

請求の範囲

- [請求項1] フォトダイオードと、
 前記フォトダイオードに接続され、前記フォトダイオードに蓄積された光電荷を減少させるトランジスタとを備え、
 前記トランジスタは予め決められた所定値の電流を流す定電流トランジスタであることを特徴とする画像センサ。
- [請求項2] 前記定電流トランジスタは、一次側トランジスタに流れる電流に対して予め決められた比率の電流を流すカレントミラー回路の二次側トランジスタである請求項1に記載の画像センサ。
- [請求項3] 前記カレントミラー回路は、前記一次側トランジスタに流れる電流を増加または減少させることができる請求項2に記載の画像センサ。
- [請求項4] 前記カレントミラー回路の一次側トランジスタに接続された複数個の他の二次側トランジスタを有し、前記他の二次側トランジスタは他の一次側トランジスタに流れる電流に対して予め決められた比率の電流を流してなる他のカレントミラー回路をさらに備え、
 前記他のカレントミラー回路は、複数個の他の二次側トランジスタのうち前記カレントミラー回路の一次側トランジスタに電流を流すものが選択可能な構成としてなる請求項3に記載の画像センサ。
- [請求項5] 前記他のカレントミラー回路は、前記フォトダイオードに入力される光の露光量に応じて前記カレントミラー回路の一次側トランジスタに電流を流す前記他の二次側トランジスタを選択してなる請求項4に記載の画像センサ。

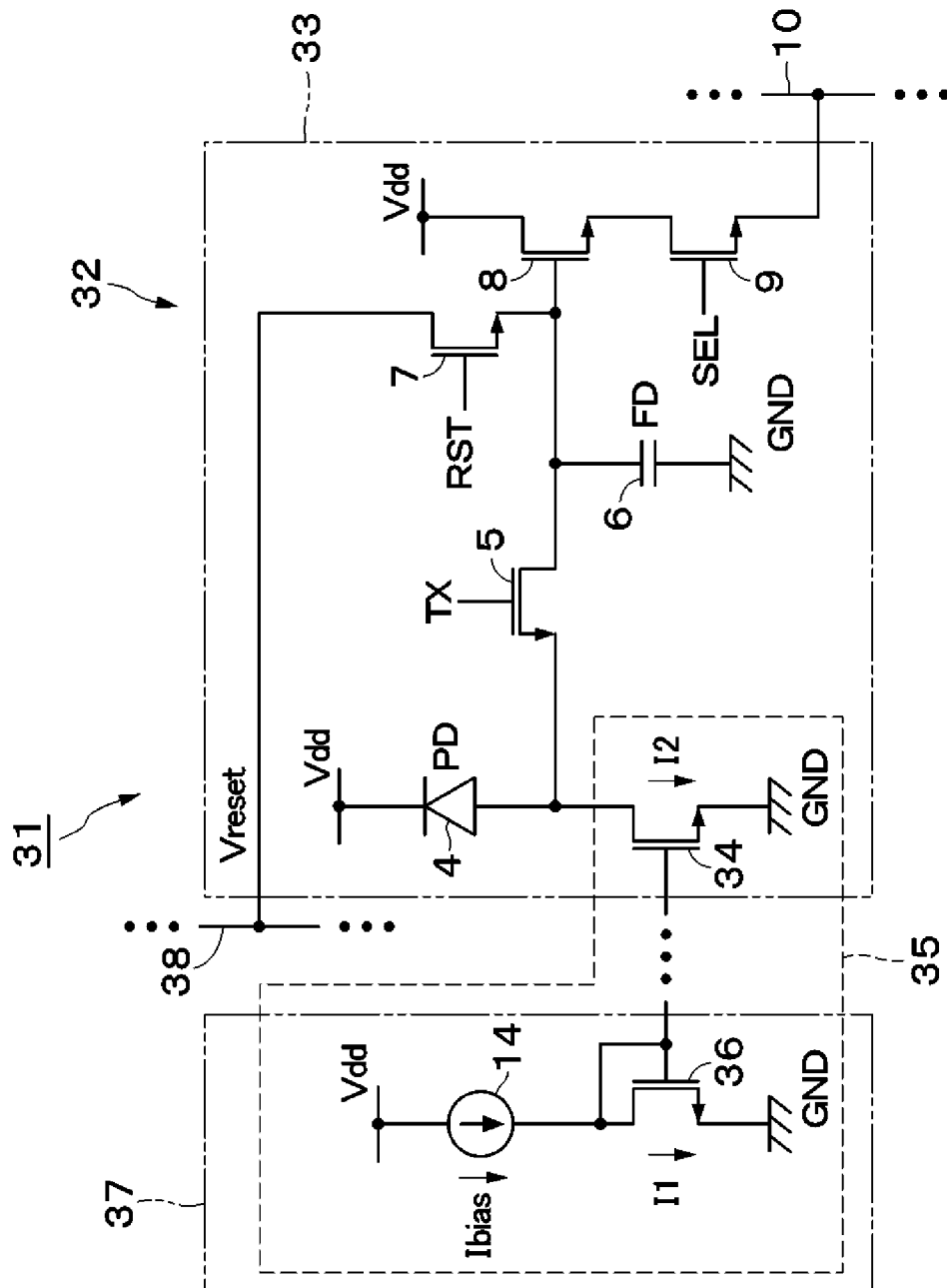
[図2]

Fig.2



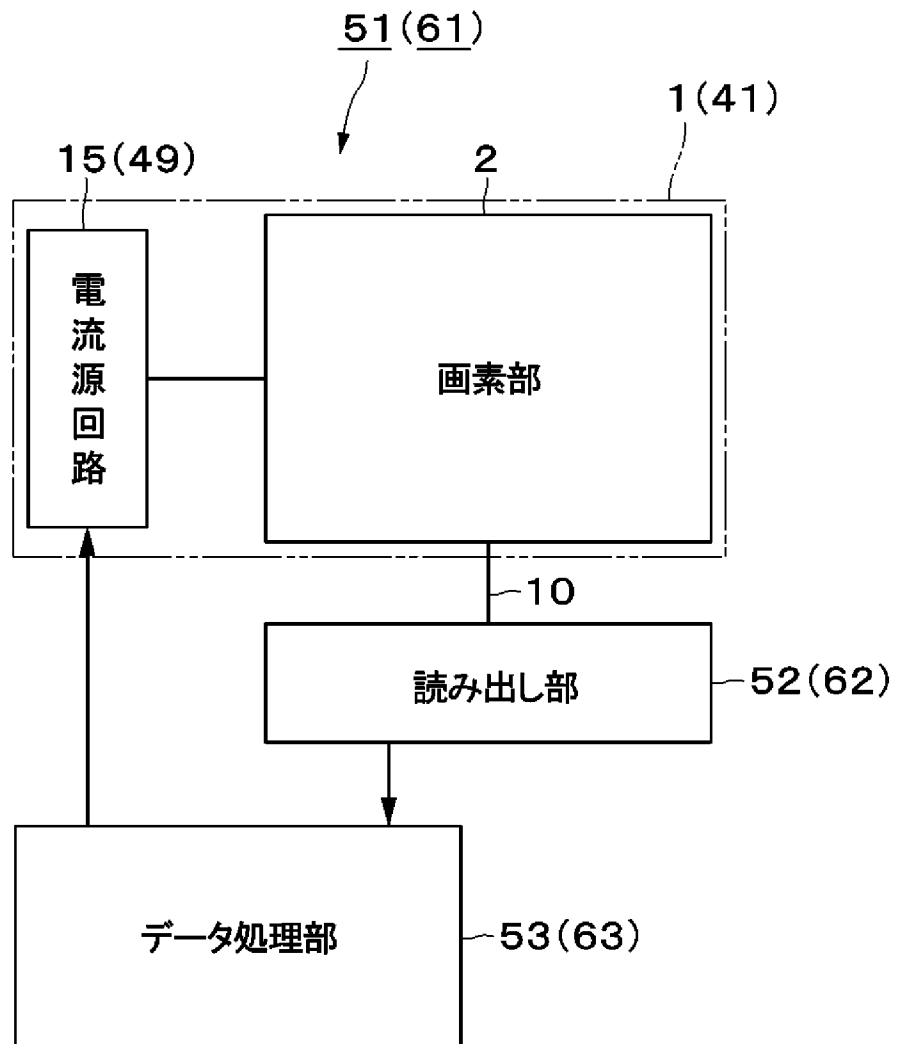
[図3]

Fig. 3



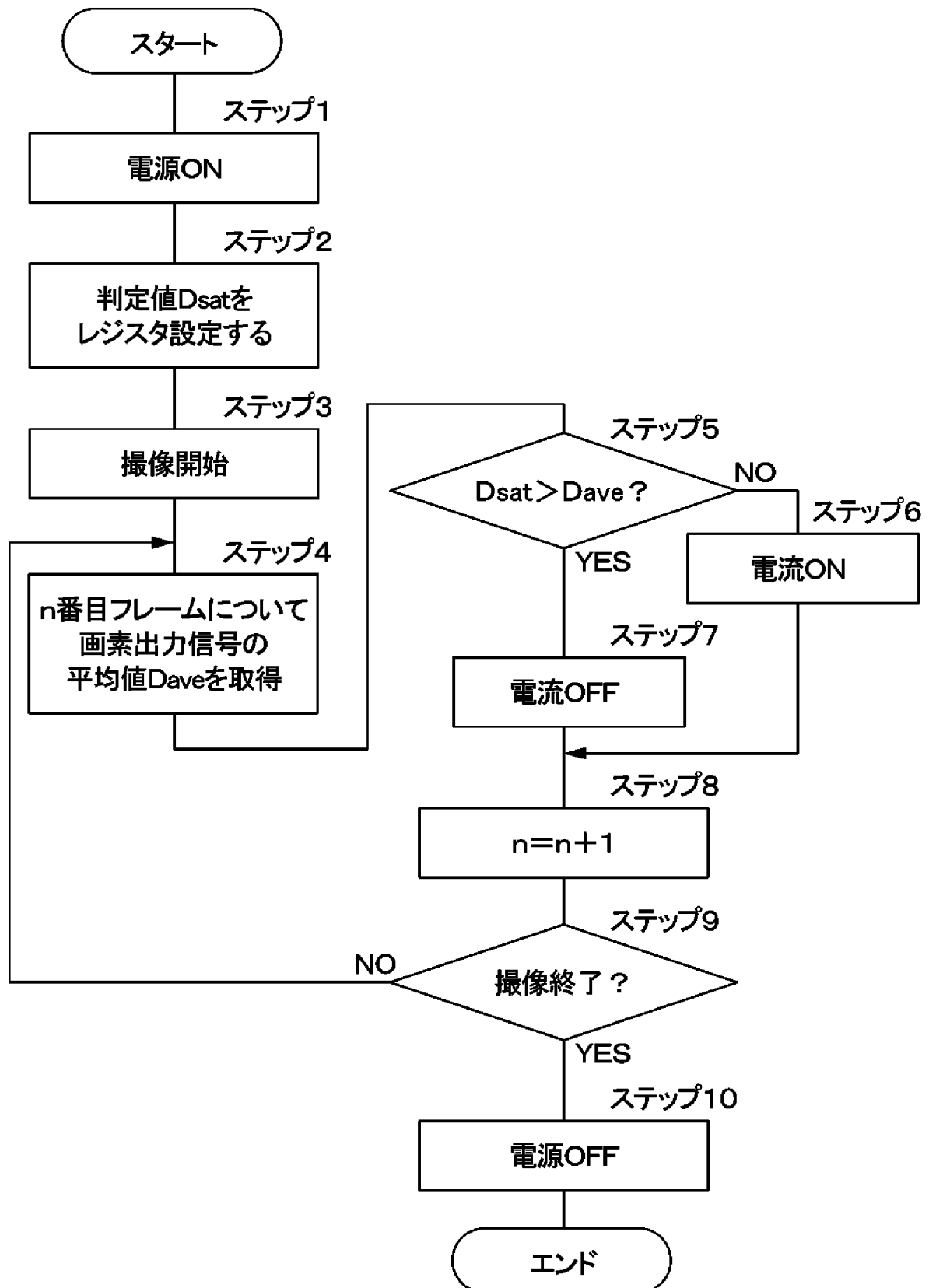
[図5]

Fig.5



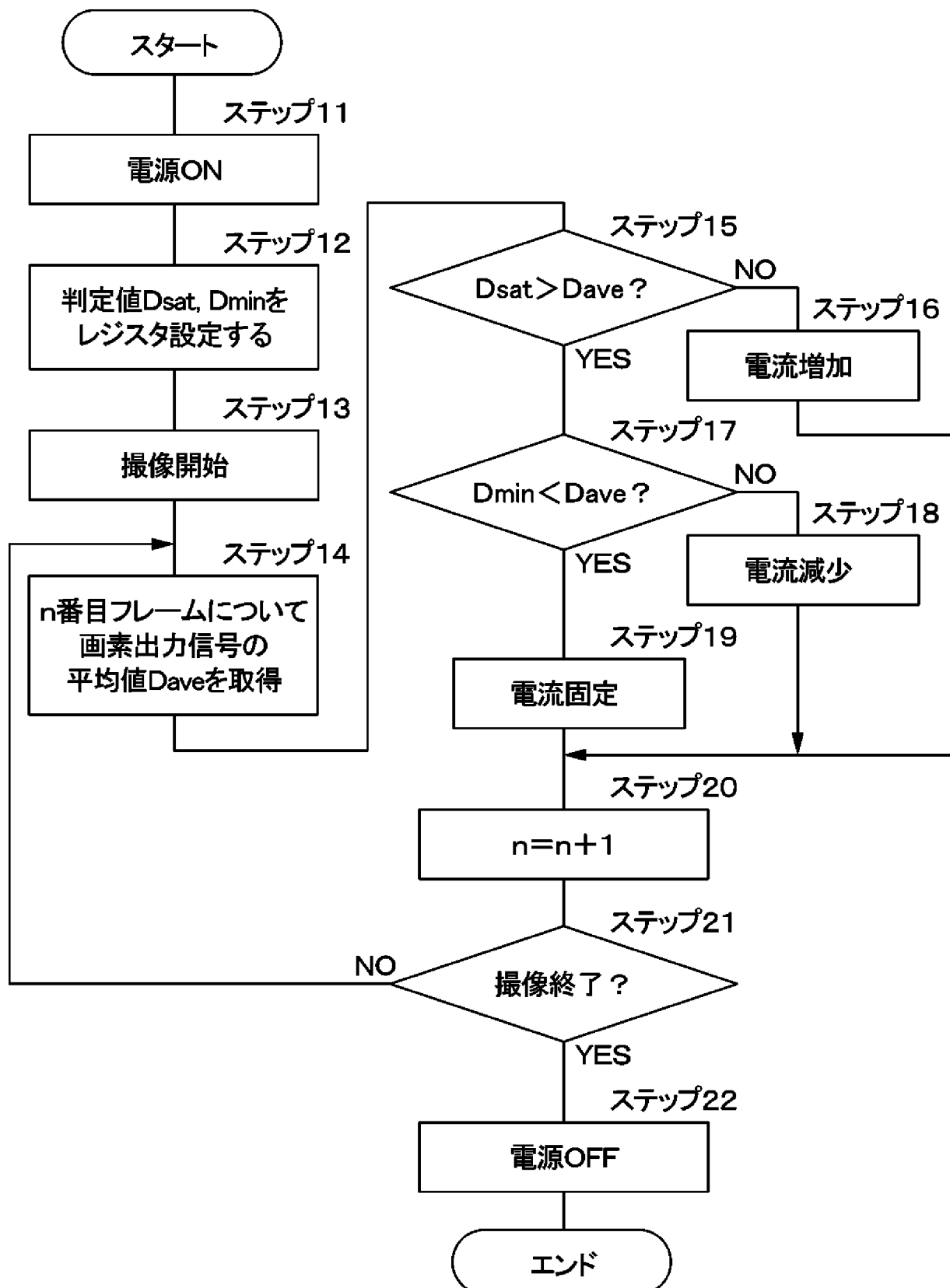
[図6]

Fig.6



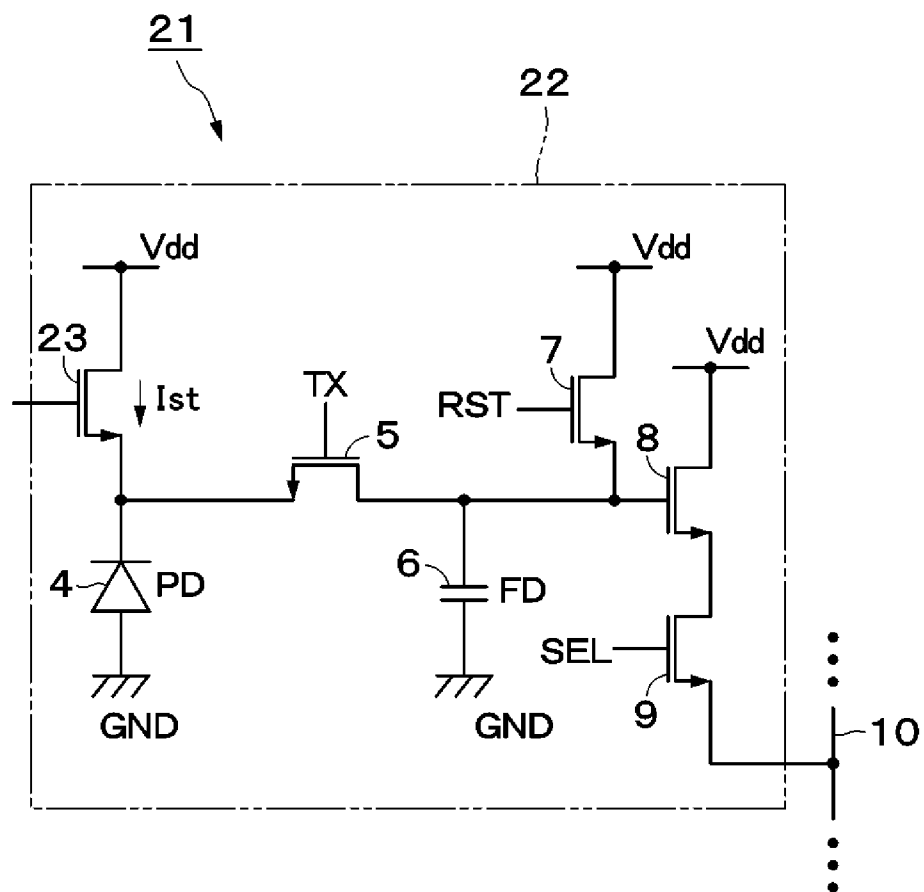
[図7]

Fig.7



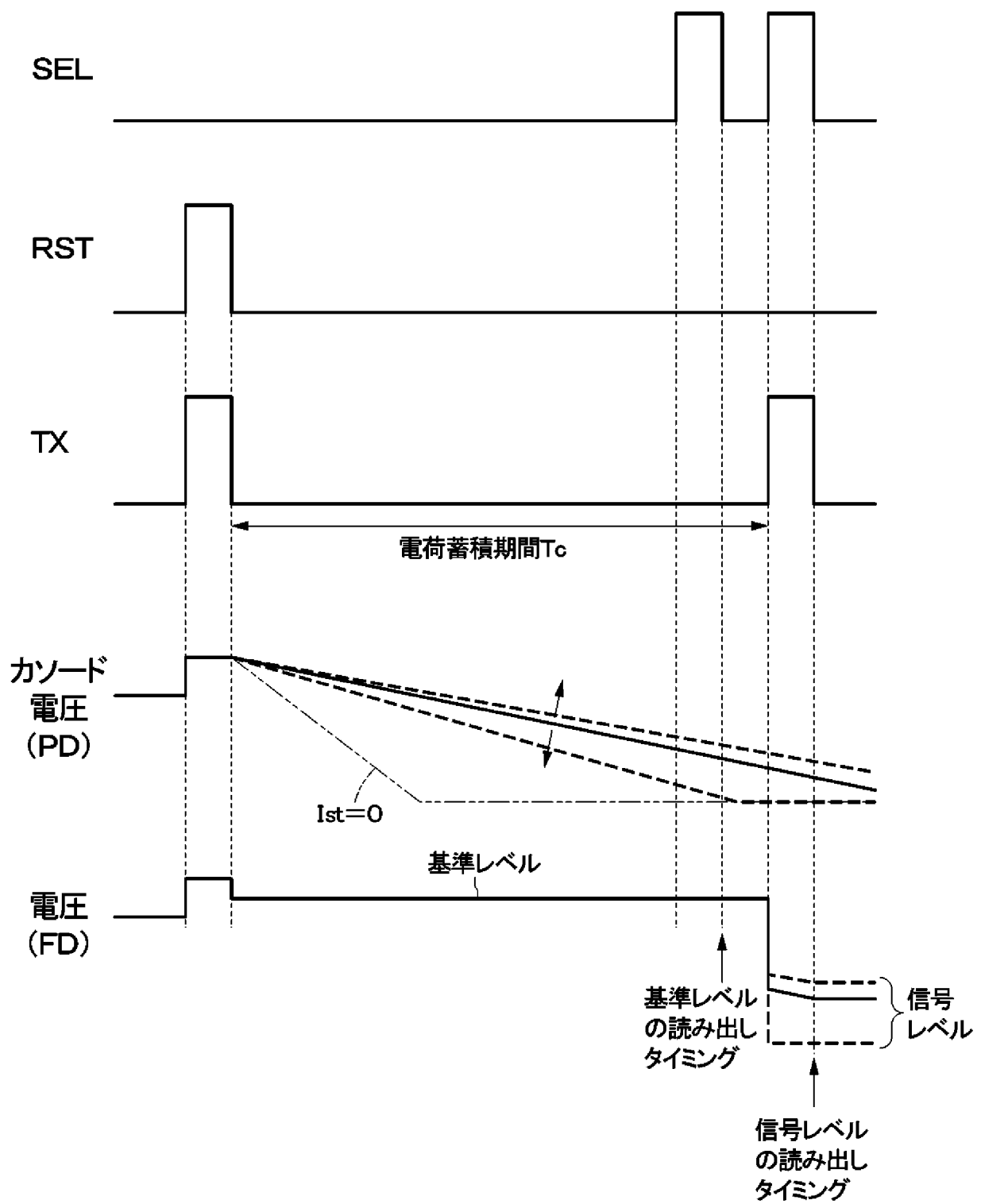
[図8]

Fig.8



[図9]

Fig.9



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/010370

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/369(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/374(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/369, H01L27/146, H04N5/359, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-153633 A (Canon Inc.), 08 July 2010 (08.07.2010), paragraph [0015]; fig. 2 & US 2010/0165161 A1 paragraph [0031]; fig. 2	1 2-5
A	JP 2015-216434 A (Canon Inc.), 03 December 2015 (03.12.2015), entire text; all drawings & US 2015/0326812 A1	1-5
A	JP 2016-25572 A (NLT Technologies, Ltd.), 08 February 2016 (08.02.2016), entire text; all drawings & US 2016/0027827 A1	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 May 2017 (19.05.17)

Date of mailing of the international search report
06 June 2017 (06.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/369(2011.01)i, H01L27/146(2006.01)i, H04N5/359(2011.01)i, H04N5/374(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/369, H01L27/146, H04N5/359, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2010-153633 A (キヤノン株式会社) 2010.07.08, 段落 [0015], 第2図 & US 2010/0165161 A1, 段落 [0031], 第2図	1 2-5
A	JP 2015-216434 A (キヤノン株式会社) 2015.12.03, 全文, 全図 & US 2015/0326812 A1	1-5
A	JP 2016-25572 A (NLTテクノロジー株式会社) 2016.02.08, 全文, 全図 & US 2016/0027827 A1	1-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

19.05.2017

国際調査報告の発送日

06.06.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

5 V

9185

電話番号 03-3581-1101 内線 3571